



МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
"МИРЭА - Российский технологический университет"

**РТУ МИРЭА**

Институт информационных технологий (ИТ)  
Кафедра Вычислительной Техники (ВТ)

**ОТЧЕТ  
ПО ЛАБОРАТОНОЙ РАБОТЕ №1  
по дисциплине**

**«Разработка программно-аппаратного обеспечения информационных и  
автоматизированных систем»**

Выполнил студент группы ИКМО-05-23

Миронов Д.С.

Принял старший преподаватель

Унгер А.Ю.

Лабораторная работа  
выполнена

« » \_\_\_\_\_ 2023г.

«Зачтено»

« » \_\_\_\_\_ 2023 г.

Москва 2023

1. Составить для 2-входового декодера с дополнительным входом разрешения таблицу истинности.
2. По таблице истинности составить карту Карно.
3. По карте Карно записать логическую формулу устройства на основе дизъюнктивной нормальной формы (ДНФ).
4. Зарисовать структурную схему устройства, состоящую из базовых логических вентилей (И, ИЛИ, НЕ).
5. Создать проект в интегрированной среде разработки *Xilinx ISE*. Выбрать в качестве целевого устройства ПЛИС начального уровня семейства *Spartan-3*.
6. Написать исходный код на языке VHDL, описывающий работу устройства.
7. Написать тестовый модуль (*Test Bench*) для проверки функционала устройства.
8. Проверить работу устройства визуально по диаграммам переходов, с помощью симулятора *ISim*.
9. На базе 2-входового декодера собрать 3-входовый декодер с дополнительным входом разрешения. 9. На базе 3-входового декодера собрать 4-входовый декодер с дополнительным входом разрешения.
10. Зарисовать структурную схему.
11. Описать схему на языке VHDL с тремя модулями: 2-входовой декодер (1) и 3-входовый декодер (2) и 4-входовый декодер.
12. Проверить работу устройства визуально с помощью диаграмм переходов в симуляторе *ISim*.
13. Написать вывод о проделанной работе.

1. Составить для 2-входового декодера с дополнительным входом разрешения таблицу истинности.

| s | a | b | Y1 | Y2 | Y3 | Y4 |
|---|---|---|----|----|----|----|
| 0 | 0 | 0 | 0  | 0  | 0  | 0  |
| 1 | 0 | 0 | 1  | 0  | 0  | 0  |
| 0 | 0 | 1 | 0  | 0  | 0  | 0  |
| 1 | 0 | 1 | 0  | 1  | 0  | 0  |
| 0 | 1 | 0 | 0  | 0  | 0  | 0  |
| 1 | 1 | 0 | 0  | 0  | 1  | 0  |
| 0 | 1 | 1 | 0  | 0  | 0  | 0  |
| 1 | 1 | 1 | 0  | 0  | 0  | 1  |

2. По таблице истинности составить карту Карно.

3. По карте Карно записать логическую формулу устройства на основе дизъюнктивной нормальной формы (ДНФ).

$$y_0 = \bar{a} * \bar{b}$$

$$y_1 = \bar{a} * b$$

$$y_2 = a * \bar{b}$$

$$y_3 = a * b$$

4. Зарисовать структурную схему устройства, состоящую из базовых логических вентилей (И, ИЛИ, НЕ).

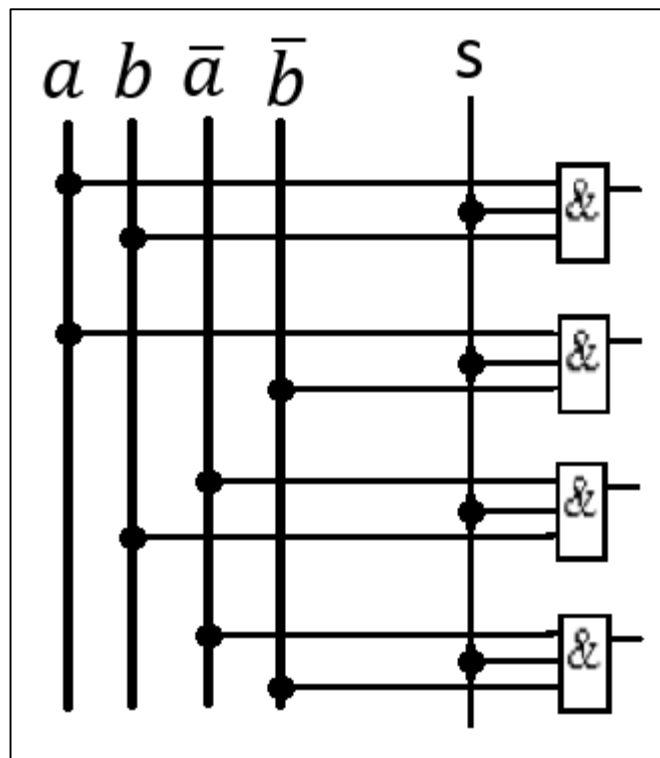


Рисунок 1 – Структурная схема

5. Создать проект в интегрированной среде разработки Xilinx ISE. Выбрать в качестве целевого устройства ПЛИС начального уровня семейства Spartan-3.

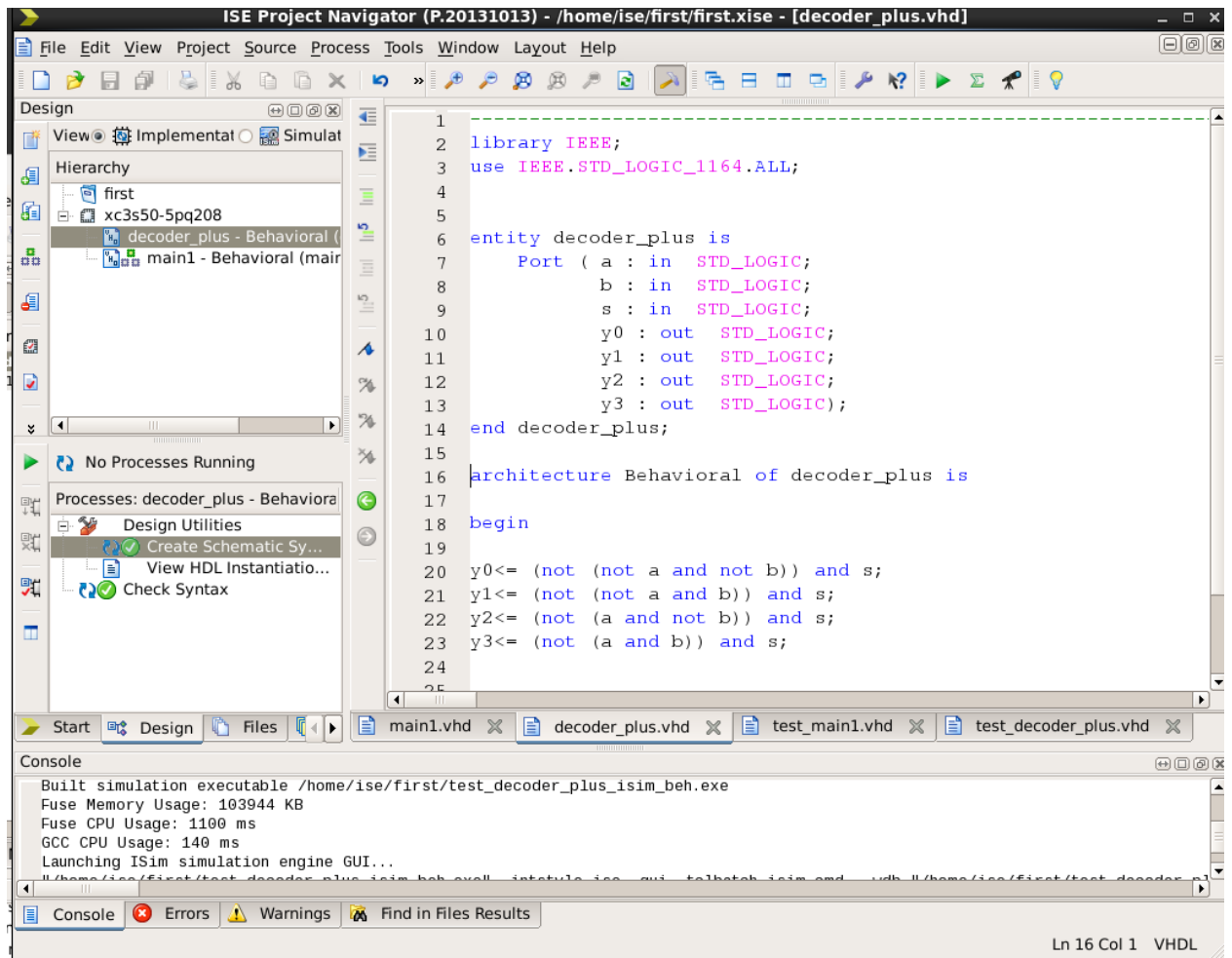


Рисунок 2 – Создан проект в интегрированной среде разработки Xilinx ISE

6. Написать исходный код на языке VHDL, описывающий работу устройства.

```
5
6 entity decoder_plus is
7     Port ( a : in  STD_LOGIC;
8           b : in  STD_LOGIC;
9           s : in  STD_LOGIC;
10          y0 : out  STD_LOGIC;
11          y1 : out  STD_LOGIC;
12          y2 : out  STD_LOGIC;
13          y3 : out  STD_LOGIC);
14 end decoder_plus;
15
16 architecture Behavioral of decoder_plus is
17
18 begin
19
20 y0<= (not (not a and not b)) and s;
21 y1<= (not (not a and b)) and s;
22 y2<= (not (a and not b)) and s;
23 y3<= (not (a and b)) and s;
24
25
26 end Behavioral;
27
28
```

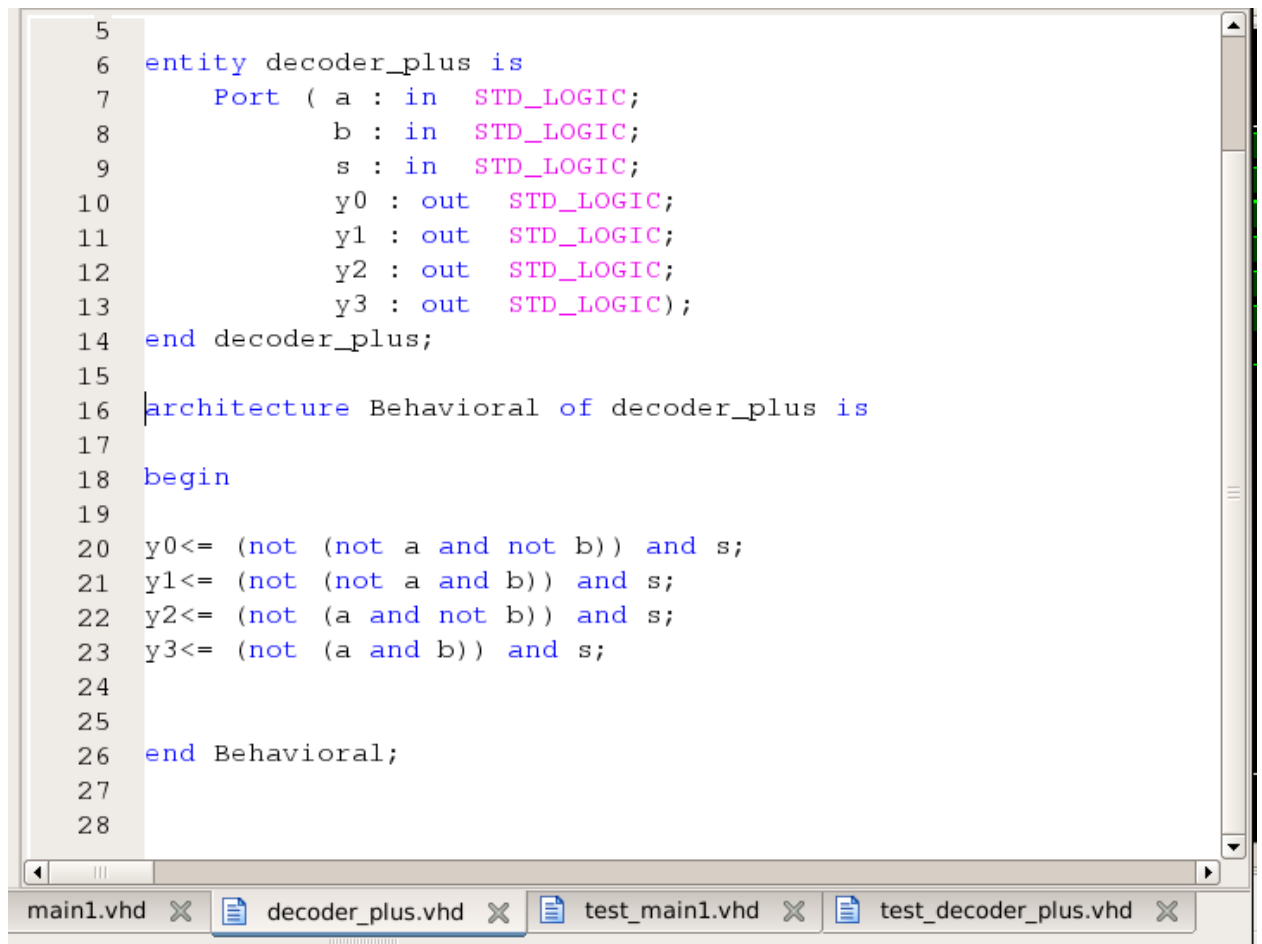


Рисунок 3 – Написан исходный код на языке VHDL

7. Написать тестовый модуль (Test Bench) для проверки функционала устройства.

```
65     begin
66         -- hold reset state for 100 ns.
67         wait for 100 ns;
68
69         a <='0';
70         b <='0';
71         s <='1';
72         wait for 100 ns;
73
74         a <='0';
75         b <='1';
76         s <='1';
77         wait for 100 ns;
78
79         a <='1';
80         b <='0';
81         s <='1';
82         wait for 100 ns;
83
84         a <='1';
85         b <='1';
86         s <='1';
87         wait for 100 ns;
88
89
```

main1.vhd ✕ decoder\_plus.vhd ✕ test\_main1.vhd ✕ test\_decoder\_plus.vhd ✕

Рисунок 4 – Написан тестовый модуль

```
89
90  -----
91  a <='0';
92  b <='0';
93  s <='0';
94  wait for 100 ns;
95
96  a <='0';
97  b <='1';
98  s <='0';
99  wait for 100 ns;
100
101  a <='1';
102  b <='0';
103  s <='0';
104  wait for 100 ns;
105
106  a <='1';
107  b <='1';
108  s <='0';
109  wait for 100 ns;
110
111
112  -- insert stimulus here
113
```

main1.vhd ✕ decoder\_plus.vhd ✕ test\_main1.vhd ✕ test\_decoder\_plus.vhd ✕

Рисунок 5 – Написан тестовый модуль

8. Проверить работу устройства визуально по диаграммам переходов, с помощью симулятора ISim.



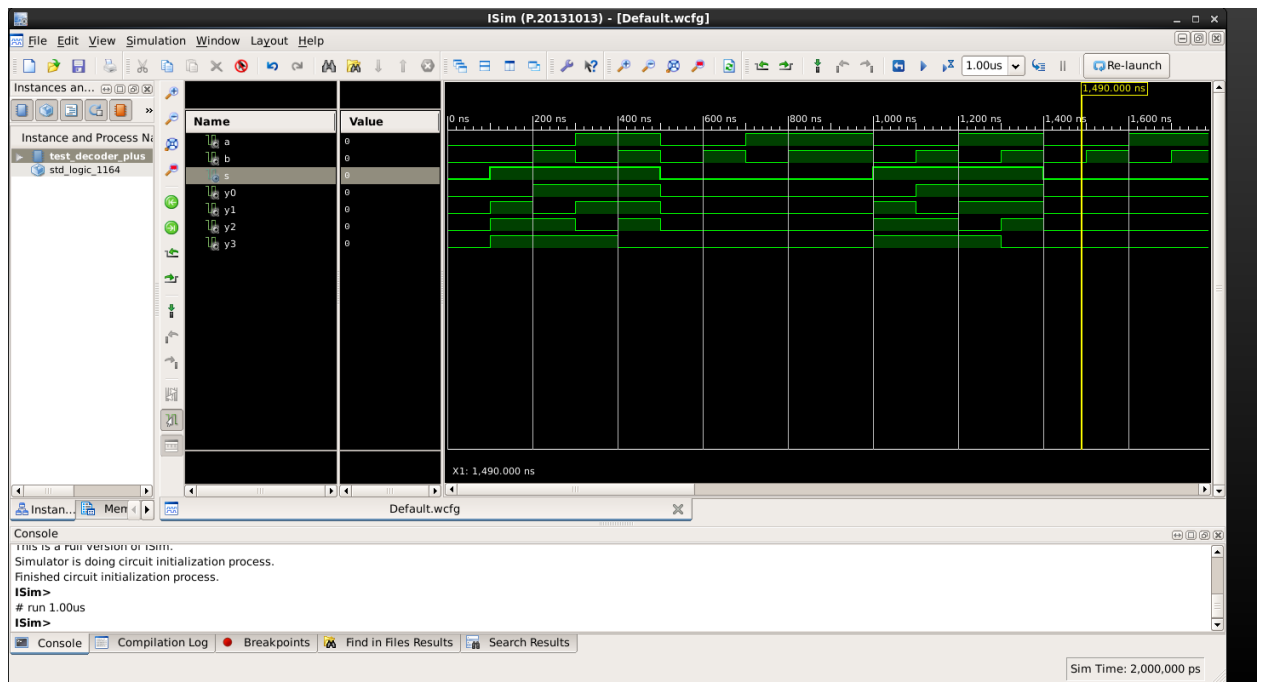


Рисунок 6 – Проверена работа устройства визуально по диаграммам переходов

9. На базе 2-входового декодера собрать 3-входовый декодер с дополнительным входом разрешения. 9. На базе 3-входового декодера собрать 4-входовый декодер с дополнительным входом разрешения. Зарисовать структурную схему.

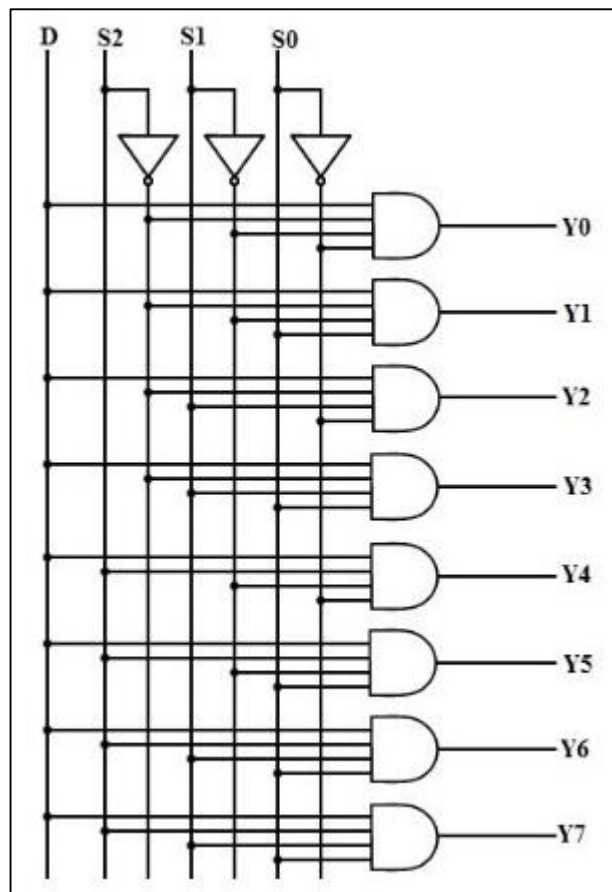


Рисунок 7 – Структурная схема

11. Описать схему на языке VHDL с тремя модулями: 2-входной декодер (1) и 3-входной декодер (2) и 4-входной декодер.

```

13         y4 : out   STD_LOGIC;
14         y5 : out   STD_LOGIC;
15         y6 : out   STD_LOGIC;
16         y7 : out   STD_LOGIC;
17     end decoder_3_to_8;
18
19     architecture Behavioral of decoder_3_to_8 is
20
21     begin
22
23         y0<= (not (not a and not b and not c)) and s;
24         y1<= (not (not a and b and not c)) and s;
25         y2<= (not (a and not b and not c)) and s;
26         y3<= (not (a and b and not c)) and s;
27
28         y4<= (not (not a and not b and c)) and s;
29         y5<= (not (not a and b and c)) and s;
30         y6<= (not (a and not b and c)) and s;
31         y7<= (not (a and b and c)) and s;
32
33
34     end Behavioral;
35
36

```

test\_decoder\_plus.vhd   decoder\_3\_to\_8.vhd   test\_decoder\_3\_to\_8.vhd

Рисунок 8 – Описать схему на языке VHDL

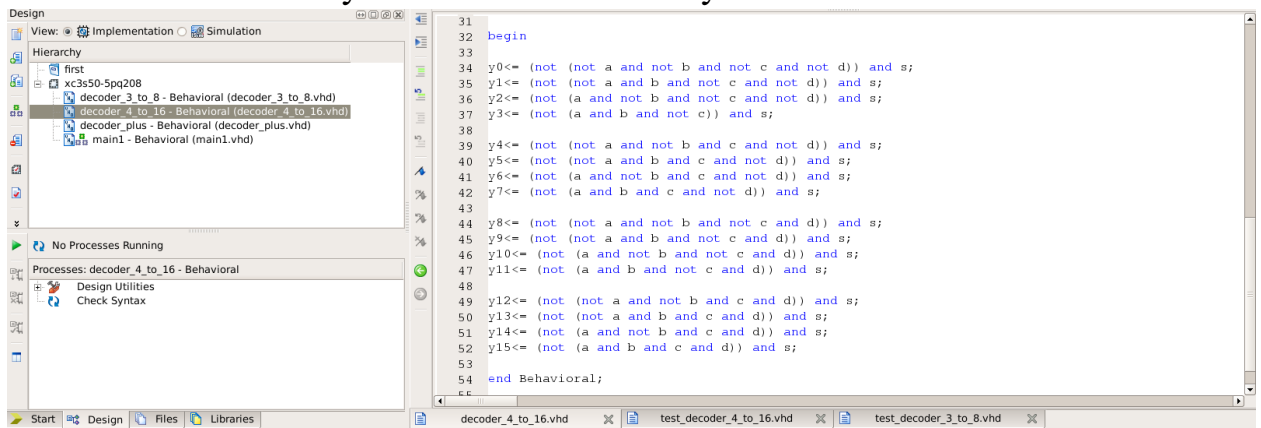


Рисунок 9 – Описать схему на языке VHDL

12. Проверить работу устройства визуально с помощью диаграмм переходов в симуляторе ISim.

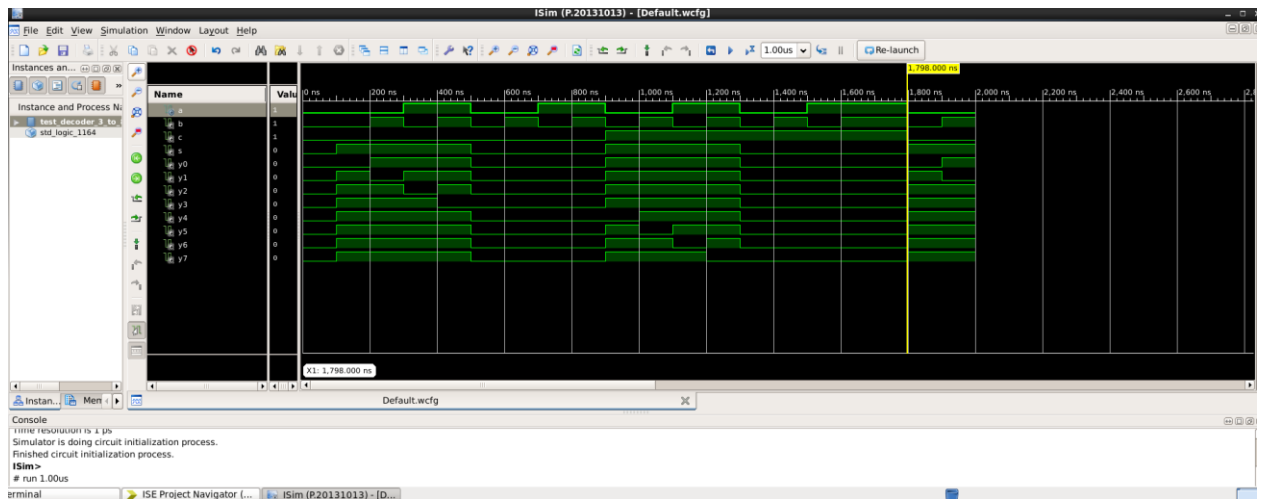


Рисунок 10 – Проверена работу устройства визуально с помощью диаграмм переходов

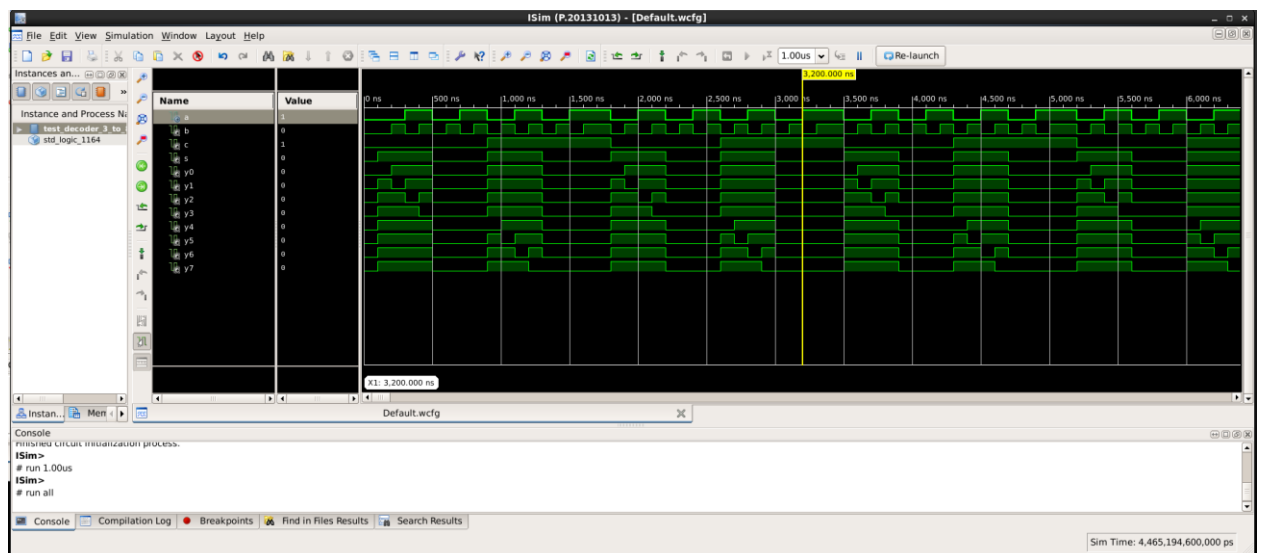


Рисунок 11 – Проверена работу устройства визуально с помощью диаграмм переходов

**Вывод:** Разработали 4-входовый двоичный декодер с дополнительным входом разрешения, составили таблицу истинности, написали исходный код на языке VHDL, написали тестовый модуль. Проверили работу устройства визуально по диаграммам переходов, с помощью симулятора ISim. На базе 2-входового декодера собрали 3-входовый декодер с дополнительным входом разрешения. На базе 3-входового декодера собрали 4-входовый декодер с дополнительным входом разрешения. Зарисовали структурную схему. Описали схему на языке VHDL с тремя модулями: 2-входовой декодер (1) и 3-входовый декодер (2) и 4-входовый декодер. Проверили работу устройства визуально с помощью диаграмм переходов в симуляторе ISim.

