实验一 基本门电路的设计

**一、实验目的**

1. 掌握Verilog语言框架，编程及调试的方法
2. 熟悉Verilog的基本语法
3. 掌握iverilog开发平台

**二、实验内容**

1. 利用赋值语句完成一个2输入门电路模块的设计。
2. 利用赋值语句完成多个（4个以上）门电路之间的级联，形成一个完整的电路。
3. 在iverilog中完成一个工程的设计、编辑、综合和实现的全过程。
4. 掌握以上电路的程序结构和风格。
5. 观察和分析仿真波形，注重输入输出之间的时序关系。

**三、实验要求**

1. 画出模块的电路图。
2. 分析电路的仿真波形
3. 记录设计和调试过程。

**四、实验代码及结果**

**五、调试和心得体会**