实验四 存储器模块的设计及应用

**一、实验目的**

1. 掌握Verilog语言框架、编程和调试方法。
2. 掌握Verilog中的存储器电路工作原理。
3. 掌握存储器的实际应用。

**二、实验内容**

1. 设计一个静态存储器RAM，容量为256\*32bit。
2. 建立存储器的访问所需要的各种信号。
3. 各种信号的产生。
4. 对存储单元0#,1#,3#,5#,7#,9#或0#，2#，4#，6#，246#进行读写操作。
5. 观察、记录和分析仿真波形。

**三、实验要求**

1. 分析各模块的的程序结构，画出其流程图。
2. 画出模块的电路图。
3. 分析电路的仿真波形，标出关键的数值。
4. 记录设计和调试过程。

**四、实验代码及结果**

**流程图：**

Memory

256\*32bit

Data

Data\_out

读——

cs==1, we==0,oe==1

写——

cs==1, we==1

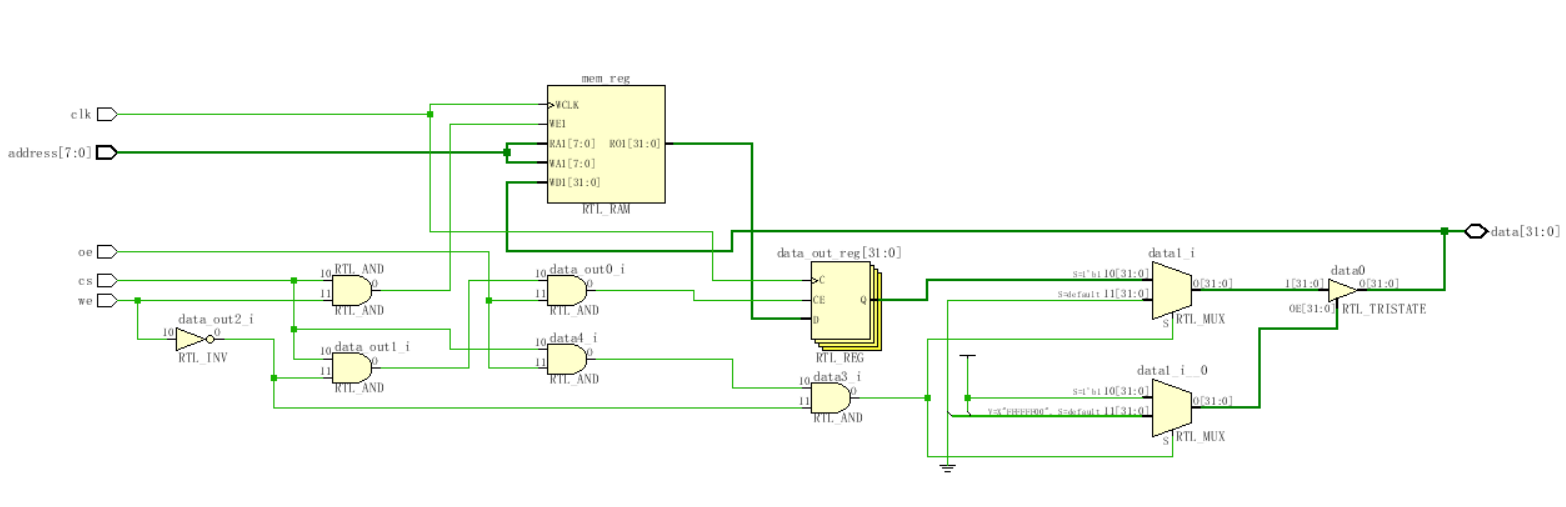
Address

Address

Data

If cs==1, we==0,oe==1

**电路图：**



**器件源代码：**

module ram(

clk,address,data,cs,we,oe

);

parameter DATA\_WIDTH=32;

parameter ADDR\_WIDTH=8;

parameter RAM\_DEPTH=1 << ADDR\_WIDTH;

input clk;

input [ADDR\_WIDTH-1:0] address;

input cs;

input we;

input oe;

inout [DATA\_WIDTH-1:0] data;

reg [DATA\_WIDTH-1:0] data\_out;

reg [DATA\_WIDTH-1:0] mem [0:RAM\_DEPTH-1];

assign data=(cs&&oe&&!we)?data\_out:8'bz;

always @(posedge clk)

begin:MEM\_WRITE

if(cs&&we) begin

mem[address]=data;

end

end

always @(posedge clk)

begin:MEM\_READ

if(cs&&!we&&oe) begin

data\_out=mem[address];

end else begin

end

end

endmodule

**仿真图：**

**五、调试和心得体会**