实验一 基本门电路的设计

**一、实验目的**

1. 掌握Verilog语言框架，编程及调试的方法
2. 熟悉Verilog的基本语法
3. 掌握iverilog开发平台

**二、实验内容**

1. 利用赋值语句完成一个2输入门电路模块的设计。
2. 利用赋值语句完成多个（4个以上）门电路之间的级联，形成一个完整的电路。
3. 在iverilog中完成一个工程的设计、编辑、综合和实现的全过程。
4. 掌握以上电路的程序结构和风格。
5. 观察和分析仿真波形，注重输入输出之间的时序关系。

**三、实验要求**

1. 画出模块的电路图。
2. 分析电路的仿真波形
3. 记录设计和调试过程。

**四、实验代码及结果**

1.两输入与门：

模块源代码：

module gate(i1,i2,o);

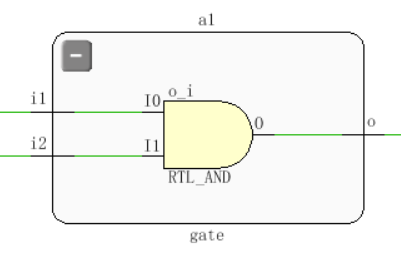
input wire i1,i2;

output wire o;

assign o=i1&i2;

endmodule

电路图：



仿真程序代码：

module e1;

reg in1,in2;

wire out1;

initial begin

in1=0;

in2=0;

#200

in1=1;

in2=1;

#200

in1=0;

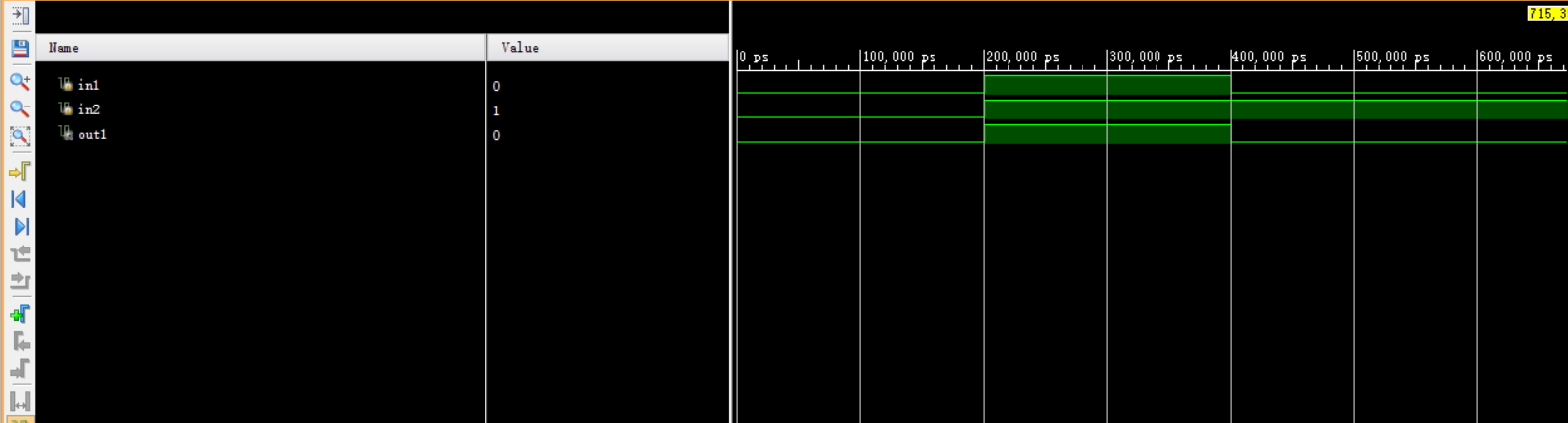
in2=1;

end

gate a1(in1,in2,out1);

endmodule

仿真结果截图：



2.四输入门（级联）

模块源代码：

module fourgate(

in1,in2,in3,in4,out

);

input in1,in2,in3,in4;

output out;

wire tmp1,tmp2;

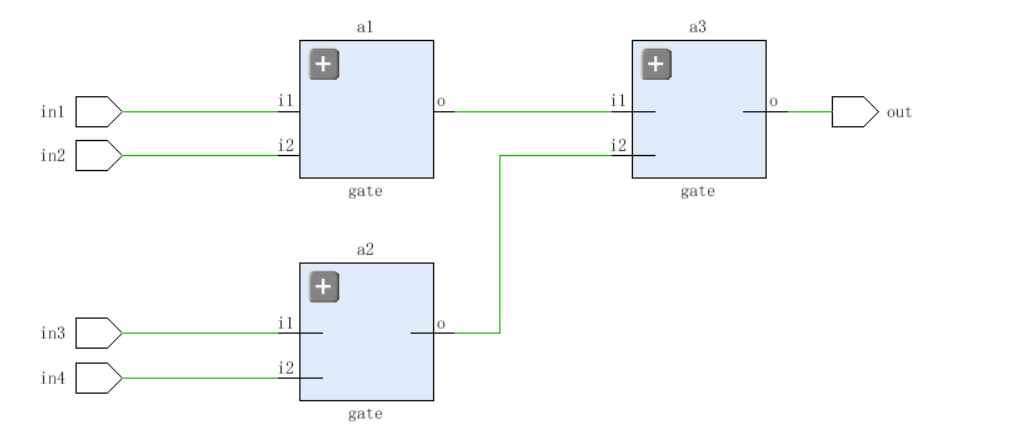
gate a1(in1,in2,tmp1);

gate a2(in3,in4,tmp2);

gate a3(tmp1,tmp2,out);

endmodule

电路图：



仿真程序源代码：

module e2( );

reg i1,i2,i3,i4;

wire o;

initial begin

i1=0;

i2=0;

i3=1;

i4=0;

#200

i1=0;

i2=1;

i3=1;

i4=0;

#200

i1=1;

i2=0;

i3=0;

i4=0;

#200

i1=1;

i2=1;

i3=1;

i4=1;

#200

i1=0;

i2=0;

i3=0;

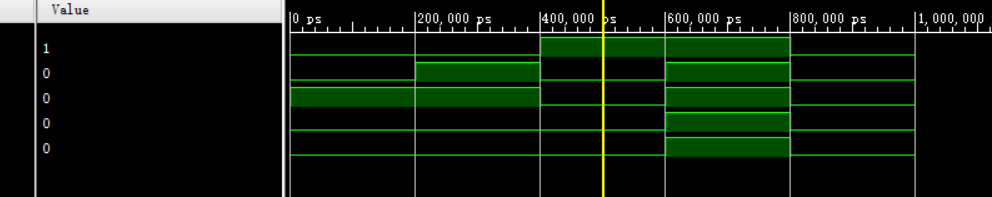
i4=0;

end

fourgate fg1(i1,i2,i3,i4,o);

endmodule

仿真运行截图：



**五、调试和心得体会**

最开始调试时，仿真定义变量没有用reg，而用的wire，导致仿真一直无法完成；

将定义的两个in1，in2变量类型改为reg后，发现仍然报错，结果发现gate模块没有实例化，从而出现报错信息：module instantiation should have an instance name；

后面画电路图的时候，画了四输入门，想再看两输入门却发现怎么点都是四输入门的电路图。问了后才发现应该把两输入门设为顶层文件。后面就正确了。

总之，认真听讲，不走神，才能跟上老师，不然自己做会出很多错误。