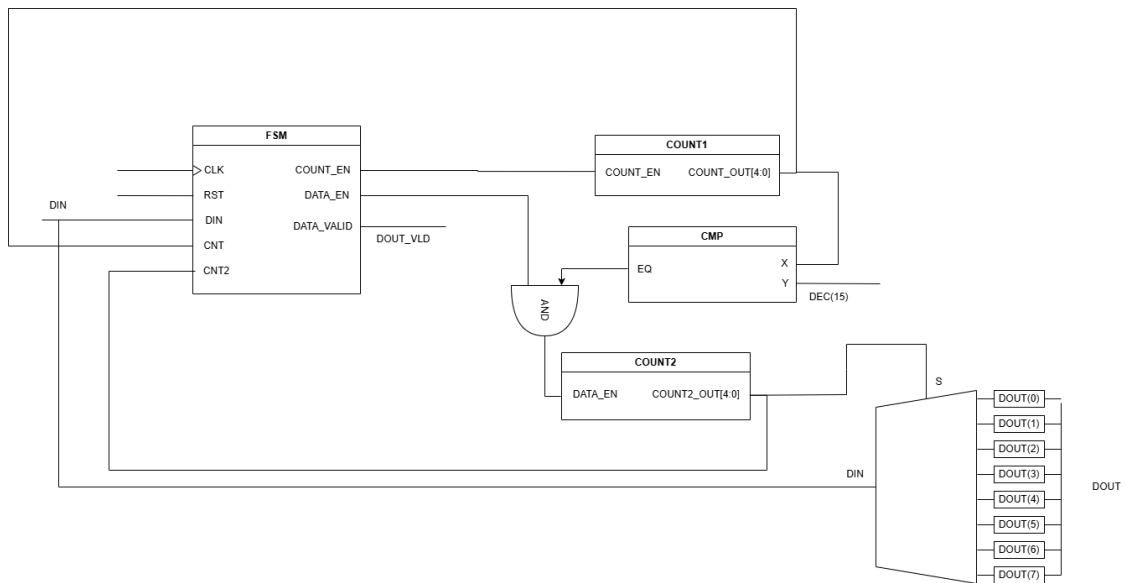


# Zpráva k projektu INC

Radim Pokorný  
Login: xpokorr00

26. dubna 2025

## 1 Návrh obvodu



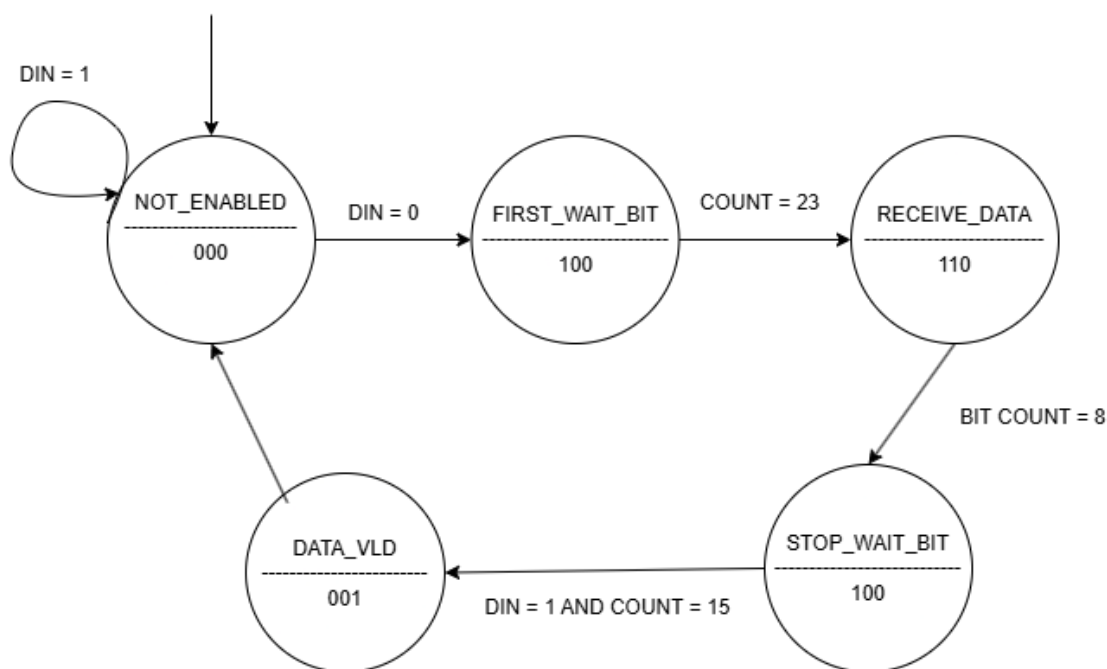
### 1.1 Popis součástek

- **FSM** – Automat pro příjem dat.
- **COUNT1** – Čítač hodinového signálu s max. délkou 5 bitů
- **COUNT2** – Čítač dat (bitů) s max. délkou 4 bitů
- **DEMULTIPLEXOR** – Spojení dat do jednoho výstupu

### 1.2 Popis činnosti

Do automatu FSM se zasílají 3 signály CLOCK, RESET a DATA\_INPUT. První výstup s kterým se pracuje, je COUNT\_EN, který povoluje čítači COUNT1 počítat. Jakmile se dostane do 16. cyklu, tak nabije logickou "1" pomocí funkce CMP s dvěma vstupy DEC(15) a COUNT\_OUT. Výsledek se dostane do logické funkce AND a obvod zajímá, jestli je aktivní 2. výstup FSM DATA\_EN. Jestliže ano, do funkce AND přichází 2 logické "1", tak logický výstup AND je "1". Tím pádem se aktivuje vstup v DATA\_EN v součástce COUNT2, která zasílá signál hodnoty data do multiplexoru a společně s COUNT1 zasílá své výstupy zpět do FSM automatu, aby mohl dál správně fungovat. Jako druhý vstup multiplexoru je DIN, který je propojen s vstupem automatu. Ve finální fázi se v multiplexoru shromáždí data a vytvoří se 1 výstup DOUT o délce 8 bitů.

## 2 Diagram automatu



### 2.1 Stavý automatu

Automat je navržen jako konečný stavový automat (FSM) pro příjem dat přes UART. Pracuje v pěti stavech:

- **NOT\_ENABLED** – Automat je neaktivní, čeká na start bit.
- **FIRST\_WAIT\_BIT** – Čekání na ustálení start bitu.
- **RECEIVE\_DATA** – Přijímání 8bitových dat.
- **STOP\_WAIT\_BIT** – Čekání na stop bit.
- **DATA\_VLD** – Data byla přijata a ověřena.

Přechody mezi stavy jsou řízeny vstupními signály Data Input (DIN), Clock Count (CNT) a Bit Count (CNT2).

### 2.2 Výstupy automatu (Mooreův typ)

Automat je typu **Moore**, protože výstupy závisí pouze na aktuálním stavu (a ne na vstupech).

Výstupní signály:

- **COUNT\_EN** – Aktivní ve stavech FIRST\_WAIT\_BIT, RECEIVE\_DATA a STOP\_WAIT\_BIT.
- **DATA\_EN** – Aktivní pouze ve stavu RECEIVE\_DATA.
- **DATA\_VALID** – Aktivní pouze ve stavu DATA\_VLD.

### 2.3 Popis automatu

Tento automat pracuje s 5 stavy, kde začíná na NOT\_ENABLED, zde čeká na logickou nulu, poté dojde do stavu, kde čeká na FIRST\_BIT, v tomto stavu díky čítači COUNT setrvá 23 cyklů a poté přejde do stavu RECEIVE\_DATA, kde dojde k přečtení 8 bitů. Poté čeká na STOP\_BIT, jakmile dostane logickou 1 a zároveň čítač je v 15 cyklu, tak se přejde na poslední stav DATA\_VLD, kde proběhne podle názvu validace dat a přechází se následně zpět do výchozího stavu NOT\_ENABLED.

### 3 Ukázka simulace

