**Министерство науки и высшего образования Российской Федерации**

федеральное государственное автономное образовательное учреждение   
высшего образования

«Национальный исследовательский Томский политехнический университет»

|  |  |
| --- | --- |
| Школа / филиал | Инженерная школа неразрушающего контроля и безопасности |
| Обеспечивающее подразделение | Отделение электронной инженерии |
| Направление подготовки | 11.03.04 «Электроника и наноэлектроника» |
| Образовательная программа | Прикладная электронная инженерия |

**ОТЧЕТ**

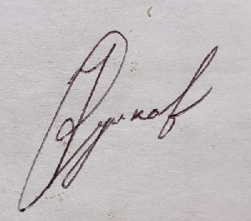
**ПО ЛАБОРАТОРНОЙ РАБОТЕ №3**

по дисциплине «Основы ПЛИС»



Выполнил:

студент гр. 1А22 28.02.2025 \_\_\_\_\_\_\_\_\_\_\_\_\_ Кравцов О.К.



Проверил:

ассистент ОЭИ 28.02.2025 \_\_\_\_\_\_\_\_\_\_\_\_\_ Сизиков Ф.А.

# ЦЕЛЬ РАБОТЫ

Освоить принцип работы вывода информации на семисегментные индикаторы на плате BASYS 3.

# ПОСТАНОВКА ЗАДАЧИ

1. Составить алгоритм отображения информации на семисегментных индикаторах.
2. Рассчитайте разрядность регистра и его значение для задержки согласно варианту и частоте входного сигнала 100 МГц.
3. Показать преподавателю расчёт задержки и рассказать алгоритм отображения информации.
4. Написать код на SystemVerilog.
5. Промоделировать работу написанного кода, проверить правильность работы.
6. Назначить выводы ПЛИС для входов и выходов.
7. Продемонстрировать преподавателю результаты моделирования и назначенные выводы ПЛИС.
8. Проверить работу написанного кода на плате *Basys 3*.
9. Продемонстрировать работу преподавателю.
10. Сделать несколько фотографий работы кода на плате.

# ОПИСАНИЕ АЛГОРИТМА

По заданию 11 варианта требуется реализовать отображение информации на семисегментных индикаторах в трёх режимах:

* Режим отображения номера варианта: На индикаторах отображается номер варианта "11". Режим активируется при включении переключателя SW5.
* Режим отображения номера группы: На индикаторах отображается номер группы "1A22". Режим активируется при включении переключателя SW4.
* Режим отображения даты рождения: На индикаторах отображается дата рождения в формате "06.05.2004" в виде бегущей строки. Режим активируется при включении переключателя SW3.

Приоритет переключателей следующий: SW5 > SW4 > SW3. Если ни один из переключателей не активен, индикаторы выключены.

Для реализации бегущей строки используется счётчик, который сдвигает позицию отображения каждые 0.5 секунды. Динамическая индикация реализована с частотой 1 кГц, что позволяет поочерёдно активировать каждый из четырёх индикаторов.

# КОД НА HDL

Листинг кода на языке SystemVerilog*:*

module lab3(

    input logic CLK100MHZ,

    input logic BTNC,

    input logic [5:3] SW,

    output logic [7:0] HEX,

    output logic [3:0] AN

);

// Clock and reset

logic [25:0] counter = 0;

logic [19:0] refresh\_counter;

logic [1:0] anode\_selector;

logic [3:0] current\_digit;

logic dot;

// Display modes

typedef enum {

    MODE\_OFF,

    MODE\_VARIANT,

    MODE\_GROUP,

    MODE\_DATE

} display\_mode;

display\_mode mode;

// Switch priority logic

always\_comb begin

    if (SW[5]) mode = MODE\_VARIANT;

    else if (SW[4]) mode = MODE\_GROUP;

    else if (SW[3]) mode = MODE\_DATE;

    else mode = MODE\_OFF;

end

// Dynamic display refresh (1 KHz)

always\_ff @(posedge CLK100MHZ) begin

    refresh\_counter <= refresh\_counter + 1;

    if (refresh\_counter == 100000) begin

        refresh\_counter <= 0;

        anode\_selector <= anode\_selector + 1;

    end

end

// DATE mode: Scrolling text

localparam DATE\_LEN = 10;

logic [3:0] date\_digits [DATE\_LEN-1:0] = '{

    4'hF, 4'h0, 4'h6, 4'h0, 4'h5, 4'h2, 4'h0, 4'h0, 4'h4, 4'hF

};

logic [DATE\_LEN-1:0] date\_dots = '{

    0, 0, 1, 0, 1, 0, 0, 0, 0, 0

};

logic [3:0] shift\_pos = 0;

// Scrolling logic (0.5 sec delay)

always\_ff @(posedge CLK100MHZ) begin

    if (mode == MODE\_DATE) begin

        counter <= counter + 1;

        if (counter == 50000000) begin

            counter <= 0;

            shift\_pos <= (shift\_pos + 1) % DATE\_LEN; // Smooth transition

        end

    end else begin

        counter <= 0;

        shift\_pos <= 0;

    end

end

// Data control for 7-segment display

always\_comb begin

    case(mode)

        MODE\_VARIANT: begin // Display '11' on AN1 and AN0

            case(anode\_selector)

                2'b00: begin // AN0

                    current\_digit = 4'h1;

                    dot = 0;

                    AN = 4'b1110;

                end

                2'b01: begin // AN1

                    current\_digit = 4'h1;

                    dot = 0;

                    AN = 4'b1101;

                end

                default: begin

                    current\_digit = 4'hF;

                    dot = 0;

                    AN = 4'b1111;

                end

            endcase

        end

MODE\_GROUP: begin // Display '1A22' on AN3-AN0

            case(anode\_selector)

                2'b00: begin // AN0

                    current\_digit = 4'h2;

                    dot = 0;

                    AN = 4'b1110;

                end

                2'b01: begin // AN1

                    current\_digit = 4'h2;

                    dot = 0;

                    AN = 4'b1101;

                end

                2'b10: begin // AN2

                    current\_digit = 4'hA;

                    dot = 0;

                    AN = 4'b1011;

                end

                2'b11: begin // AN3

                    current\_digit = 4'h1;

                    dot = 0;

                    AN = 4'b0111;

                end

            endcase

        end

        MODE\_DATE: begin // Scrolling text

            logic [3:0] current\_index;

            current\_index = (shift\_pos + anode\_selector) % DATE\_LEN; // Correct order

            current\_digit = date\_digits[current\_index];

            dot = date\_dots[current\_index];

            AN = ~(4'b0001 << anode\_selector);

        end

        default: begin // Display off

            current\_digit = 4'hF;

            dot = 0;

            AN = 4'b1111;

        end

    endcase

end

// 7-segment decoder with dot control

seg7\_decoder decoder(

    .data(current\_digit),

    .dot(dot),

    .seg(HEX)

);

endmodule

module seg7\_decoder(

    input logic [3:0] data,

    input logic dot,

    output logic [7:0] seg

);

always\_comb begin

    case(data)

        4'h0: seg = {~dot, 7'b1000000}; // 0

        4'h1: seg = {~dot, 7'b1111001}; // 1

        4'h2: seg = {~dot, 7'b0100100}; // 2

        4'h3: seg = {~dot, 7'b0110000}; // 3

        4'h4: seg = {~dot, 7'b0011001}; // 4

        4'h5: seg = {~dot, 7'b0010010}; // 5

        4'h6: seg = {~dot, 7'b0000010}; // 6

        4'h7: seg = {~dot, 7'b1111000}; // 7

        4'h8: seg = {~dot, 7'b0000000}; // 8

        4'h9: seg = {~dot, 7'b0010000}; // 9

        4'hA: seg = {~dot, 7'b0001000}; // A

        4'hB: seg = {~dot, 7'b0000011}; // B

        4'hC: seg = {~dot, 7'b1000110}; // C

        4'hD: seg = {~dot, 7'b0100001}; // D

        4'hE: seg = {~dot, 7'b0000110}; // E

        4'hF: seg = {~dot, 7'b1111111}; // OFF

        default: seg = {~dot, 7'b1111111};

    endcase

end

endmodule

# НАзначение ВЫВОДОВ плис

Листинг *basys3.xdc*:

# Clock signal

set\_property PACKAGE\_PIN W5 [get\_ports CLK100MHZ]

set\_property IOSTANDARD LVCMOS33 [get\_ports CLK100MHZ]

# Reset button

set\_property PACKAGE\_PIN U18 [get\_ports BTNC]

set\_property IOSTANDARD LVCMOS33 [get\_ports BTNC]

# Switches

set\_property PACKAGE\_PIN V15 [get\_ports {SW[5]}]

set\_property PACKAGE\_PIN W15 [get\_ports {SW[4]}]

set\_property PACKAGE\_PIN W17 [get\_ports {SW[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {SW[\*]}]

# 7-segment display anodes

set\_property PACKAGE\_PIN U2 [get\_ports {AN[0]}]

set\_property PACKAGE\_PIN U4 [get\_ports {AN[1]}]

set\_property PACKAGE\_PIN V4 [get\_ports {AN[2]}]

set\_property PACKAGE\_PIN W4 [get\_ports {AN[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {AN[\*]}]

# 7-segment display cathodes

set\_property PACKAGE\_PIN W7 [get\_ports {HEX[0]}]

set\_property PACKAGE\_PIN W6 [get\_ports {HEX[1]}]

set\_property PACKAGE\_PIN U8 [get\_ports {HEX[2]}]

set\_property PACKAGE\_PIN V8 [get\_ports {HEX[3]}]

set\_property PACKAGE\_PIN U5 [get\_ports {HEX[4]}]

set\_property PACKAGE\_PIN V5 [get\_ports {HEX[5]}]

set\_property PACKAGE\_PIN U7 [get\_ports {HEX[6]}]

set\_property PACKAGE\_PIN V7 [get\_ports {HEX[7]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {HEX[\*]}]

# Фотографии макета

На рисунках 1-4 представлены фотографии работы макета.



Рисунок 1 – Фотография макета



Рисунок 2 – Фотография макета

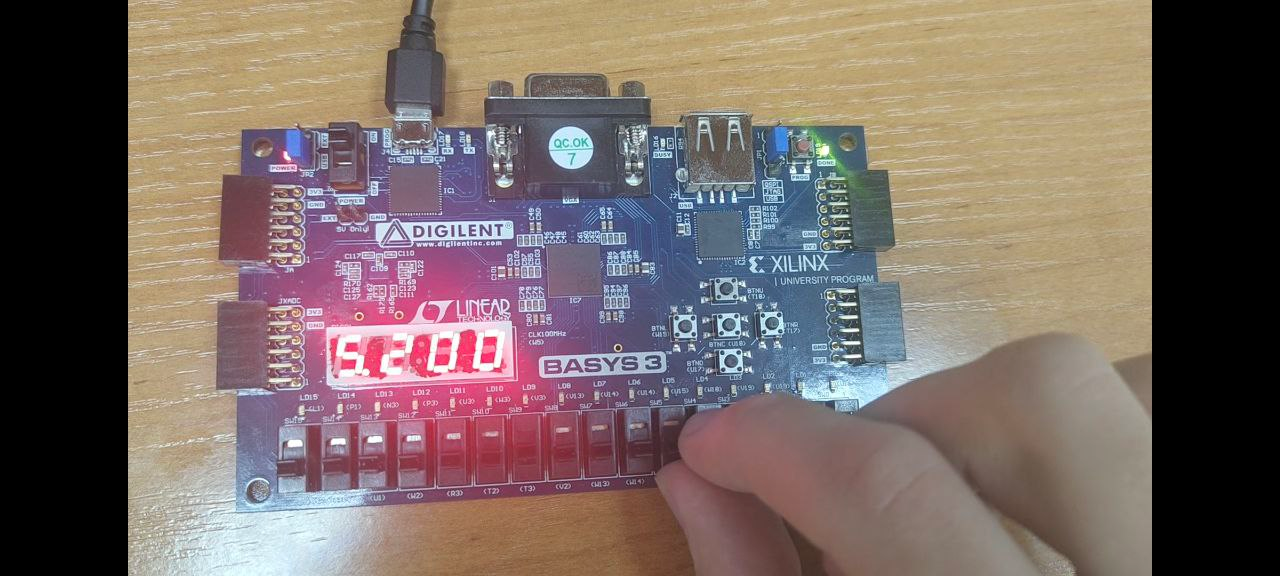


Рисунок 3 – Фотография макета

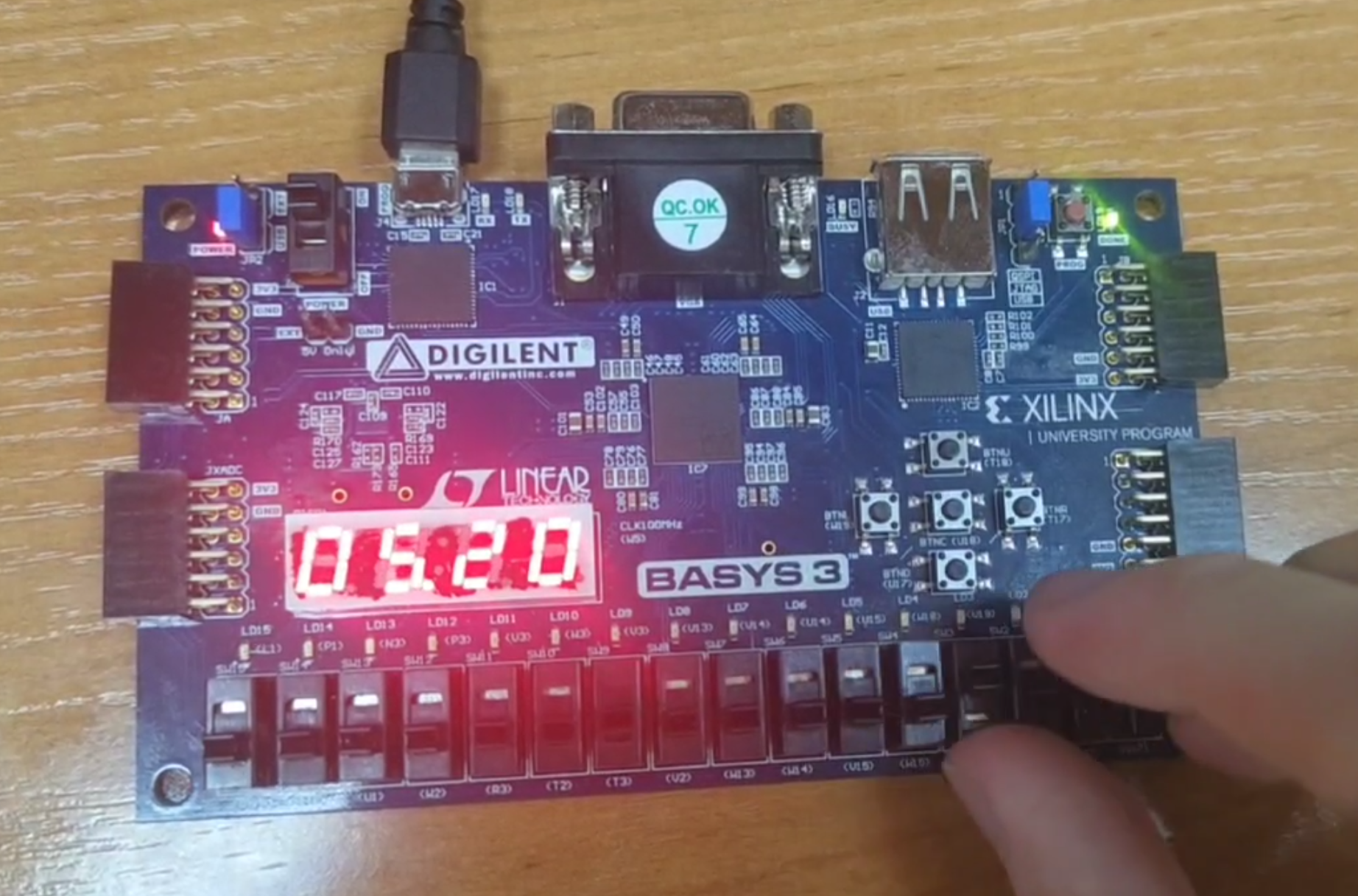


Рисунок 4 – Фотография макета

# Выводы

В ходе лабораторной работы №3 по дисциплине «Основы ПЛИС» были выполнены следующие задачи:

1. Разработан алгоритм отображения информации на семисегментных индикаторах в трёх режимах: номер варианта, номер группы и дата рождения.
2. Реализован код на языке SystemVerilog, обеспечивающий корректное отображение информации в зависимости от состояния переключателей.
3. Проведено моделирование работы кода, подтвердившее его корректность.
4. Назначены выводы ПЛИС для подключения к плате Basys 3.
5. Протестирована работа кода на плате Basys 3, продемонстрировавшая правильное отображение информации на индикаторах.

В результате работы были освоены принципы работы с семисегментными индикаторами и динамической индикацией на плате Basys 3.