Федеральное государственное автономное образовательное учреждение  
высшего образования   
"Национальный исследовательский университет   
"Высшая школа экономики"

Московский институт электроники и математики им. А. Н. Тихонова

Департамент компьютерной инженерии

Отчёт

о выполнении практической работы № 3

Тема работы: «Разработка и программирование Soft-процессорных ядер с архитектурой однотактный MIPS. Часть 3»

по курсу «Системное проектирование цифровых устройств»

Выполнила:

Бригада № 10

Власов Р. В. БИВ174

Сегида Т. О. БИВ174

Принял

ассистент Американов А. А.

Оценка:

Москва 2020 г.

Оглавление

[1. Добавление памяти 3](#_Toc52026586)

[1.1. Добавление IP-блока памяти 3](#_Toc52026587)

[1.2. Добавление памяти средствами Verilog 3](#_Toc52026588)

[2. Самостоятельная работа 3](#_Toc52026589)

[2.1. Задание № 1 3](#_Toc52026590)

[3. Выводы 4](#_Toc52026591)

[4. Список литературы 4](#_Toc52026592)

1. Добавление памяти
   1. Добавление IP-блока памяти

Результаты генерации находятся в lab\_3\schoolMIPS\board\de10\_standard\generated\.

* 1. Добавление памяти средствами Verilog

Результаты находятся в lab\_3\schoolMIPS\board\de10\_standard\written\.

1. Самостоятельная работа
   1. Задание № 1
2. Добавить в тракт передачи данных блок памяти на 16-ть 32-хбитных слов с двумя входами/выходами (1-ый вход-выход используется для работы процессора, адресация в памяти начинается с 0 адреса, 2-ой вход-выход используется для подключения внешнего управления (адресный вход получает значение с переключателей, меняя значения которых можно просматривать содержимое памяти, выход данных не подключен, вход разрешения записи не подключен))
3. Добавить команды LW и SW в тракт передачи данных (память инициализируется hex-файлом, содержащим 16 32-хбитных слов)

Данное задание выполнялось на версии процессора 00\_simple.

* + 1. Добавить блок памяти

На 16-ть 32-хбитных слов с двумя входами/выходами. Используется модуль ram\_2\_port, сгенерированный в предыдущей части лабораторной работы, тут он регенерирован, чтобы иметь 16 слов, а не 32.

Для дальнейшего выполнения этого пункта задания целесообразно перейти к следующему пункту.

* + 1. Добавить команды LW и SW в тракт передачи данных

Память инициализируется hex-файлом, содержащим 16 32-хбитных слов. Данный файл находится в lab\_3\schoolMIPS\program\03\_task\_1\.

1-ый вход-выход используется для работы процессора, адресация в памяти начинается с 0 адреса. Сделано также, как в книге H&H в главе 7.3.1, чтобы память была как-то задействована для работы процессора.

2-ой вход-выход блока памяти используется для подключения внешнего управления (адресный вход получает значение с переключателей, меняя значения которых можно просматривать содержимое памяти, выход данных не подключен, вход разрешения записи не подключен)

* 1. Задание № 2

1. Разработать программу на ассемблере, которая инвертирует все нечетные числа в памяти (5 вариант)
2. Провести прототипирование процессора и выполняемой программы
3. Сравнить данный вариант процессора с версией 01\_mmio (данный вариант – наверное, имеется в виду тот, что на рисунке над вторым заданием)
   1. Задание № 3
4. Перейти в ветку проекта 03\_pipeline
5. Выполнить программы 00\_counter, 01\_fibonacci, 02\_sqrt, 03\_ram и убедиться, что они работают также, как в предыдущей лабораторной работе
6. Выполнить программы 06\_hz\_forward, 07\_hz\_stall, 05\_hz\_branc и добавить комментарии к программам
7. Объяснить, чем эта версия процессора отличается от базовой
8. Выводы

Во время выполнения данной работы мы познакомились с процессором schoolMIPS MIPS архитектуры. Сравнили две версии данного процессора. Получили навыки расширения функциональности процессора добавлением команд. Получили навыки работы с платой DE10-Standard. Вспомнили процессы дизассемблирования и моделирования.

1. Список литературы
2. SPDS\_Lab\_2\_2020 [Электронный ресурс]. – URL: [https://docs.google.com/document/d/1WuYORvrBLINq-EuFRP1P-HyPyK4WiaPP\_O5PQ25Yehc/edit#heading=h.7wjwmyn0vwth](https://docs.google.com/document/d/1WuYORvrBLINq-EuFRP1P-HyPyK4WiaPP_O5PQ25Yehc/edit%23heading=h.7wjwmyn0vwth)
3. DE10-Standard User Manual [Текст] Terasic inc – 133c.
4. MIPSfpga/schoolMIPS Wiki [Электронный ресурс]. – URL: <https://github.com/MIPSfpga/schoolMIPS/wiki>
5. Цифровая схемотехника и архитектура компьютера [Текст]/ Дэвид М. Хэррис и Сара Л. Хэррис – 1627с.
6. Цифровой синтез [Текст]: практический курс / Панчул Ю., Романов А. / Романов А. – 500с.
7. Introduction to Intel® FPGA IP Cores [Электронный ресурс]. – URL: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_intro_to_megafunctions.pdf>