

Session S4

Circuits logiques séquentiels et mathématiques discrètes

Solutionnaire des exercices formatifs

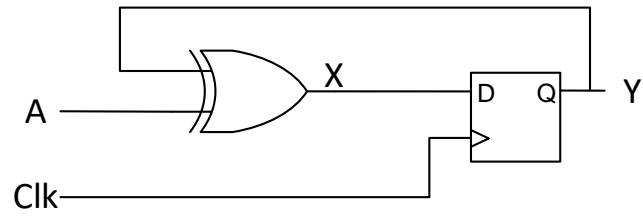
**Département de génie électrique et de génie
informatique**

Faculté de génie

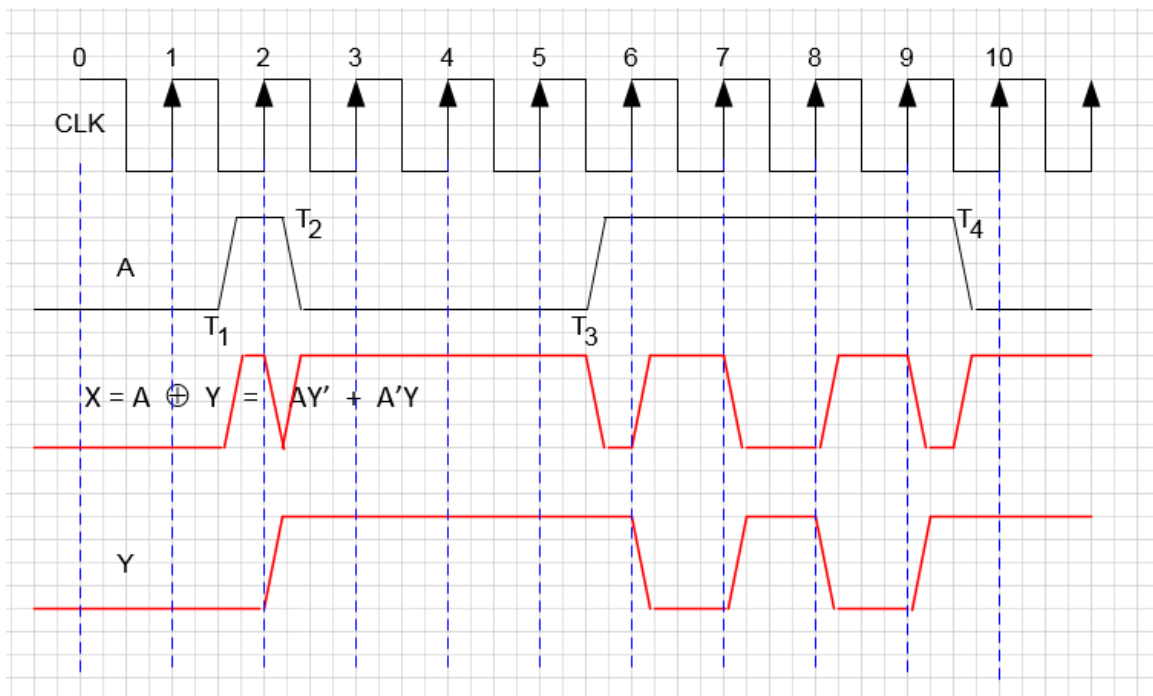
Université de Sherbrooke

Série 1

Solution 1.1

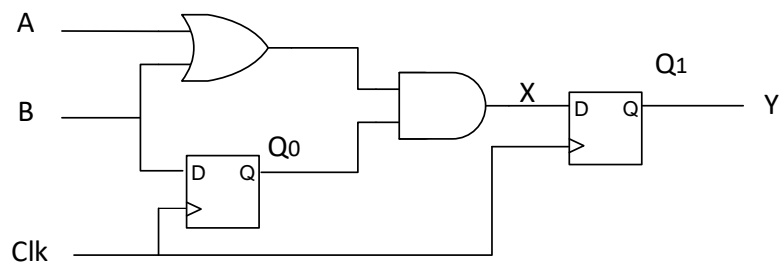


Analyse :

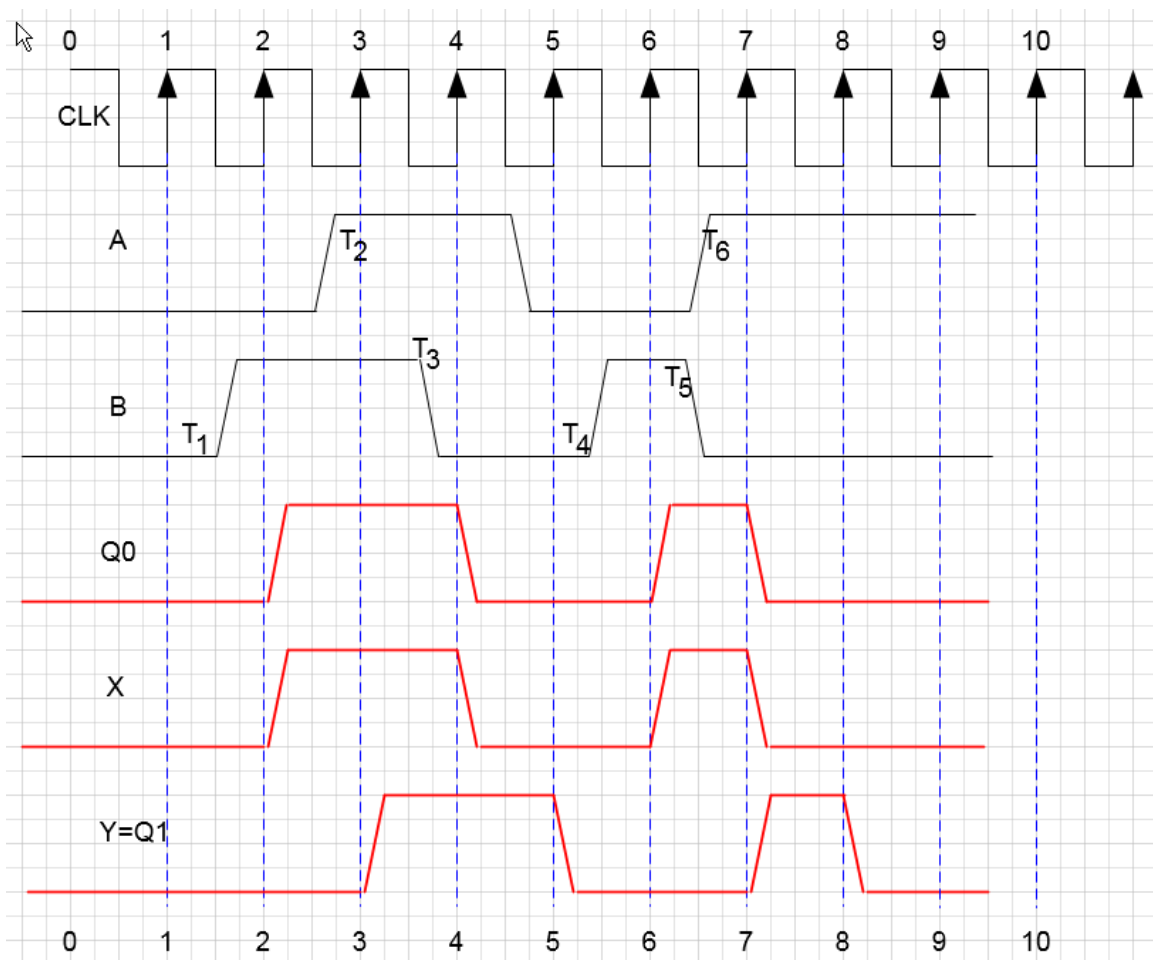


$$X = A \oplus Y = AY' + A'Y$$

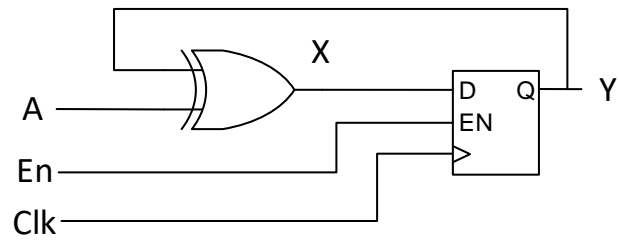
Solution 1.2



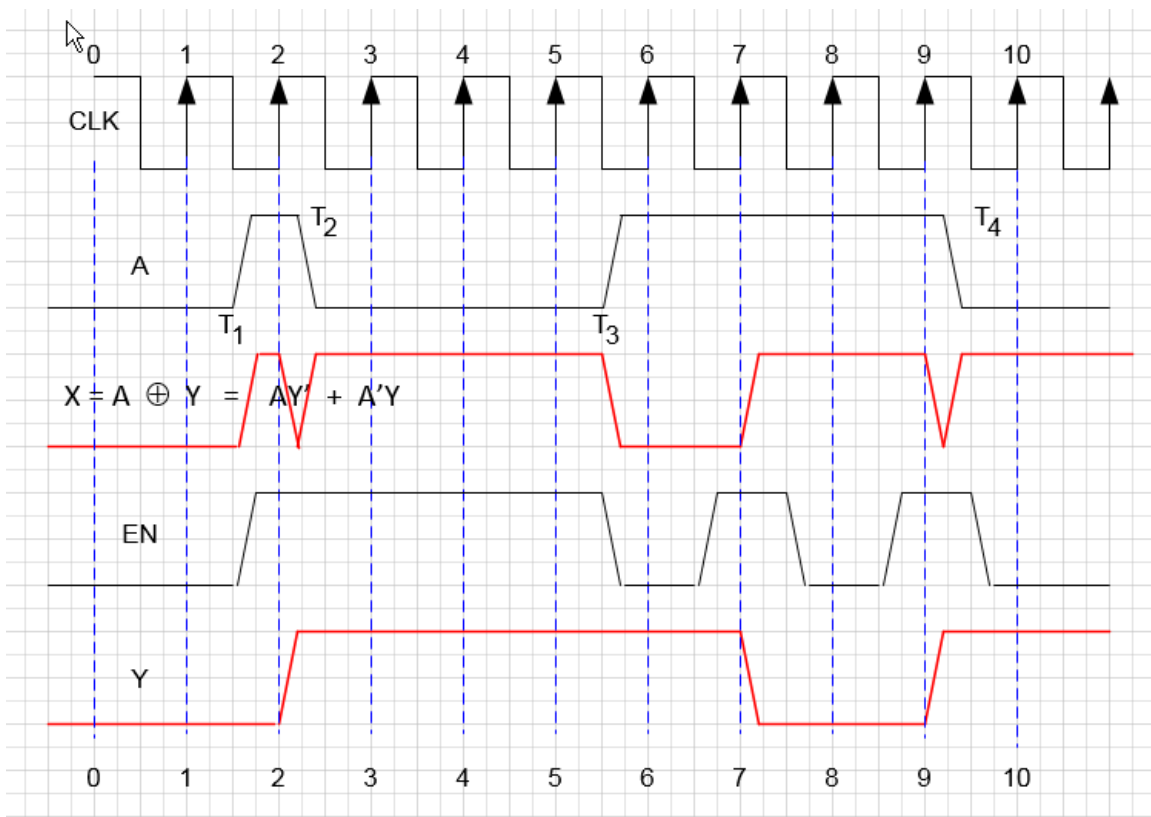
Analyse :



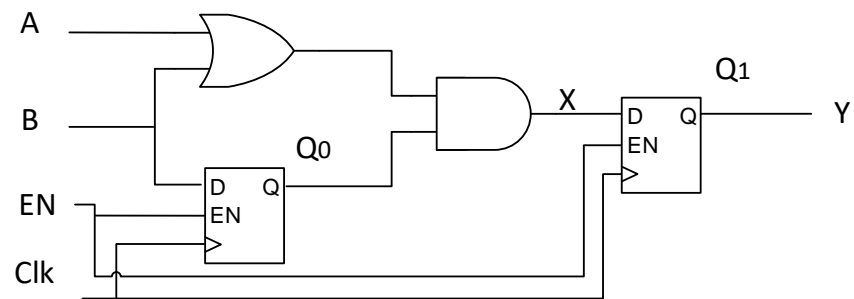
Solution 2.1



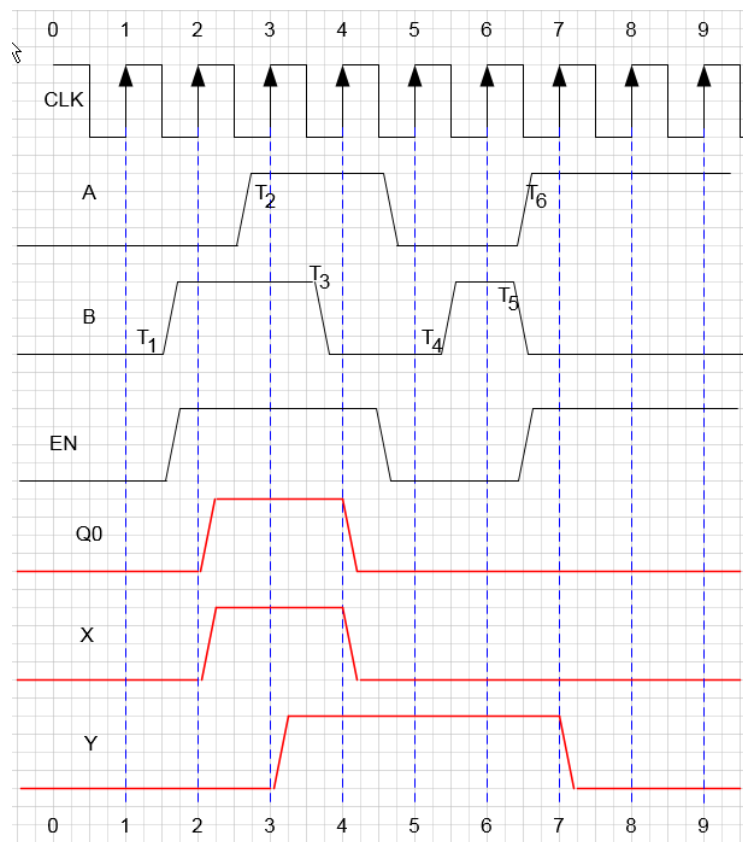
Analyse :



Solution 2.2



Analyse :



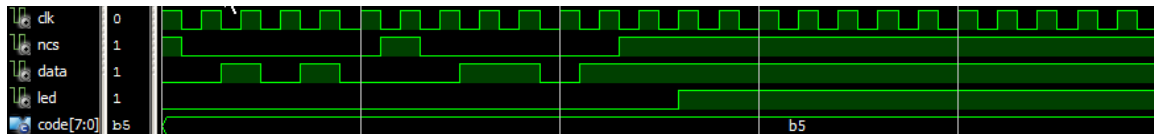
Exercice 3

Un circuit agissant comme serrure électronique d'un coffre-fort attend de recevoir 2 codes de 4 bits sur une ligne de transmission série pour débloquent le mécanisme. Chaque mot de 4 bit est envoyé en commençant par le bit le moins significatif (LSB) sur la ligne "Data". Le transfert du mot débute par la ligne NCS qui descend de 1 à 0, où la valeur de donnée lors de cette première descente n'est pas considérée et se termine par le retour de NCS à 1. Si NCS reste à '0' plus que le temps nécessaire, alors les valeurs de données supplémentaires sont ignorées. Le circuit allume une LED (i.e Led = 1) lorsque le bon code a été reçu, au 2^e coup d'horloge après le retour du dernier NCS à 1. Supposant que la séquence de déverrouillage est 0x5, 0xB, dessiner le chronogramme décrivant l'ouverture du coffre-fort.

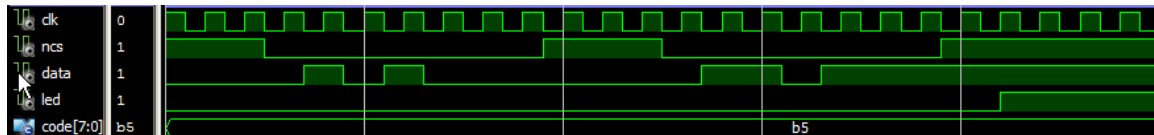
Solution

Note : Ici, il peut y avoir quelques différences entre deux chronogrammes valides. Voici deux exemples de solutions valides :

3-A

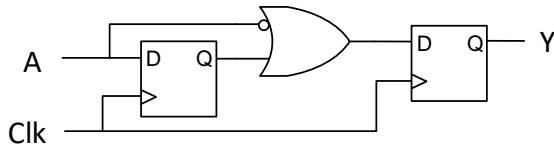


3-B



Exercice 4

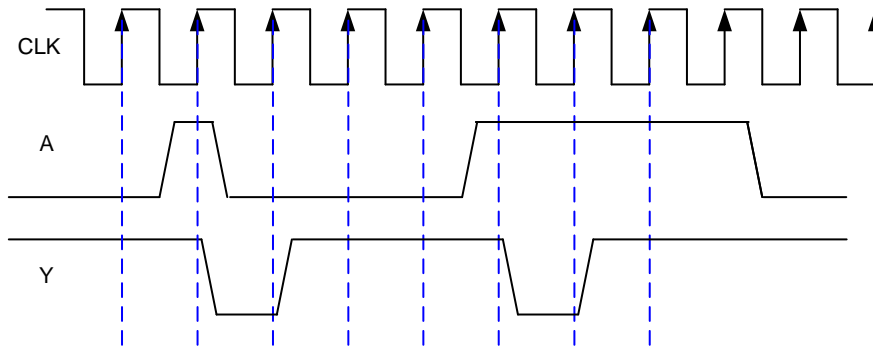
Soit le circuit suivant. Déterminez différents scénarios de signal d'entrée pour le tester et dessinez le chronogramme.



Réflexion : Quel est le comportement de la sortie? À quoi ce circuit pourrait-il servir?

Solution

Puisqu'il n'y a qu'une seule entrée, la seule variante est la durée de l'état haut et/ou bas. Pour tester le circuit, il faut varier la durée haute et basse du signal après une transition.



Exercice 5

Concevoir un circuit séquentiel ayant deux bascules D (A et B) et une entrée X. Quand $X = 0$, l'état du circuit reste le même. Quand $X = 1$, le circuit passe par les états 00 – 10 – 11 – 01 et retourne à 00, et ainsi de suite. Votre conception doit inclure la table d'états et la table de transitions (présenté dans l'ordre que vous préférez).

Pour cet exercice particulier, les variables de sortie, le vecteur Z, prendra la valeur du code binaire des états. Ce qui n'est pas nécessairement le cas pour d'autres circuits.

Solution

Diagramme

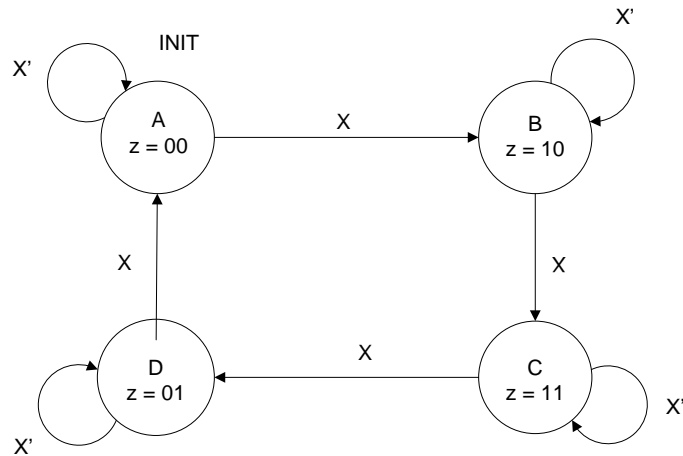


Table des états

Nom de l'état (codage)	ETAT suivant		Sortie Z
	X= 0	X=1	
A (00)	A	B	00
B (10)	B	C	10
C (11)	C	D	11
D (01)	D	A	01

Table transition et sorties

Nom de l'état	ETAT suivant		Sortie
	Q*aQ*b		
QaQb	X= 0	X=1	Z
00	00	10	00
10	10	11	10
11	11	01	11
01	01	00	01

Équations d'excitation

QaQb

		00	01	11	10
X	0	0	0	1	1
	1	1	0	0	1

$D_a = Q^*a = Qb' \cdot X + Qa \cdot X' + (Qa \cdot Qb') +$ (ref p 226 wakerly)

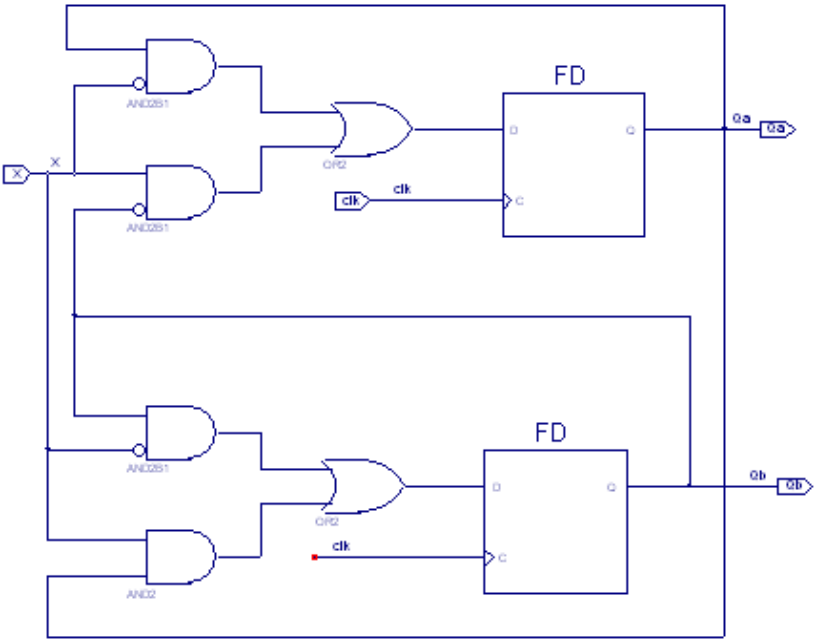
QaQb

		00	01	11	10
X	0	0	1	1	0
	1	0	0	1	1

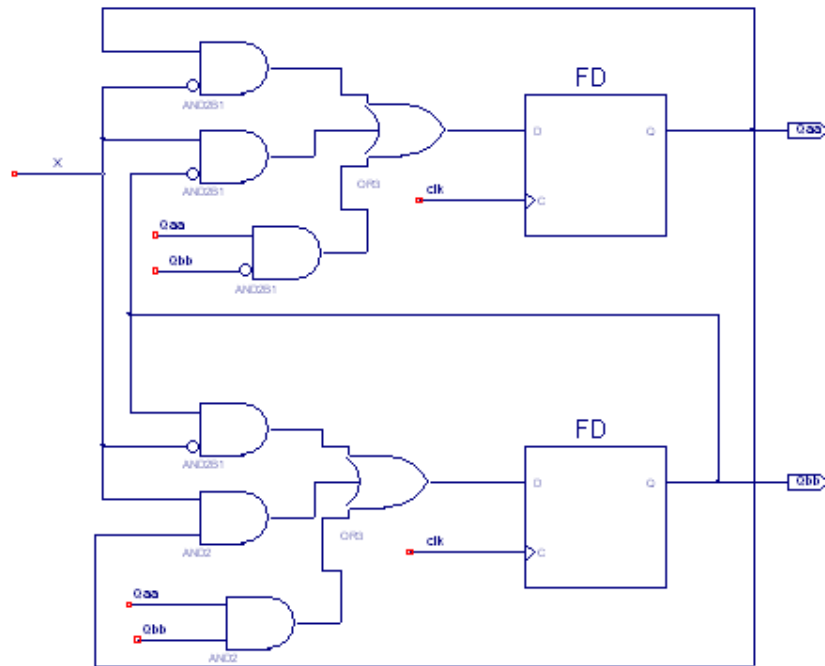
$D_b = Q^*b = Qb \cdot X' + Qa \cdot X + (Qa \cdot Qb)$

Les implicants redondants (en rouge) ne sont pas requis pour le circuit SYNCHRONÉ car les états sont stabilisés à l'occurrence de l'horloge.

Circuit



Autre circuit en ajoutant les implicants redondants



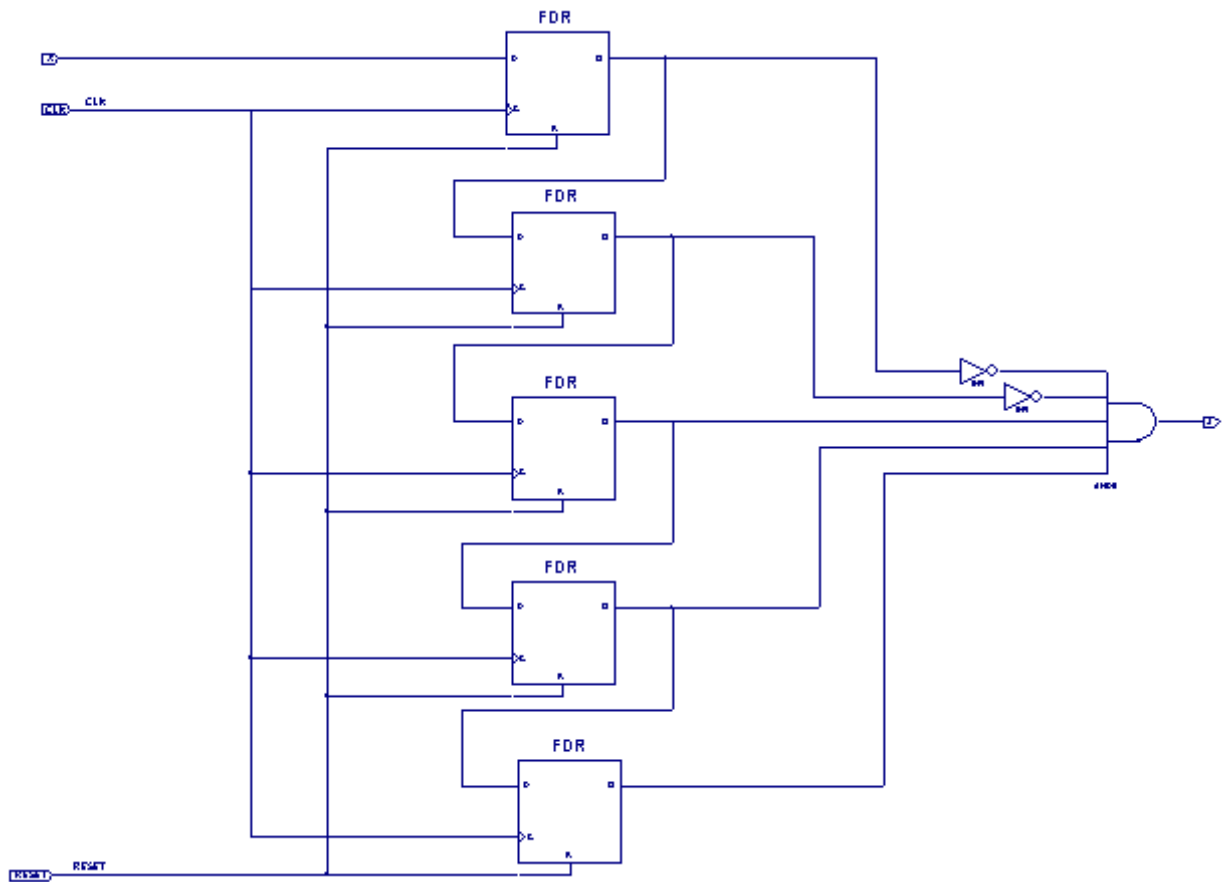
Note : pour cet exercice particulier, le vecteur de sortie Z est égal à la valeur (Qa , Qb) du code binaire des états. Ce qui n'est pas nécessairement le cas pour d'autres circuits où l'on pourrait trouver un circuit combinatoire qui relie les états aux sorties (configuration de Moore) ou qui relie les entrées et les états aux sorties (configuration de Mealy).

Série 2

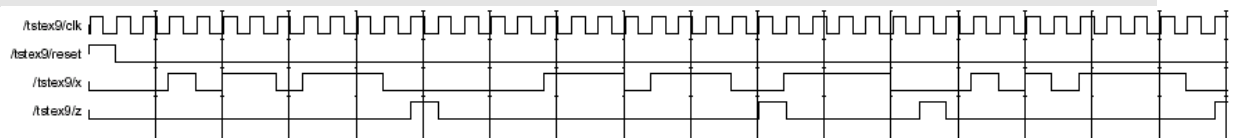
Exercise 1

Concevoir un circuit séquentiel avec un registre à décalage. Le circuit a une entrée binaire X et une sortie binaire Z . La sortie vaut 1 si la chaîne binaire lue jusque-là comme entrée contient trois 1 consécutifs suivis par deux 0, autrement la sortie vaut 0.

Solution



Validation par simulation



**NOTE CETTE APPROCHE DE VÉRIFICATION N'EST PAS ACCEPTÉE POUR LE
MODULE DE FRÉQUENCE DE LA PROBLÉMATIQUE**

Exercice 2

Proposer la table d'états et sortie d'une machine de Moore ayant une entrée et une sortie. La sortie vaut 1 si la chaîne binaire lue jusque-là comme entrée contient la séquence 011. La sortie reste à 1 jusqu'à ce que la même séquence 011 se présente à nouveau. Dans ce cas la sortie passe à 0. Elle conserve cette valeur tant que la séquence 011 n'est pas détectée à nouveau et ainsi de suite. Par exemple la séquence d'entrée:

$X = 01011010110100111$, produit comme sortie :

$Z = 00001111100000011$

Solution

$X = 01\boxed{011}01\boxed{011}010\boxed{011}1$, produit comme sortie :

$Z = 0000\boxed{1}1111\boxed{0}00000\boxed{1}1$

La séquence clé $\boxed{011}$ fait basculer la sortie de 0 à 1 ou 1 à 0 ;

Table des états

(explication)	État présent	Entrée	X	Sortie
		0	1	Z
...xxx	S1	S2	S1	0
..xxx0	S2	S2	S3	0
...xxx01	S3	S2	S4	0
...xxx011...1	S4	S5	S4	1
...xxx0110...0	S5	S5	S6	1
...xxx0110...01	S6	S5	S1	1
		État futur	S*	

On pourrait imaginer un état S7 pour la transition de S6 avec l'entrée...xxx0110...011 mais cet état est équivalent à S1.

On peut construire le tableau systématiquement en faisant, pour chaque état, l'hypothèse de $X=0$ ou 1 et en évitant les états redondants.