

Session S4

Circuits logiques séquentiels et mathématiques discrètes

Exercices formatifs

**Département de génie électrique et de génie
informatique**

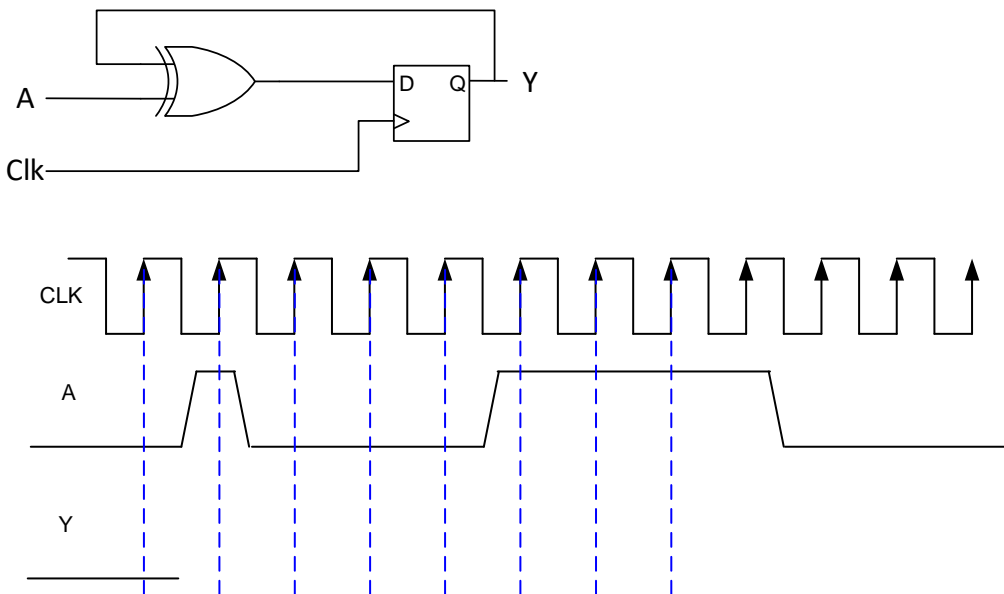
**Faculté de génie
Université de Sherbrooke**

Série 1

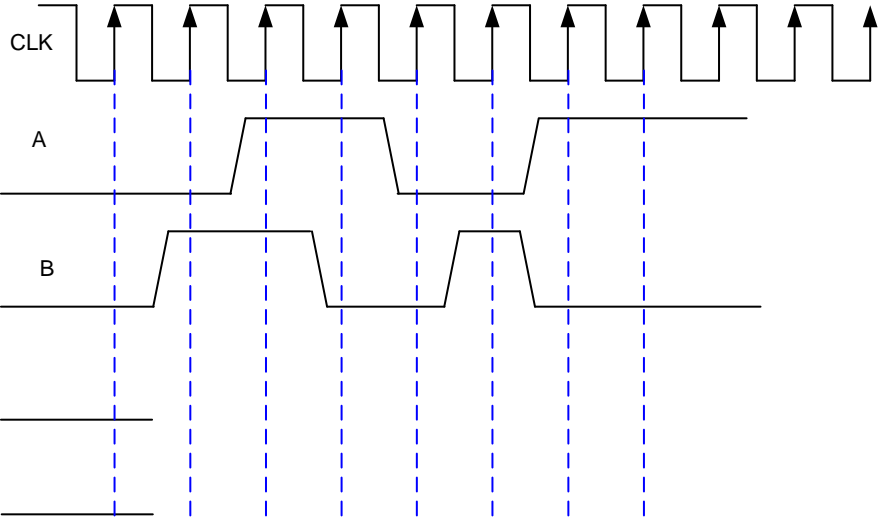
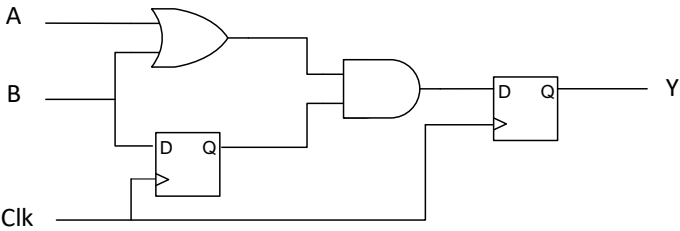
Exercice 1

Produisez le chronogramme des circuits suivants, en supposant le comportement fourni des entrées. Les bascules sont initialisées à '0'.

Circuit 1.1



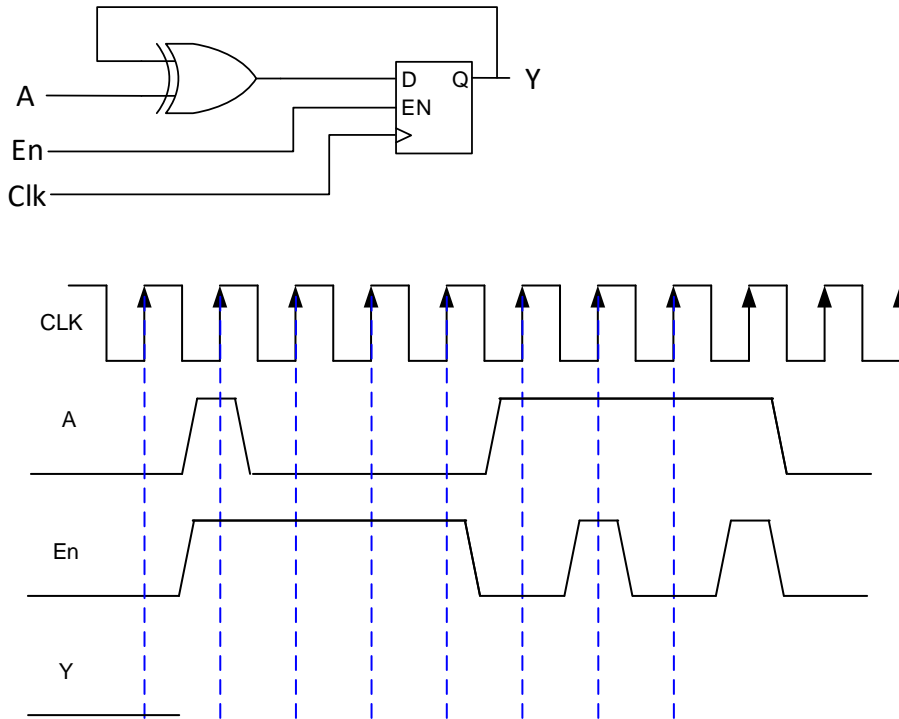
Circuit 1.2



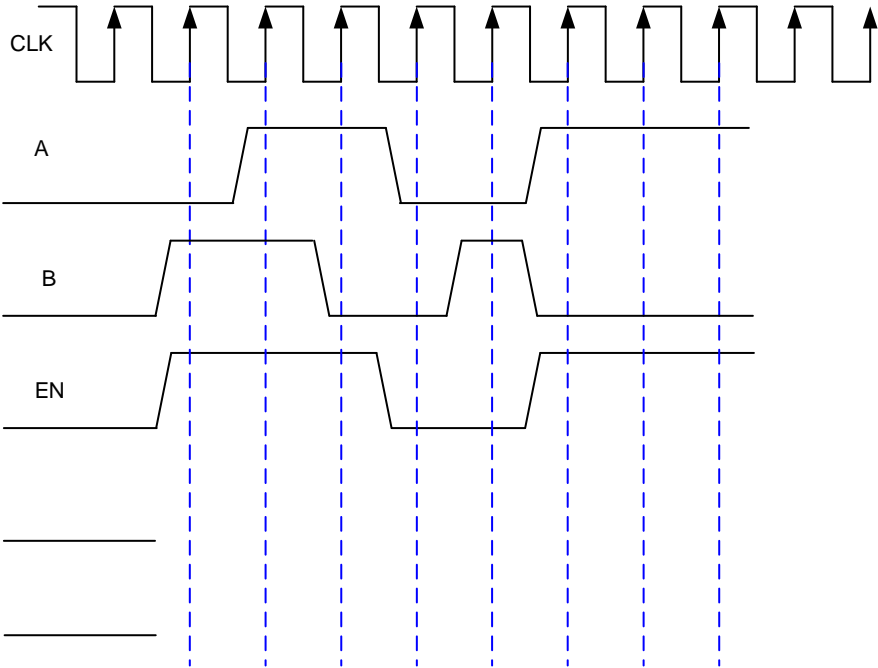
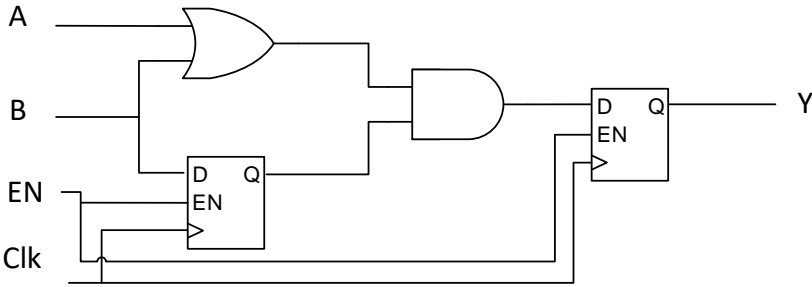
Exercise 2

Les circuits de l'exercice précédent ont été modifiés pour utiliser des bascules avec patte « Enable ». Reproduisez les chronogrammes en tenant compte du comportement de cette entrée supplémentaire. Les bascules sont initialisées à '0'.

Circuit 2.1

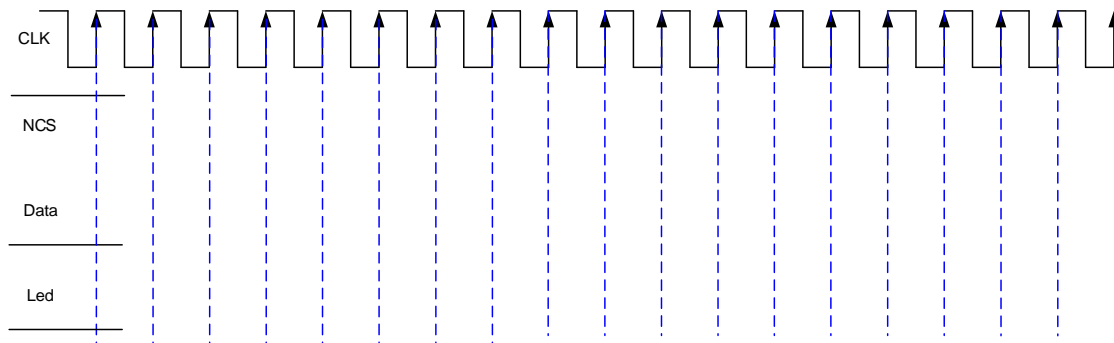


Circuit 2.2



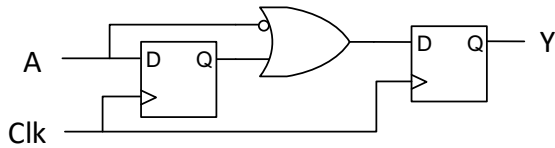
Exercice 3

Un circuit agissant comme serrure électronique d'un coffre-fort attend de recevoir 2 codes de 4 bits sur une ligne de transmission série pour débloquer le mécanisme. Chaque mot de 4 bit est envoyé en commençant par le bit le moins significatif (LSB) sur la ligne "Data". Le transfert du mot débute par la ligne NCS qui descend de 1 à 0, où la valeur de donnée lors de cette première descente n'est pas considérée et se termine par le retour de NCS à 1. Si NCS reste à '0' plus que le temps nécessaire, alors les valeurs de données supplémentaires sont ignorées. Le circuit allume une LED (i.e Led = 1) lorsque le bon code a été reçu, au 2^e coup d'horloge après le retour du dernier NCS à 1. Supposant que la séquence de déverrouillage est 0x5, 0xB, dessiner le chronogramme décrivant l'ouverture du coffre-fort.



Exercice 4

Soit le circuit suivant. Déterminez différents scénarios de signal d'entrée pour le tester et dessinez le chronogramme.



Réflexion : Quel est le comportement de la sortie? À quoi ce circuit pourrait-il servir?

Exercice 5

Concevoir un circuit séquentiel ayant deux bascules D (A et B) et une entrée X. Quand $X = 0$, l'état du circuit reste le même. Quand $X = 1$, le circuit passe par les états 00 – 10 – 11 – 01 et retourne à 00, et ainsi de suite. Votre conception doit inclure la table d'états et la table de transitions (présenté dans l'ordre que vous préférez).

Pour cet exercice particulier, les variables de sortie, le vecteur Z, prendra la valeur du code binaire des états. Ce qui n'est pas nécessairement le cas pour d'autres circuits.

Série 2

Exercice 1

Concevoir un circuit séquentiel avec un registre à décalage. Le circuit a une entrée binaire X et une sortie binaire Z. La sortie vaut 1 si la chaîne binaire lue jusque-là comme entrée contient trois 1 consécutifs suivis par deux 0, autrement la sortie vaut 0.

Exercice 2

NOTE : Cet exercice est identique à celui proposé dans les exercices de pratique des MEF. On vient compléter quelques étapes supplémentaires.

Proposer la table d'états et sortie d'une machine de Moore ayant une entrée et une sortie. La sortie vaut 1 si la chaîne binaire lue jusque-là comme entrée contient la séquence 011. La sortie reste à 1 jusqu'à ce que la même séquence 011 se présente à nouveau. Dans ce cas la sortie passe à 0. Elle conserve cette valeur tant que la séquence 011 n'est pas détectée à nouveau et ainsi de suite. Par exemple la séquence d'entrée:

$X = 0\ 1\ 0\ 1\ 1\ 0\ 1\ 0\ 1\ 1\ 0\ 1\ 0\ 0\ 1\ 1\ 1$, produit comme sortie :

$Z = 0\ 0\ 0\ 0\ 1\ 1\ 1\ 1\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1$