

Source : Bell Labs

# PHYSIQUE DES PORTES LOGIQUES

Guide de l'étudiant

S4 GI APP3  
Été 2022

Département de génie électrique et de génie  
informatique  
Faculté de génie  
Université de Sherbrooke

## Table des matières

Table des matières .....	1
1   Activité pédagogique et compétences .....	2
2   Synthèse de l'évaluation .....	2
3   Qualités de l'ingénieur .....	2
4   Énoncé de la problématique .....	3
5   Connaissances nouvelles.....	5
6   Guide de lecture.....	6
7   Pratique procédurale 1 .....	8
8   Pratique en laboratoire.....	10
9   Logiciels et matériel .....	13
10   Pratique procédurale 2 .....	16
11   Validation .....	20
12   Rapport sur la résolution de la problématique.....	21
13   Santé et sécurité .....	22
14   Politiques et règlements .....	22

Auteurs principal Serge Charlebois avec l'appui de Frédéric Nolet, Réjean Fontaine et Jean-François Pratte.

Version : 1.0 (2022-05-29 23:05:00)

© 2022 Tous droits réservés.

Département de génie électrique et de génie informatique, Université de Sherbrooke.

## 1 Activité pédagogique et compétences

### GIF470 – Physique des portes logiques

Compétence 1 - Comprendre et analyser le fonctionnement des transistors bipolaires et à effet de champ ;

Compétence 2 - Comprendre le fonctionnement et concevoir des portes logiques dans diverses technologies à partir de transistors.

Description officielle : <https://www.usherbrooke.ca/admission/fiches-cours/gif470/>

## 2 Synthèse de l'évaluation

	Compétence 1	Compétence 2	Total
Laboratoire	10	0	10
Validation	0	20	20
Rapport	0	40	40
Évaluation sommative	150	120	270
Évaluation finale	140	120	260
Total	300	300	600

## 3 Qualités de l'ingénieur

Les qualités de l'ingénieur visées par cette unité d'APP sont les suivantes. D'autres qualités peuvent être présentes sans être visées ou évaluées dans cette unité d'APP.

	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12
Touchée	X	X		X	X							
Évaluée	X	X		X	X							

Les qualités de l'ingénieur sont les suivantes. Pour une description détaillée des qualités et leur provenance, consultez le lien suivant :

[https://usherbrooke.sharepoint.com/sites/fgen/etu/Baccalaurat/Agr%C3%A9ment%20\(BCAPG\)/Processus-agrement.pdf](https://usherbrooke.sharepoint.com/sites/fgen/etu/Baccalaurat/Agr%C3%A9ment%20(BCAPG)/Processus-agrement.pdf)

Qualité	Libellé
Q1	Connaissance en génie
Q2	Analyse de problèmes
Q3	Investigation
Q4	Conception
Q5	Utilisation d'outils d'ingénierie
Q6	Travail individuel et en équipe
Q7	Communication
Q8	Professionnalisme
Q9	Impact du génie sur la société et l'environnement
Q10	Déontologie et équité
Q11	Économies et gestion de projets
Q12	Apprentissage continu

## 4 Énoncé de la problématique

Le concept de transistor à effet de champ (FET – *field effect transistor*) a été inventé très tôt au 20<sup>e</sup> siècle et est attribué à Lilienfeld<sup>1</sup> par un brevet déposé (au Canada !) en 1925. Ce n'est qu'en 1947 que Bardeen, Brattain et Schockley (Bell Lab, Nobel de 1956) proposèrent le transistor à point de contact<sup>2</sup> (type de BJT – *bipolar junction transistor*) dont l'image est présentée en couverture. Bien que le transistor à effet de champ ait été inventé le premier, de nombreux problèmes techniques en ont retardé la démonstration à 1958<sup>3</sup>. La technologie BJT a dominé jusqu'au début des années 1970 pour être ensuite remplacée par la technologie MOSFET (*metal-oxide-semiconductor field-effect transistor*) qui a mis la table pour la domination du CMOS (*complementary metal-oxide-semiconductor*) à partir de 1976. Aujourd'hui, presque tous les objets de la vie courante fonctionnent grâce à une électronique à forte intégration reposant sur le transistor. On peut même dire qu'aucune ligne de code informatique ne peut-être compilée sans un processeur fait de transistors !

Il existe une grande diversité de transistors : BJT, HBT, JFET, MOSFET, MESFET, HEMP... Cela dit, cette APP met l'accent sur le MOSFET qui se prête bien à une initiation aux transistors. Nous étudierons d'une part le fonctionnement du MOSFET et nous l'utiliserons ensuite pour construire des portes et fonctions logiques.

Pour cette APP, vous avez à compléter les mandats suivants :

- 1) Concevoir une « unité arithmétique et logique » (UAL, ou *arithmetic-logic unit* – ALU) opérant sur des mots de 3 bits (a et b) qui fait les opérations suivantes selon un bit de sélection :
  - a) Bit de sélection 0 : opération ET binaire entre les mots a et b (retenue en sortie forcée à 0);
  - b) Bit de sélection 1 : opération SOMME des mots a et b avec retenue.

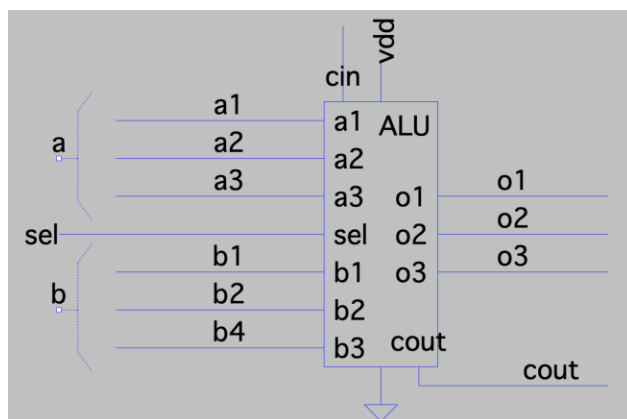


Figure 1 – Symbole du composant ALU décrivant les entrées et sorties : deux mots de 3 bits (a1 à a3 et b1 à b3), un mot de sortie (o1 à o3), une entrée de sélection de mode (sel), une entrée et une sortie de retenue (cin et cout) et les bornes alimentations.

<sup>1</sup> Voir la rubrique sur Julius Edgar Lilienfeld sur Wikipedia. Notez que le terme « transistor » n'a été consacré qu'en 1948. [https://en.wikipedia.org/wiki/Julius\\_Edgar\\_Lilienfeld](https://en.wikipedia.org/wiki/Julius_Edgar_Lilienfeld)

<sup>2</sup> Voir [https://en.wikipedia.org/wiki/Point-contact\\_transistor](https://en.wikipedia.org/wiki/Point-contact_transistor) et les liens inclus pour plus de détails.

<sup>3</sup> Voir l'historique publié par IEEE. <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=730824>

- 2) Implémenter au niveau transistor les portes de base et composantes suivantes :
  - a) Inverseur
  - b) Porte non-et
  - c) Porte non-ou
  - d) Porte ou-exclusif
  - e) Multiplexeur 2 bits vers 1 bit
  - Les portes de base doivent être composées uniquement de transistors.
  - En vous assurant que les portes de base soient balancées.
  - En vous assurant que les portes de base puissent traiter adéquatement des signaux d'entrée de 4 ns de période (2 ns haut, 2 ns bas) en ayant un temps de montée et de descente ( $T_{pHL}$  et  $T_{pLH}$ ) d'au plus 130 ps pour une charge de 1 fF.
- 3) Implémenter un tampon (non-inverseur) de sortie avec une capacité à l'entrée de 1 fF et une capacité de sortie en charge de 1.5 pF en visant un délai de propagation minimum.
- 4) Implémenter l'UAL à partir des portes et composantes précédentes (toutes ou une partie) en vous assurant :
  - a) Que l'UAL peut traiter adéquatement des signaux d'entrée de 4 ns de période (2 ns haut, 2 ns bas) et que les portes de base utilisé possède un temps de montée d'au plus 200 ps une fois intégrée dans la porte logique.
  - b) Que les sorties de l'UAL respectent les règles de design de la technologie :
    - i) La taille minimale du transistor : longueur et largeur de 180 nm;
    - ii) Les connexions au substrat des transistors sont communes pour tous les NMOS (PMOS)
      - (1) NMOS à VSS
      - (2) PMOS à VDD
    - iii) Pour la protection contre les décharges électrostatiques, la largeur minimale de la grille des transistors reliés au plot de sortie est de 360  $\mu\text{m}$ .
  - c) Que les sorties de l'UAL peuvent fournir la charge d'un plot de microsoudure est de 1.5 pF.
- 5) Simuler et démontrer l'atteinte des spécifications.

## 5 Connaissances nouvelles

### 5.1 Connaissances déclaratives (quoi)

- La structure physique du MOSFET (NMOS et PMOS).
- Les équations régissant le comportement des transistors MOSFET.
- Les courbes caractéristiques et les différents régimes d'opération des transistors MOSFET.
- Modèles DC et grand signal des transistors MOSFET.
- Liens entre les dimensions physiques des MOSFET et leurs propriétés électriques
- Caractéristique de base des BJT.
- Courbe de transfert de tension d'une porte logique ( $V_{IH}$ ,  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$ ,  $V_M$ ,  $NM_L$ ,  $NM_H$ , etc.)
- Structure de base des portes logiques CMOS et leur opération (« PUN » et « PDN »)
- Caractéristiques électriques et temporelles des circuits intégrés combinatoires
- Représentation des variables binaires au niveau physique et fonction de transfert
- Calcul des temps de propagation de portes logiques

### 5.2 Connaissances procédurales (comment)

- Obtenir les courbes caractéristiques d'un transistor avec un logiciel spécialisé.
- Analyser le circuit de fonctions logiques implémentées au niveau transistor.
- Simuler et valider le comportement de composantes logiques avec un logiciel spécialisé.
- Évaluer les performances (temporelle et niveaux) des portes logiques.
- Dimensionner un circuit logique CMOS afin d'avoir la courbe de transfert désirée (ex. équilibré)
- Dimensionner un circuit logique CMOS en fonction de la charge de sortie

### 5.3 Connaissances conditionnelles (quand)

- Savoir choisir le modèle d'opération d'un transistor adapté à l'analyse d'un circuit et de son fonctionnement.
- Savoir distinguer les problèmes de dimensionnement d'un circuit logique par l'analyse des signaux de sortie (simulation ou mesures).

## 6 Guide de lecture

### 6.1 Avant le procédural 1

Vous devez avoir étudié les références suivantes

#### **Electrical Engineering, Allan R. Hambley, 7th edition, Pearson**

##### Chapitre 11 Field-Effect Transistors

- 11.1 NMOS and PMOS Transistors 9 p.
- 11.2 Load-Line Analysis of a Simple NMOS Amplifier 3 p.
- 11.7 CMOS Logic Gates 6 p.

##### Chapitre 12 Bipolar Junction Transistors

- 12.1 Current and Voltage Relationships (nnp) 3 p.
- 12.4 pnp Bipolar Junction Transistor 3 p.
- 12.5 Large-Signal Circuit Models 4 p.

Dans ce chapitre, on ne s'attardera que :

- à la structure physique du transistor
- à la nomenclature des régimes d'opération
- à la différence fondamentale entre la base d'un BJT et la grille d'un MOSFET
- à la modélisation DC grand signal du BJT

#### **Microelectronic Circuits, Sedra & Smith, 7th edition, Oxford University Press**

##### Chapitre 14 – CMOS Digital Logic Circuits

- 14.1 CMOS Logic-Gate Circuits 10 p.
- 14.2 Digital Logic Inverters 14 p.
- 14.3 The CMOS Inverter 7 p.
  - Exemples 14.2 et 14.3 en lecture complémentaire

### 6.2 Avant le procédural 2

Vous devez avoir étudié les références suivantes

#### **Electrical Engineering, Allan R. Hambley, 7th edition, Pearson**

##### Chapitre 7 Logic Circuits

- 7.1 Basic Logic Circuit Concepts 3 p.

#### **Microelectronic Circuits, Sedra & Smith, 7th edition, Oxford University Press**

##### Chapitre 14 – CMOS Digital Logic Circuits

- 14.4 Dynamic Operation of the CMOS Inverter 14 p.
- 14.5 Transistor Sizing 10 p.
- 14.6 Power Dissipation 5 p.

##### Chapitre 15 – Advanced Topics in Digital Integrated-Circuit Design

- 15.1 Implications of Technology Scaling 3 p.
  - 15.1.1 Silicon Area
  - 15.1.2 Scaling Implications
  - 15.1.5 Temperature, Voltage, and Process Variations
  - 15.1.6 Wiring: The Interconnect

### 6.3 Lectures complémentaires

**Microelectronic Circuits, Sedra & Smith, 7th edition, Oxford University Press**

#### Chapitre 15

- 15.1 Implications of Technology Scaling 10 p.
  - 15.1.3 Velocity Saturation
  - 15.1.4 Subthreshold Conduction
- 15.2 Digital IC Technologies 5 p.
- 15.4 Pass-Transistor Logic Circuits
  - 15.4 Introduction
  - 15.4.1 Basic requirements 2 p.
  - 15.4.4 PTL with CMOS 4 p.
- 15.6 Bipolar and BiCMOS Logic Circuits 9 p.



## 7 Pratique procédurale 1

Le but de se procédural est de se familiariser avec les transistors MOSFETs. Les notions couvertes sont l'implémentation physique du dispositif, les courbes caractéristiques et les équations régissant leurs comportements. Nous verrons également le fonctionnement de l'inverseur CMOS et sa courbe de transfert.

Q.1 Dessiner une vue en coupe d'un transistor NMOS et identifier le drain, la grille, la source, le contact au substrat, la longueur de grille  $L$  et la largeur de grille  $W$ . Que représente une zone N et une zone P?

Reprenez l'exercice pour un PMOS

Q.2 Identifiez tous les symboles désignant un NMOS et PMOS.

Voir figure 14.6, 5.11 et 5.19 de Sedra.

Q.3 Analysez les figures 11.4 et 11.5 dans Hambley 7<sup>e</sup> édition et portez attention à la courbe caractéristique des transistors à la figure 11.6. Par la suite, donner ci-dessous les équations qui régissent le comportement des transistors, plus particulièrement  $I_d$  versus  $V_{ds}$  pour divers  $V_{gs}$ . Exprimer  $K$  en fonction de  $W$ ,  $L$  et  $\mu C_{ox}$ . À quoi correspond  $\mu C_{ox}$  ?

Attention : les paramètres  $K_P$  (Hambley) et  $k$  (Sedra) sont les mêmes.

Q.4 Pour un transistor NMOS avec un  $V_{to} = 1$  V,  $K_P = 50 \mu A/V^2$ ,  $L = 5 \mu m$  et  $W = 50 \mu m$ , considérant les points d'opérations ci-dessous, préciser quel est le régime d'opération et calculer le courant.

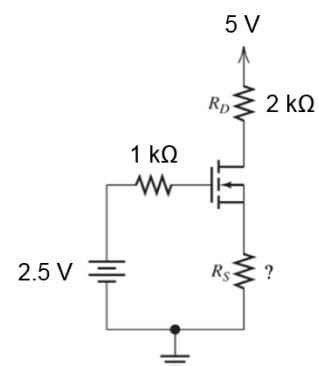
- a)  $V_{gs} = 4$  V,  $V_{ds} = 10$  V,
- b)  $V_{gs} = 4$  V,  $V_{ds} = 2$  V,
- c)  $V_{gs} = 0$  V et  $V_{ds} = 10$  V

Q.5 a) Soit un transistor dont le ratio  $W/L = 8$  dans une technologie dont  $V_{tn} = V_{tp} = 0.5$  V et  $\mu_n C_{ox} = 250 \mu A/V^2$ ,  $\mu_p C_{ox} = 125 \mu A/V^2$ . On désire que le transistor soit polarisé par le circuit illustré à un courant  $i_D = 1$  mA et en régime de saturation. L'alimentation est de 5 V et les valeurs de certaines composantes sont celles de la figure.

Quel doit être la valeur de  $R_S$  ?

b) Quel type de transistor s'agit-il

c) Confirmez que le transistor est bien en saturation.



Q.6 Considérez un inverseur CMOS (ex. figure 14.2 b du Sedra) fabriqué en technologie 65 nm dont  $\mu_n C_{ox} = 470 \mu A/V^2$ ,  $\mu_p C_{ox} = 190 \mu A/V^2$ ,  $V_{tn} = -V_{tp} = 0.35$  V, et  $V_{DD} = 1$  V.

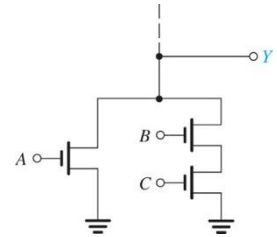
- a) Trouvez  $R_{DSN}$  du transistor NMOS pour  $L=65$  nm et  $W=97.5$  nm.
- b) Trouvez  $R_{DSP}$  du transistor PMOS pour  $L=65$  nm et  $W=97.5$  nm.

c) Quelle est la valeur de  $(W/L)_p$  qui rend  $R_{DSF}$  du PMOS égal au  $R_{DSN}$  du NMOS ?

Q.7 Quel est le PUN (pull-up network) correspondant au PDN (pull-down network) de la figure suivante :

Complétez le circuit CMOS en question et déterminez la fonction logique associée.

Exercices supplémentaires : faites les problèmes 14.6 et 14.7 de Sedra p1156.



Q.8 Considérez un inverseur CMOS en technologie  $0.25 \mu\text{m}$  pour lequel  $V_{DD} = 2.3 \text{ V}$ ,  $V_{tn} = |V_{tp}| = 0.5 \text{ V}$  et  $\mu_n C_{ox} = 3.5 \mu_p C_{ox} = 115 \mu\text{A/V}^2$ . Également,  $Q_N$  et  $Q_P$  ont  $L = 0.25 \mu\text{m}$  et  $Q_N$  a  $(W/L)_n = 1.5$ .

- Trouvez  $W_p$  afin que  $V_M = V_{DD}/2$ . Quelle est la surface totale de grille de cet inverseur ?
- Pour l'inverseur équilibré en a), trouvez les valeurs de  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$ ,  $NM_L$  et  $NM_H$ .
- Pour l'inverseur équilibré en a), trouvez la résistance de sortie de l'inverseur dans ses 2 états.

Exercice supplémentaire : faites le problème 14.18 de Sedra.

Q.9 **(Exercices supplémentaire)** Considérez un inverseur CMOS (ex. figure 14.2 b) implémenté en technologie  $0.13 \mu\text{m}$  dont  $\mu_n C_{ox} = 500 \mu\text{A/V}^2$ ,  $\mu_p C_{ox} = 125 \mu\text{A/V}^2$ ,  $V_{tn} = -V_{tp} = 0.4 \text{ V}$ , et  $V_{DD} = 1.2 \text{ V}$ . Les dimensions du NMOS sont telles que  $(W/L)_n = 1.5$ .

- Quelle est la valeur de  $R_{DSN}$  ?
- Quel doit être  $(W/L)_p$  pour que  $Q_N$  et  $Q_P$  aient la même valeur de  $R_{DS}$  ?

## 8 Pratique en laboratoire

Lors du premier laboratoire, vous serez amené à vous familiariser avec le logiciel LTspice qui servira aux simulations ainsi qu'avec plusieurs propriétés des transistors et des portes logiques.

### 8.1 Première partie

Cette première partie vous introduit au logiciel et vous permet d'étudier les propriétés des transistors et de l'inverseur. Téléchargez et décompressez le fichier `S4iAPP3_labo.zip`

**Vous devez faire valider avant la fin de la séance de laboratoire les tableaux 1 à 3 une fois complétés.**  
Le tableau 4 n'a pas à être validé.

#### 8.1.1 Transistors MOSFET – caractéristiques $I_d$ - $V_{gs}$

- ❖ Tracer les caractéristiques I-V en lançant le script `transistor_IdVgs.asc`
  - Quels sont les axes des graphiques ?
- ❖ Obtenez la tension de seuil NMOS et PMOS :
  - La tension de seuil est définie par convention (dans cette technologie) comme la tension de grille ( $V_{gs}$ ) qui donne un courant  $I_d$  de  $2 \mu A \cdot W/L$ .

#### 8.1.2 Transistors MOSFET – caractéristiques $I_d$ - $V_{ds}$

- ❖ Faites tracer les caractéristiques I-V en lançant le script `transistor_IdVds.asc`
  - Quels sont les axes des graphiques ? Pourquoi y a-t-il des courbes de plusieurs couleurs dans les graphiques du bas ?
- ❖ Étudiez le circuit qui permet de générer les courbes du NMOS. Pourquoi le circuit du PMOS est-il différent ?
- ❖ Identifiez les différences qualitatives dans les courbes simulées par rapport aux courbes de Hambley.
- ❖ Identifiez les différences qualitatives et quantitatives entre les courbes du NMOS et du PMOS.
- ❖ Observez l'effet de la taille des transistors : modifiez les paramètres  $W$  et  $L$ .
  - Reliez ceci aux paramètres  $K_P$  (Hambley) =  $k = k'(W/L)$  (Sedra).

	À $V_{ds} = V_{gs} = V_{dd}/2$	À $V_{ds} = V_{gs} = V_{dd}$
Valeur de $k'$ pour $L_n = W_n = L_{min}$		
Valeur de $k'$ pour $L_p = W_p = L_{min}$		

Tableau 1 – Facteur  $k'$  des NMOS et des PMOS

- ❖ Obtenez le ratio  $W_p/W_n$  qui permet d'avoir le même courant dans un NMOS et dans PMOS dans les cas suivants :

Ratio $W_p/W_n$	À $V_{ds} = V_{gs} = V_{dd}/2$	À $V_{ds} = V_{gs} = V_{dd}$
$L_n=L_p = W_n = \text{taille minimale}$		

Tableau 2 – Équilibrage de l'inverseur

#### 8.1.3 Inverseur CMOS – simulations temporelles

- ❖ Ouvrez le schématique de l'inverseur (fichier `inv.asc`) et identifiez les sous-circuits « pull-up » (PUN) et « pull-down » (PDN).
- ❖ Obtenez la trace temporelle d'un train d'impulsions en lançant le script `inv_test.asc`

- ❖ Mesurez la largeur des transitions descendantes et montantes d'un inverseur dont  $W_n=W_p=5L_{min}$  ayant un inverseur « taille minimale » comme charge. Consignez au tableau suivant.
  - Ces paramètres s'appellent respectivement  $t_{THL}$  et  $t_{TLH}$  dont les indices font référence à « transition high to low » et « transition low to high ».
  - Pour mesurer les  $t_{THL}$  et  $t_{TLH}$ , mesurez la durée que met le signal pour passer de 10% à 90% de sa valeur (et l'inverse pour le temps descendant)
- ❖ Répétez ces mesures de  $t_{THL}$  et  $t_{TLH}$  en plaçant une charge capacitive de 1, 10 et 100 fF à la sortie de votre inverseur (Vous devez modifier le circuit). Consignez au tableau suivant.

$W_n=W_p=5*L_{min}$	Inverseur	1 fF	10 fF	100 fF
$t_{THL}$				
$t_{TLH}$				

Tableau 3 – Temps de montée d'un inverseur en fonction de la charge

#### 8.1.4 Inverseur CMOS – capacité d'entrée

- ❖ Le script `inv_capacity.asc` permet de mesurer la capacité d'entrée d'un inverseur en le chargeant avec une source de courant constant.

$$C = i \left( \frac{dV}{dt} \right)^{-1}$$

- ❖ Comment cette équation est-elle reliée à l'équation de charge d'un condensateur.

$$Q = CV$$

- ❖ Comparez la valeur obtenue à la gamme de capacité étudiée dans le tableau précédent.

#### 8.1.5 Inverseur CMOS – courbe de transfert

- ❖ Simulez la courbe de transfert entrée-sortie en lançant le script `inv_transfer.asc`.
  - Obtenez les valeurs caractéristiques telles que définies à la figure 14.25 (Sedra).
- ❖ Cette courbe de transfert est-elle convenable pour un inverseur réel ?
- ❖ Équilibrez l'inverseur en modifiant la largeur du transistor PMOS afin d'obtenir une courbe de transfert convenable.
  - d) À partir des courbes, obtenez les valeurs caractéristiques  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$ ,  $NM_L$  et  $NM_H$  telles que définies à la figure 14.25 (Sedra).
    - Comparez ces caractéristiques avec les valeurs calculées à partir des équations simplifiées.
- ❖ Exercice additionnel : Obtenez la courbe de la figure 14.26 à partir du simulateur.
  - Modifiez la largeur (W) des transistors pour obtenir  $r=0.5$ , 1.5 et 2 et notez la valeur  $V_M$ .
  - Consignez au tableau suivant et faites le graphique  $V_M$  versus  $r$ .

r	0.5	1	1.5	2	3
$V_M$					

Tableau 4 – Tension médiane de la courbe de transfert en fonction du ratio de taille des transistors

## 8.2 Deuxième partie

Cette deuxième partie vous introduit à la résolution de la problématique. Téléchargez et décompressez le fichier `S4iAPP3_prob.zip`. Vous devrez vous servir des connaissances acquises et mesures faites dans la première partie.

### 8.2.1 Porte non-ou

- ❖ Concevez une porte non-ou au niveau transistor et implémentez-la dans le script `nor.asc`
- ❖ Vérifiez son fonctionnement en lançant le script `nor_test.asc`
- ❖ Notes concernant l'instanciation de transistors : Vous devez introduire les paramètres `L` et `W` (évidemment) mais aussi `AD`, `AS`, `PD` et `PS`. Ces derniers permettent au simulateur de calculer la capacité des transistors. La figure suivante illustre comment entrer ces paramètres.

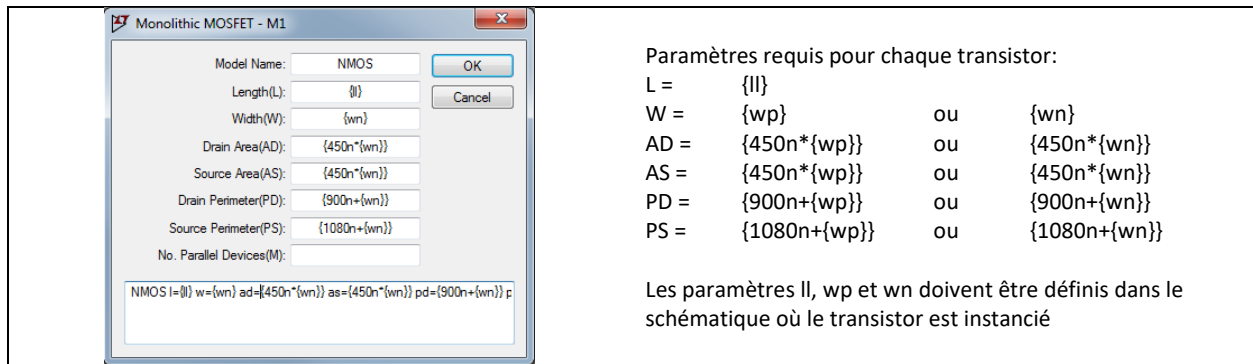


Figure 2 – Entrée de paramètres dans une instance de transistor NMOS

### 8.2.2 Conception de l'UAL

- ❖ Le script `alu.asc` sert de base à la solution de la problématique.
- ❖ Vous pouvez le tester avec les scripts `alu_test_dc.asc` et `alu_test_trans.asc`
- ❖ Vous devez modifier les composantes qui le constituent (AND, ADD, MUX et `pad_buffer`) et vous assurer du bon comportement de la retenue (`cout`).

Recommandation: Prenez le temps de comprendre le rôle et le fonctionnement des composantes Dec2Bin (U2 et U3) et Bin2Dec (U1). Il s'agit de convertisseur décimal à binaire et vice versa qui permettent de traduire une tension variable en une série de signaux binaires. Il n'y a pas d'autres manière de faire générer par LTspice une suite de nombre encodés en binaires.

- Quelles sont les valeurs que prend la tension « va » ?
- Faites un graphique avec les traces « va » et celles qui sortent du convertisseur Dec2Bin (a1, a2 et a3).

## 9 Logiciels et matériel


L'outil de conception assistée par ordinateur utilisé dans cette APP est *LTspice* disponible dans tous les laboratoires du département.

Vous pouvez installer ce logiciel en accès gratuit sur tout ordinateur.

### 9.1 Installation des scripts

- Téléchargez `S4iAPP3_prob.zip` depuis le site de session
- Décompressez le fichier dans un répertoire sous votre répertoire racine
- Les fichiers sont des types suivants :
  - `*.asc` : schématique (graphique) d'un circuit permettant générer un *netlist* et possédant les directives de simulation
    - Les fichiers `{composant}.asc` décrivent le composant même
    - Les fichiers `{composant}_test.asc` servent à tester le composant
  - `*.plt` : prototype de sortie graphique pour chaque fichier `*.asc` (ceux-ci sont modifiés lors des simulations c'est pourquoi vous trouverez une version `*.plt.bak` comme copie de sûreté)
  - `*.asy` : symbole graphique des composants
  - `*.sub` : *netlist* de sous-circuits. Les composants auxiliaires `dec2bin` et `bin2dec` ont été créés pour tester le fonctionnement de l'UAL. Vous n'avez pas à modifier.
  - ...

### 9.2 Une première simulation :

- Créez un répertoire de travail (ex. `premier_essai`) et décompressez-y `S4iAPP3_prob.zip` (obtenu du site de l'APP).
- Ouvrez `alu_test_dc.asc` par le menu `file/open` de *LTspice* ou en double-cliquant sur le fichier.
- Lancez la simulation avec le bouton . Un graphique comme

### 9.3 Recommandations pour les simulations

- Tous les fichiers nécessaires pour réaliser l'UAL vous sont distribués. Ceux-ci reflètent une structure hiérarchique simple telle qu'illustrée à la Figure 3.
  - Ce que vous devez faire : modifier les fichiers `*.asc` pour réaliser vos solutions et testez vos solutions à l'aide des fichiers `*_test.asc` correspondants.
  - Ce que vous n'avez PAS à faire : modifier les symboles, les sous-circuits `*.sub`, ajouter des composants, modifier la librairie.
- Pour développer vos solutions :
  - Tous les fichiers utilisés doivent être dans le répertoire où le fichier `*.asc` est situé.
  - Mettez tous les fichiers dans un répertoire de travail et faites-y les modifications et simulations.
  - Une fois une solution satisfaisante trouvée pour une composante, copiez cette solution (fichiers `*.asc` et `*.log` particulièrement) dans un répertoire prévu pour recevoir la solution finale.
  - Générez une impression d'écran du schématique pour votre rapport.
  - En clair par le biais d'un exemple pour la porte NAND :

- Créez un répertoire « solution » et un répertoire « nand ».
  - Décompressez S4iAPP3\_prob.zip dans chacun de ces répertoires.
  - Faites le circuit correspondant à la porte NAND dans le fichier nand.asc
  - Testez votre circuit en utilisant le script nand\_test.asc
  - Les résultats des mesures (.meas) sont dans le fichier nand\_test.log
  - Une fois satisfait de la solution, copiez nand.asc et nand\_test.log dans le répertoire « solution ».
  - Une fois que tous les composants auront été complétés, le script alu\_test\_dc.asc du répertoire « solution » devrait vous donner le résultat final. C'est l'ensemble de ces fichiers qui devraient être compressés et transmis en solution à la problématique.
- Les fichiers suivants sont générés lors des simulations :
    - \*.net : le netlist utilisé par le simulateur
    - \*.log : sortie textuelle du simulateur contenant (selon les options choisies, voir après)
      - un extended netlist qui contient tous les composants dans un seul netlist avec notamment les valeurs utilisées pour le calcul (i.e. les variables remplacées par leurs valeurs)
      - le résultat des directives .meas
      - le résultat de plusieurs types de simulations (ex. .op)
      - malheureusement, ce fichier contient beaucoup de « warnings » qu'il faudra ignorer.
    - \*.raw : résultats de la simulation en format binaire (non exploitable)

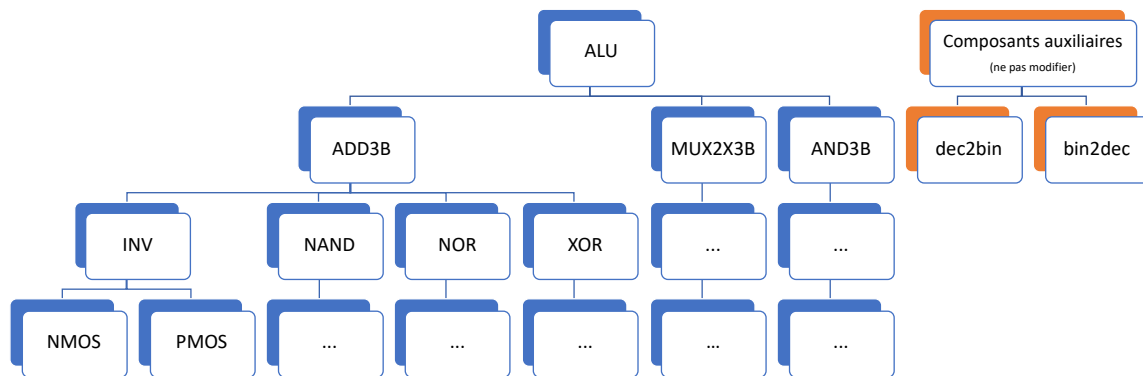



Figure 3 – Hiérarchie des composants pour la solution de la problématique

#### 9.4 Options à utiliser pour les simulations

Les options ne sont pas les mêmes sous Windows ou Mac. Nous recommandons l'opération sous Windows dont les fonctionnalités sont plus conviviales.

Le bouton  sert à modifier les options (Figure 4) de l'interface et de simulation.

Assurez-vous de ne pas cocher « Automatically delete .raw and .log files », autrement ces fichiers sont effacés lorsque le fichier \*.asc correspondant est fermé. Vous n'aurez plus accès aux résultats des directives .meas consignés au fichier \*.log.

Si vous désirez voir le *netlist* complet, cochez « Generate expanded listing ». Cet *expanded netlist* sera consigné au fichier \*.log.

Vous pouvez accéder aux tensions et courants des sous-circuits avec certaines options.

Explorez et référez-vous à l'aide sur le logiciel (l'internet regorge de références aussi).

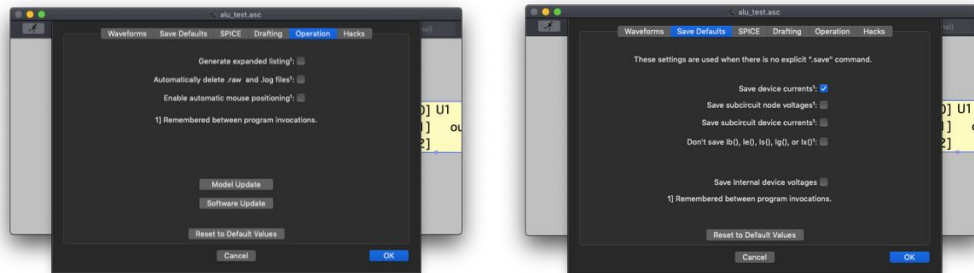


Figure 4 – Deux écrans d'options utiles.



## 10 Pratique procédurale 2

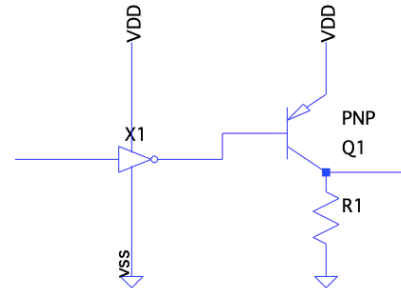
Le procédural #2 porte sur une analyse plus approfondie des circuits logiques CMOS dont l'équilibrage de l'inverseur et des portes logiques ainsi que le dimensionnement de l'inverseur en fonction de sa charge.

### Fonctionnement de l'inverseur CMOS

Q.10 Considérez ce circuit qui fait la transition entre une logique CMOS et une logique à BJT.

Montrez que le courant maximal que l'inverseur peut drainer (« sink ») tout en maintenant la tension de sortie sous  $0.1 V_{DD}$  est  $0.07 k_n' (W/L)_n V_{DD}^2$ .

Pour  $V_{DD} = 1.3V$ ,  $V_{tn} = 0.3V_{DD}$  et  $k_n' = 500 \mu A/V^2$ , calculez la valeur de  $(W/L)_n$  pour lequel le courant maximal est  $0.1 \text{ mA}$ .



*Réponse:  $(W/L)_n = 1.7$*

Q.11 Considérez un inverseur CMOS équilibré (ex. figure 14.22) dont on fait lentement varier la tension d'entrée  $v_i$  de 0 à  $V_{DD}$ .

- À quelle valeur de  $v_i$  est-ce que le courant traversant  $Q_N$  et  $Q_P$  sera maximal ?
- Dans quel régime sont les transistors à cette tension ?
- Trouvez une expression pour ce courant maximal.
- Pour  $k_n' = 500 \mu A/V^2$ ,  $(W/L)_n = 1.5$ ,  $V_{DD} = 1.3 \text{ V}$ , et  $V_{tn} = 0.4V$ , calculez ce courant maximal

### Réponse temporelle et puissance dissipée

Q.12 Pour un inverseur en technologie  $0.18 \mu m$  dont  $V_{DD} = 1.8 \text{ V}$ ,  $V_{tn} = |V_{tp}| = 0.5 \text{ V}$ ,  $\mu_n = 4\mu_p$ ,  $\mu_n C_{ox} = 300 \mu A/V^2$  et dont  $(W/L)_n = 1.5$  et  $(W/L)_p = 3$ , trouvez caractéristiques  $t_{PHL}$ ,  $t_{PLH}$  et  $t_p$  en présence d'une charge capacitive de  $10 \text{ fF}$ . Utilisez la méthode du « courant moyen ». Il y a 2 équations à considérer.

*Réponses: 24.7 ps; 49.4 ps; 37 ps*

Q.13 Calculez la puissance dynamique dissipée par un inverseur CMOS opéré à  $100 \text{ MHz}$  à une tension d'alimentation de  $1.8 \text{ V}$  et dont la charge capacitive est de  $100 \text{ fF}$ .

*Réponses: 32.4  $\mu W$*

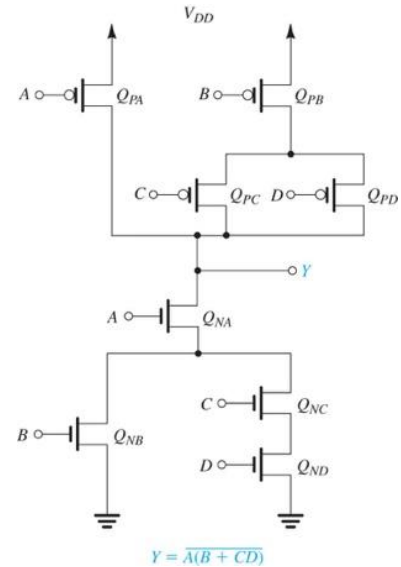
Q.14 Dans une chaîne de 2 inverseurs identique, le 2<sup>e</sup> agit comme charge capacitive du 1<sup>er</sup>.

- Calculez le temps de propagation  $t_p$  du signal à l'entrée du 2<sup>e</sup> inverseur si les deux sont de taille minimale. Indice : Posez  $C_o$  et  $R_o$  la capacité et la résistance d'un inverseur de taille minimale.
- Si pour les deux inverseur son augmente le ratio  $(W/L)_n$  et  $(W/L)_p$  par un facteur  $s$  tout en maintenant  $L$  à taille minimale, quel est alors le temps de propagation  $t_p$  du signal à l'entrée du 2<sup>e</sup> ?

c) Refaite cette analyse en considérant cette fois une capacité parasite  $C_{ex}$  due aux interconnexions entre le 1<sup>er</sup> et le 2<sup>e</sup> inverseur.

## Dimensionnement de portes logiques

Q.15 Considérez la porte CMOS suivante (Fig. 14.9 de Sedra). Dimensionnez les ratios  $W/L$  de tous les transistors de manière à ce que les délais  $t_{PHL}$  et  $t_{PLH}$  de la porte soient égaux aux délais correspondants de l'inverseur de base. Considérez  $k'_n = 2k'_p$ . On notera  $n = (W/L)_n$  et  $p = (W/L)_p$  pour simplifier la notation.



Q.16 Une chaîne de 4 inverseurs équilibrés est reliée à une charge capacitive 1200 fois plus grande que la capacité du premier inverseur de la chaîne (1 fF) dont la constante de temps  $CR$  est de 50 ps. Chaque inverseur est  $x$  fois plus grand que l'inverseur précédent.

- Sans changer le nombre d'inverseurs, quelle est la valeur du facteur  $x$  qui permet de minimiser le délai global  $t_p$ .
- Quel est ce délai global  $t_p$  minimal exprimé en termes de la constante de temps  $CR$ , où  $R$  est la résistance de sortie du premier inverseur.
- Si on vous permet de modifier le nombre d'inverseurs, quel le nombre d'inverseurs et le facteur  $x$  qui permettent de minimiser le délai global  $t_p$ .
- Quel est le délai global  $t_p$  dans ce cas.

## Exercices supplémentaires

Q.17 Refaites l'exemple 14.4 (p. 1121) avec les données suivantes d'un procédé  $0.13 \mu\text{m}$ :

$V_{DD} = 1.3 \text{ V}$ ,  $V_{tn} = |V_{tp}| = 0.4 \text{ V}$ ,  $\mu_n = 4\mu_p$  et  $\mu_n C_{ox} = 500 \mu\text{A/V}^2$ .

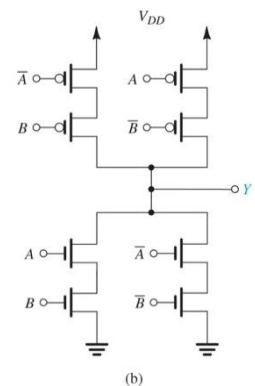
Également,  $Q_N$  et  $Q_P$  ont  $L = 0.13 \mu\text{m}$  et  $Q_N$  a  $(W/L)_n = 1.5$ .

~~Réponses : (a)  $0.78 \mu\text{m}$ ,  $0.127 \mu\text{m}^2$ ; (b)  $1.3 \text{ V}$ ,  $0 \text{ V}$ ,  $0.7125 \text{ V}$ ,  $0.5875 \text{ V}$ ,  $0.59 \text{ V}$ ,  $0.59 \text{ V}$ ,  $0.0625 \text{ V}$ ,  $1.24 \text{ V}$ ,  $0.53 \text{ V}$ ,  $0.53 \text{ V}$ ; (c)  $1.48 \text{ k}\Omega$ ,  $1.48 \text{ k}\Omega$ ; (d)  $5.8 \text{ V/V}$ ,  $0.762 \text{ V}$ ,  $0.538 \text{ V}$ ,  $0.224 \text{ V}$ ; (e)  $0.57 \text{ V}$ ,  $0.08 \text{ V}$ ,  $60\%$ ; (f)  $0.61 \text{ V}$ ,  $0.04 \text{ V}$ ,  $40\%$~~

Q.18 Quelle est la taille appropriée des transistors formant la porte XOR suivante (Fig. 14.10b de Sedra).

Considérez que l'inverseur de base équilibré a  $n = (W/L)_n = 0.2 \mu\text{m}/0.13 \mu\text{m}$  et  $p = (W/L)_p = 0.4 \mu\text{m}/0.13 \mu\text{m}$ .

~~Donnez est la taille totale requise nombre équivalent d'inverseurs.~~





## 11 Validation

Le but de cette activité est de supporter les équipes dans la résolution de la problématique et de valider les solutions proposées. Il s'agit d'une période très importante pour l'intégration des nouveaux concepts et d'avoir l'opportunité d'en discuter avec les professeurs et les auxiliaires d'enseignement.

### 11.1 Validation partielle lors du laboratoire

Tel qu'indiqué dans les instructions du laboratoire, vous devriez avoir fait valider les tableaux 1 à 3 lors de la séance de laboratoire.

### 11.2 Validation de certaines portes

Le design et le fonctionnement de certaines portes seront validés lors de la validation. Vous devrez démontrer que :

- a) La topologie du circuit est bonne
- b) Le circuit produit la bonne fonction logique
- c) Les transistors sont dimensionnés correctement (PUN et PDN équilibrés) afin de produire une courbe de transfert équilibrée et des transitions temporelles respectant la spécification.

Les portes évaluées sont :

- Porte non-et
- Porte non-ou
- Porte ou-exclusif

Vous devez vous inscrire à l'horaire de validation.

#### **Afin de faciliter la validation de vos circuits**

1. Préparez pour chaque porte logique
  - Tableau de la fonction logique entrée vs sortie
  - Les équations  $Y$  et  $\overline{Y}$  qui vous permet de déterminer la disposition de vos NMOS et PMOS
  - Le calcul du balancement de vos portes
  - Un tableau qui présente la tension  $V_m$  et les temps de montée et de descente obtenus en simulation
2. Sur LT SPICE - pour chaque porte logique
  - Le schéma au niveau transistor
  - Votre simulation qui démontre la fonction logique de votre porte

## 12 Rapport sur la résolution de la problématique

Un rapport sur la résolution de la problématique sera le seul livrable (outre les validations lors des séances en laboratoire) de cette APP selon les modalités suivantes :

### 12.1 Contenu

Le rapport est bref avec peu de texte développé et doit contenir les éléments suivants :

1. Le schématique de l'UAL
2. Le schématique de l'additionneur à 3 bits
3. Le schématique de la porte ET à 3 bits
4. Le résumé de la conception de la porte Multiplexeur 2 bits vers 1 bit<sup>4</sup>
  - a. Table de vérité, fonction  $Y$  (reliée au PUN) et la fonction  $\bar{Y}$  (reliée au PDN)
  - b. Dimensionnement relatif des transistors dans le PUN, le PDN et entre le PUN et PDN
  - c. Dimensionnement absolue des transistors pour atteindre les spécifications
5. Le tampon de sortie :
  - a. Le schématique
  - b. Le dimensionnement de chaque étage du tampon de sortie et votre justification (vous pouvez ajouter par-dessus le schématique ou dans un tableau à part)
6. Mesurez et donnez dans un tableau
  - a. le temps de transition  $t_{\text{tLH}}$  (10%-90%) en sortie du AND, du ADD et de l'UAL
  - b. le délai de propagation  $t_p$  des signaux cin à cout, a1 à o1 du AND et du ADD

Prenez une page complète par élément en vous assurant que la qualité des images permet d'évaluer correctement votre travail.

### 12.2 Modalités

- Un rapport par équipe de 2 étudiants :
  - Veuillez utiliser l'outil pour l'inscription des équipes sur la page web de l'unité.
- Rapport : Format : un fichier PDF seulement (pas de ZIP ni docs).
- Codes : Format : un fichier ZIP (tous tous tous les fichiers de la solution)
- Date de remise : Avant le premier groupe de tutorat (9h AM) le jour du tutorat 2.
- Remise des fichiers à l'aide de l'outil de dépôt sur la page web de l'APP
- Pénalité en cas de retard : 20 % après le début du premier tutorat de fermeture et 20 % de plus par jour additionnel.
- Le rapport doit être une production originale et unique. Voir le document CONSIGNES DE DÉMARRAGE ET CONSIGNES GÉNÉRALES sur le site de la S2 concernant le plagiat.  
(<http://www.gel.usherbrooke.ca/s2ei/h18//file/S2-consignes-demarrage.pdf>)

---

<sup>4</sup> Cette démarche est générale et s'applique à la conception de toute porte logique. Seule la porte Multiplexeur 2 bits vers 1 bit est à remettre dans le rapport.

## 13 Santé et sécurité

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance des politiques et directives concernant la santé et la sécurité. Ces documents sont disponibles sur les sites web de l'Université de Sherbrooke, de la Faculté de génie et du département. Les principaux sont mentionnés ici et sont disponibles dans la section Santé et sécurité du site web du département :

<http://www.gel.usherbrooke.ca/santesecurite/>

- Politique 2500-004 : Politique de santé et sécurité en milieu de travail et d'études
- Directive 2600-042 : Directive relative à la santé et à la sécurité en milieu de travail et d'études
- Sécurité en laboratoire et atelier au département de génie électrique et de génie informatique

## 14 Politiques et règlements

Dans le cadre de la présente unité activité, vous êtes réputés avoir pris connaissance des politiques et des règlements suivants. Ces documents sont disponibles sur le site web de l'Université de Sherbrooke ou sur le site web de la Faculté de génie.

### 14.1 Règlements et politiques de l'Université de Sherbrooke

- Règlement des études
- Politique d'évaluation des apprentissages

### 14.2 Règlements et politiques facultaires

- Règlement facultaire d'évaluation des apprentissages/Programmes de baccalauréat
- Règlement facultaire sur la reconnaissance des acquis

### 14.3 Intégrité intellectuelle

- Déclaration d'intégrité relative au plagiat

Si vous êtes en situation de handicap, assurez-vous d'avoir communiqué avec le Programme d'intégration des étudiantes et étudiants en situation de handicap à l'adresse de courriel :

[prog.integration@usherbrooke.ca](mailto:prog.integration@usherbrooke.ca).