



PHYSIQUE DES PORTES LOGIQUES

Évaluation formative – Solutionnaire

S4 GI APP2

Département de génie électrique et de génie
informatique

Faculté de génie
Université de Sherbrooke



Caractéristiques du MOSFET

a) NMOS $K = \frac{1}{2} K_P \frac{W}{L} = 2.5 \text{ mA/V}^2$

$V_{GS} = 0.5 \text{ V}$ $V_{DS} = 5 \text{ V}$ $V_{DS} > V_{GS} - V_{th}$ mais...

$V_{GS} = V_{th} \Rightarrow \text{cut off} \Rightarrow I_D = 0$

b) NMOS $K = 2.5 \text{ mA/V}^2 \Rightarrow K_P = 50 \mu\text{A/V}^2$

$V_{GS} = 3 \text{ V}$ $V_{DS} = 5 \text{ V}$

$V_{GS} > V_{th}$ et $V_{DS} > V_{GS} - V_{th} \Rightarrow \text{saturation}$
3 0.75 5 2.25

$I_D = K (V_{GS} - V_{th})^2 = 12.7 \text{ mA}$

c) NMOS $K = 1.5 \text{ mA/V}^2 \Rightarrow W = 80 \mu\text{m}$

$V_{GS} = 3 \text{ V}$ V_G est à un potentiel supérieur à V_S
 $V_{DS} = 1.5 \text{ V}$ V_D " " " " V_S

3V
D -3V
G -1.5V
S 0.5V
1.5V

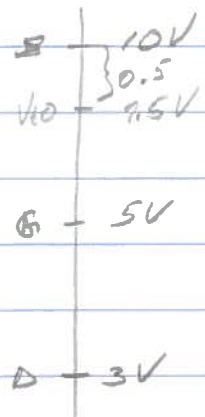
$V_{GS} > V_{th}$ mais $V_{DS} < V_{GS} - V_{th} \Rightarrow \text{triode}$

$I_D = K [2 (V_{GS} - V_{th}) V_{DS} - V_{DS}^2] = 7.9 \text{ mA}$

d) PMOS $K = 2.5 \text{ mA/V}^2$

$|V_{GS}| = 5 \text{ V}$

$|V_{DS}| = 7 \text{ V}$



$|V_{GS}| > |V_{th}|$ et $|V_{DS}| > |V_{GS} - V_{th}|$
 V_{DS} est en effet à une tension
"plus négative" que V_{GS}
 $\Rightarrow \text{saturation}$

$I_D = 50.6 \text{ mA}$

2. a) NMOS $K=0.4 \text{ mA/V}^2$ $V_{t0}=1\text{V}$
en saturation à $i_D = 0.1 \text{ mA}$

Le courant obéit donc à $i_D = K(v_{GS} - V_{t0})^2$
ce qui permet de déterminer v_{GS}

$$v_{GS} = \sqrt{\frac{i_D}{K}} + V_{t0} = 1.5 \text{ V}$$

v_{GS} est contraint à une valeur unique
en saturation, donc pas de gamme de
validité.

Mais $v_{DS} > 0.5 \text{ V}$

On devrait ajouter une valeur limite tirée
de la fiche technique, mais ça c'est
une autre histoire...

2. b) Posant l'hypothèse de saturation

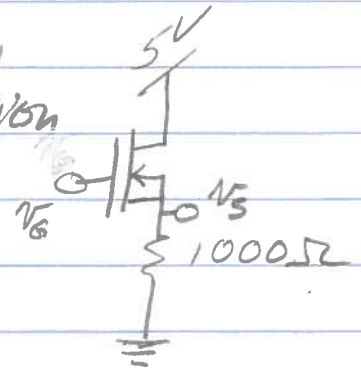
le courant $i_D = 0.5 \text{ mA}$ permet
de déterminer $v_{GS} = 2.1 \text{ V}$

Sachant i_D , on trouve
aussi $v_S = i_D R = 0.5 \text{ V}$.

On trouve ensuite $v_{DS} = 5\text{V} - v_S = 4.5 \text{ V}$

Ce qui permet de confirmer $v_{DS} > v_{GS} - V_{t0}$
et donc, l'hypothèse du régime de
saturation.

Finalement, $v_G = v_{GS} + v_S = 2.6 \text{ V}$



3. Inverseur

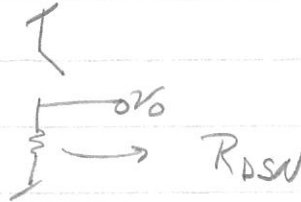
a) on évalue la qualité de l'équilibrage de l'inverseur par le ratio r^2

$$r^2 = \frac{k'_p \left(\frac{W}{L}\right)_p}{k'_n \left(\frac{W}{L}\right)_n} = \frac{60 \cdot 4.8/0.8}{120 \cdot 2.4/0.8} = \boxed{1}$$

ou encore $\frac{k'_p}{k'_n} = \frac{\left(\frac{W}{L}\right)_n}{\left(\frac{W}{L}\right)_p}$

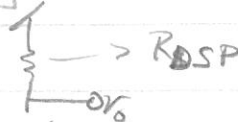
L'inverseur est bien équilibré.

b) La résistance de sortie à $v_0 = V_{OL}$:



$$R_{DSU} = 992.1 \Omega$$

à $v_0 = V_{OH}$:



$$R_{DSP} = 992.1 \Omega$$

← égal à R_{DSU} car l'inverseur est bien équilibré



3. (suite)

c) Le courant dans l'inverseur
à $v_o = V_{DD} - 50\text{mV} = V_{OH}$?

Dans sont les transistors ?

NMOS \rightarrow cutoff

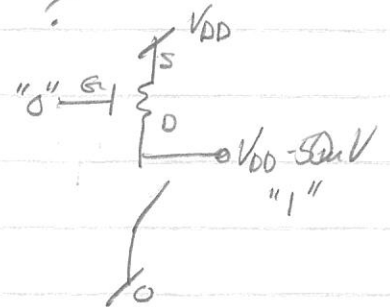
PMOS:

$$V_{GS} = V_{DD} = 3.5\text{V}$$

$$V_{DS} = V_{DD} - (V_{DD} - 50\text{mV}) = 50\text{mV}$$

$$V_{DS} \ll V_{GS} - V_t$$

\rightarrow triode



donc:

$$I_D = K'_P \left(\frac{W}{L} \right)_P \left[(V_{GS} - |V_{tp}|) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\boxed{I_D = 50\mu\text{A}}$$

Le courant à $v_o = V_{DD}/2$?

alors $v_i = V_{DD}/2$ (car équilibré)

pour les deux transistors

$$V_{GS} = V_{DD}/2 = V_{DS} \Rightarrow V_{DS} > V_{GS} - V_{tn} \\ \text{et } V_{DS} > V_{GS} - |V_{tp}|$$

donc les deux en saturation

$$I_D = \frac{1}{2} K'_n \left(\frac{W}{L} \right)_n \left[\frac{V_{DD}}{2} - V_{tn} \right]^2 = \boxed{198.5\mu\text{A}}$$

4. Inverseur - courbe transfert et transition.

$$a) V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) = \boxed{1.49V}$$

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) = \boxed{2.01V}$$

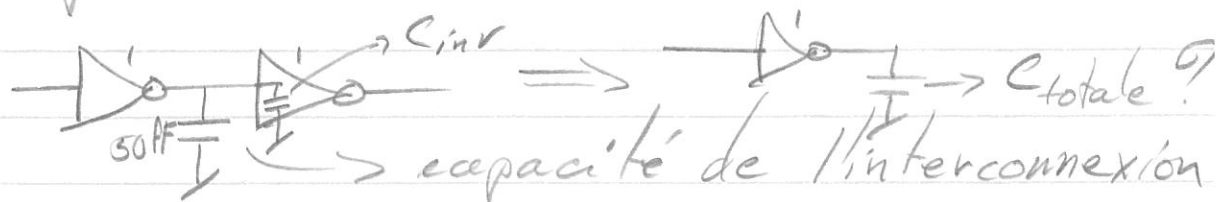
$$NM_H = NM_L = \frac{1}{8}(3V_{DD} + 2V_t) = \boxed{1.49V}$$

Suggestion: tracez la courbe de transfert et indiquer le point que vous venez de calculer.

b) parce que bien équilibré,
 $t_{PHL} = t_{PLH} = t_p$

$$t_{PHL} = \frac{\alpha_n C}{R'_n \left(\frac{W}{L}\right)_n V_{DD}} \quad \text{où } \alpha_n = 1.68$$

il faut déterminer C.



$$C = C_{inv} + C_{intercon}$$



4.6 (suite)

La capacité de l'inverseur est donnée en fonction de ses dimensions W_n, L_n, W_p, L_p .

$$C_{inv} = 49.4 \text{ pF}$$

Note: attention aux unités...

$$t_{PHL} = \frac{1.68 \cdot 99.4 \text{ pF}}{120 \mu\text{A}/2 \cdot 3.3 \text{ V}} = \boxed{132.5 \text{ ps}}$$

Clé de ce type de problèmes :

→ bien identifier toutes les contributions à la capacité de la charge de l'inverseur.



5. Porte logique

On remarque que $\left(\frac{W}{L}\right)_p$ n'est pas donné.

Calculons le pour un inverseur équilibré:

$$\left(\frac{W}{L}\right)_p = \frac{k'_n}{k'_p} \left(\frac{W}{L}\right)_n = \frac{150 \mu\text{A/V}^2}{50 \mu\text{A/V}^2} \cdot \frac{1 \mu\text{m}}{0.35 \mu\text{m}} = \boxed{\frac{3 \mu\text{m}}{0.35 \mu\text{m}}}$$

On doit ensuite identifier le pire cas (le plus résistif dans le PUN et PDN)

Pour le PDN:

Le chemin le plus résistif est donné par $Q_{NA} + Q_{NC} + Q_{ND}$ qui sont en série.

On a donc:

$$\frac{1}{\left(\frac{W}{L}\right)_{NA}} + \frac{1}{\left(\frac{W}{L}\right)_{NC}} + \frac{1}{\left(\frac{W}{L}\right)_{ND}} \quad \text{qui doit correspondre}$$

à l'inverseur $1 \mu\text{m} / 0.35 \mu\text{m}$. Donc

en posant Q_{NA} , Q_{NC} et Q_{ND} identiques

$$\left(\frac{W}{L}\right)_{NA} = 3 \times 1 \mu\text{m} / 0.35 \mu\text{m} = 3 \mu\text{m} / 0.35 \mu\text{m}$$



5. (suite)

Pour Q_{NB} , on choisira sa taille pour que la série $Q_{NA} + Q_{NB}$ ait la même impédance que $1\mu/0.35\mu$, bien qu'il ne s'agisse pas du pire cas:

$$\frac{1}{\left(\frac{W}{L}\right)_{NA}} + \frac{1}{\left(\frac{W}{L}\right)_{NB}} = \frac{1}{1\mu/0.35\mu}$$

$$\frac{1}{\left(\frac{W}{L}\right)_{NB}} = \frac{1}{1\mu/0.35\mu} - \frac{1}{3\mu/0.35\mu}$$

$$\Rightarrow \frac{3}{2} \cdot 1\mu/0.35\mu = 1.5\mu/0.35\mu$$

Pour le PUN:

Le chemin le plus résistif est donné par $Q_{PB} + Q_{PC}$ ou $Q_{PB} + Q_{PD}$.
On choisira par symétrie de poser $Q_{PC} = Q_{PD}$ (pas de contrainte autrement)

Donc on veut résoudre:

$$\frac{1}{\left(\frac{W}{L}\right)_{PB}} + \frac{1}{\left(\frac{W}{L}\right)_{PC}} = \frac{1}{1\mu/0.35\mu} \Rightarrow \left(\frac{W}{L}\right)_{PB} = 2 \times 3\mu/0.35\mu = 6\mu/0.35\mu$$

5. (suite)

Comme Q_{PA} n'est pas le pire chemin résistif, il n'y a pas de contrainte forte. On choisira la taille nominale soit:

$$\left(\frac{W}{L}\right)_{PA} = \frac{3\mu m}{0.35\mu m}$$

Note: Puisque $R_{DS} \propto \frac{1}{(W/L)}$,

une série de transistor présente une impédance équivalente

$$R_{DS1} + R_{DS2} + \dots = \frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots$$

b) Par inspection du PDN, on trouve

$$\bar{Y} = (B + C \cdot D) \cdot A$$

et donc $Y = \overline{(B + C \cdot D) \cdot A}$

À l'aide de la loi de De Morgan, on peut montrer que

$$Y = \bar{B} \cdot (\bar{C} + \bar{D}) + \bar{A}$$

Cette forme correspond bien au PUN.
Convincez-vous en!

6. Chaine d'inverseurs

Calculons d'abord le temps de propagation à travers la chaîne ① de référence. On s'inspire de la section 14.5.4

Les 9 premiers inverseurs contribuent chacun un temps $\tau_i = R_1 C_1$.
Le dernier contribue $\tau_{10} = R_1 C_L$.
Le temps global est donc

$$\tau_1 = 9R_1 C_1 + R_1 C_L = R_1 (9C_1 + C_L)$$

La chaîne ② que nous devons concevoir doit elle être inverseuse. Le nombre d'étage doit donc être premier.
On choisira 9 (arbitraire) ce qui donne alors

$$\tau_2 = 8R_2 C_2 + R_2 C_L = R_2 (8C_2 + C_L)$$

Les inverseurs de la chaîne ② doivent ainsi être plus petits que ceux de la chaîne ① d'un ratio

$$\tau_1 = \tau_2 \Rightarrow R_1 (9C_1 + C_L) = R_2 (8C_2 + C_L) \Rightarrow \frac{1/R_2}{1/R_1} = \frac{8C_2 + C_L}{9C_1 + C_L}$$

Relions maintenant R et C aux paramètres du transistor :

$$R \propto \frac{W}{L} \quad \text{et} \quad C \propto W \cdot L$$

On constate que l'on peut effectivement choisir R et C de façon indépendante à l'aide de W et L .

Pour que $C_2 = C_1$: $W_2 L_2 = W_1 L_1$
 $\Rightarrow \boxed{L_2 = \frac{W_1}{W_2} L_1}$

Considérant également $C_2 = C_1$, on a que (dernière eq. de la page préc.)

$$\tau_1 = \tau_2 : \frac{1/R_2}{1/R_1} = \frac{W_2}{W_1} \frac{L_1}{L_2} = \frac{9C}{10C} = \frac{9}{10}$$

avec la contrainte entre L_2 et L_1 :

$$\frac{W_2}{W_1} \frac{L_1}{\frac{W_1}{W_2} L_1} = \frac{W_2^2}{W_1^2} = \frac{9}{10} \Rightarrow \frac{W_2}{W_1} = \sqrt{\frac{9}{10}}$$

Ainsi, les ^{dimensions des} transistors des deux chaînes sont reliées par :

$$L_2 = \sqrt{\frac{10}{9}} L_1 \quad \text{et} \quad \left(\frac{W}{L}\right)_2 = \frac{9}{10} \left(\frac{W}{L}\right)_1$$