

Session S7

Guide étudiant Conception de circuits électroniques avancés

**Département de génie électrique et de génie informatique
Faculté de génie
Université de Sherbrooke**

Hiver 2024

**Copyright © 2024 Département de génie électrique et de génie informatique.
Université de Sherbrooke**

Note : En vue d'alléger le texte, le masculin est utilisé pour désigner les femmes et les hommes.

Document S7CAS_APP1_GuideEtudiant 2024.docx

Rédigé par Réjean Fontaine, Jean-François Pratte et Sébastien Roy, Décembre 2015

Révisé par Jonathan Bouchard, Janvier 2018, Janvier 2019, Janvier 2020,

Révisé par Jonathan Bouchard, Réjean Fontaine, Janvier 2021

Révisé par Jonathan Bouchard, Janvier 2022.

Révisé par Jonathan Bouchard, Janvier 2023.

Révisé par Jonathan Bouchard, Janvier 2024.

Copyright © 2024 Département de génie électrique et de génie informatique. Université de Sherbrooke

Table des matières

1.	Éléments de compétences de la session S7 visés par l'unité	4
	Qualités de l'ingénieur	4
2.	Énoncé de la problématique	5
3.	Connaissances nouvelles à acquérir par la résolution de cette problématique	9
4.	Références	10
4.1.	Références essentielles à consulter	10
5.	Activités liées à la problématique	11
6.	Livrables	12
6.1.	Validation de la troisième semaine.	12
6.2.	Distribution des points en fonction des activités pédagogiques	13
7.	Formation à la pratique procédurale #1	14
7.1.	Buts de l'activité	14
7.2.	Problèmes à résoudre	14
8.	Formation à la pratique en laboratoire #1	16
8.1.	Buts de l'activité	16
8.2.	Visualiser un exemple de schéma complexe.....	16
8.3.	Démarrer un projet dans Altium	16
8.4.	Branchement de la mémoire DDR3 au MCB	16
9.	Semaine 2 de l'APP1 : Formation à la pratique procédurale #2	17
9.1.	Buts de l'activité	17
9.2.	Problèmes à résoudre	18
9.3.	Exercice supplémentaire (optionnel)	22
10.	Formation à la pratique en laboratoire #2	23
10.1.	Buts de l'activité	23
10.2.	Configurer le gestionnaire d'horloge CDCE62005	23
10.3.	Évaluer la réponse en fréquence des capacités de découplage	23
10.4.	Évaluer le radiateur nécessaire pour que le FPGA ne dépasse pas 75 °C.....	25
11.	Formation à la pratique procédurale #3	26
11.1.	Buts de l'activité	26
11.2.	Problèmes à résoudre	26
12.	Formation à la pratique en laboratoire #3	28
12.1.	Buts de l'activité	28
12.2.	Description du laboratoire.....	28
13.	Revue de conception de schémas	29

1. Éléments de compétences de la session S7 visés par l'unité

GEI789 : Conception électronique avancée

1. Concevoir des circuits électroniques sur circuits imprimés multicouches.
2. Évaluer et produire des schémas électroniques complexes de qualité en vue d'une réalisation sur circuits imprimés multicouches.

Qualités de l'ingénieur

Les qualités de l'ingénieur visées par cette unité d'APP sont les suivantes. D'autres qualités peuvent être présentes sans être visées ou évaluées dans cette unité d'APP.

	Q01	Q02	Q03	Q04	Q05	Q06	Q07	Q08	Q09	Q10	Q11	Q12
Touchée	X	X	X	X	X							
Évaluée		X	X	X								

Pour une description détaillée des qualités et leur provenance, consultez le lien [BCAPG](#) sur le site de la Faculté de génie. Les modalités d'évaluation des compétences, les pondérations et grilles d'évaluation sont présentées à la fin de ce guide.

2. Énoncé de la problématique

Conception de l'électronique pour une radio numérique

Votre firme d'ingénierie, Ultracom, s'est vue octroyée le mandat de concevoir le prototype d'une plateforme de développement radio reconfigurable (communément désignée *software-defined radio*). Ce mandat comprend notamment la conception d'un circuit imprimé. Une telle plateforme doit pouvoir être configurée, grâce entre autres, au tissu reconfigurable d'un puissant FPGA, pour implémenter diverses normes de communication sans fil telle que la norme 802.15.4 (Zigbee) ou la norme 802.11 (WiFi). Votre client, qui est sous-traitant pour la défense nationale, est resté plutôt vague en ce qui a trait à l'application finale. Il semble toutefois que la plateforme de développement que vous aurez à produire pourrait jouer le rôle d'unité centrale dans une plateforme robotique mobile terrestre autonome (communément appelée un « drone ») capable de fonctionner dans des environnements hostiles et imprévisibles et pouvant être reconfigurée à tout moment pour supporter un autre protocole de communication et permettre aux « drones » d'établir un réseau ad hoc.

Dans le cadre de cette activité, vous avez la responsabilité de développer un circuit imprimé dont le nom de code interne est *Pléiades*. Le patron prévoit qu'il pourra également être utilisé pour développer des prototypes de nœuds intelligents dans des réseaux de capteurs et actuateurs *Machine-to-Machine* (M2M). Étant donné sa mission première dans la sphère robotique, il doit pouvoir commander un moteur pas-à-pas. De plus, considérant qu'il s'agit d'une plateforme de *développement* ayant une large gamme d'applications, la carte doit posséder des caractéristiques supérieures (capacité de traitement de signaux du FPGA, quantité de mémoire, etc.) que ne nécessiterait un produit fini à application unique, ne serait-ce que pour permettre d'inclure des systèmes de tests et de validation en cours de développement.

Volet 1 : Schémas du système *Pléiades* (carte mère)

À partir des spécifications préliminaires et du diagramme conceptuel de haut niveau fournis, vous devez, dans un premier temps, réaliser la conception du circuit sous forme de schémas électroniques à l'aide du logiciel Altium. Une librairie, contenant la majorité des composants complexes dont vous aurez besoin, est disponible sur le site web de l'APP.

Le schéma conceptuel du système (Figure 1) permet de visualiser la chaîne de communication incluant une carte mère et une carte RF. Cette dernière, ***qui ne fait pas partie de votre mandat***, contient un modulateur et un démodulateur en quadrature ainsi qu'un amplificateur de puissance, un amplificateur à faible bruit, un **duplexeur**. Le duplexeur est un dispositif permettant de combiner d'une manière ou d'une autre les chemins de transmission et de réception afin de partager la même antenne. Dans un système à duplexage dans le temps (TDD – *Time Division Duplexing*), la réception et la transmission ne s'effectuent pas au même moment, mais la même porteuse est utilisée dans les deux sens ($f_T = f_R$). Le duplexeur est alors un simple commutateur reliant l'un ou l'autre des chemins à l'antenne au bon moment. Dans un système à duplexage en fréquence (FDD – *Frequency Division Duplexing*), les porteuses en transmission et en réception sont suffisamment différentes pour éviter tout chevauchement, permettant ainsi un branchement direct des deux chemins à l'antenne, non sans quelques éléments de protection. La carte RF est interconnectée à la carte mère par **4 connecteurs de type SMA présentant des signaux adaptés à 50 ohms (single-ended)**. Elle contient une unité centrale de traitement (un **FPGA** en l'occurrence), deux **convertisseurs analogique-numérique** (CAN) pour la transmission et deux **convertisseurs numérique-analogique** (CNA) pour la réception qui servent d'architecture de modulation en quadrature et implique que **les signaux TxI, TxQ, RxI et RxQ soient en bande de base, ce qui leur confère une composante à 0 Hz**. La carte électronique doit être conçue pour supporter des canaux d'une largeur de **40 MHz** afin d'être compatible avec la norme 802.11n.

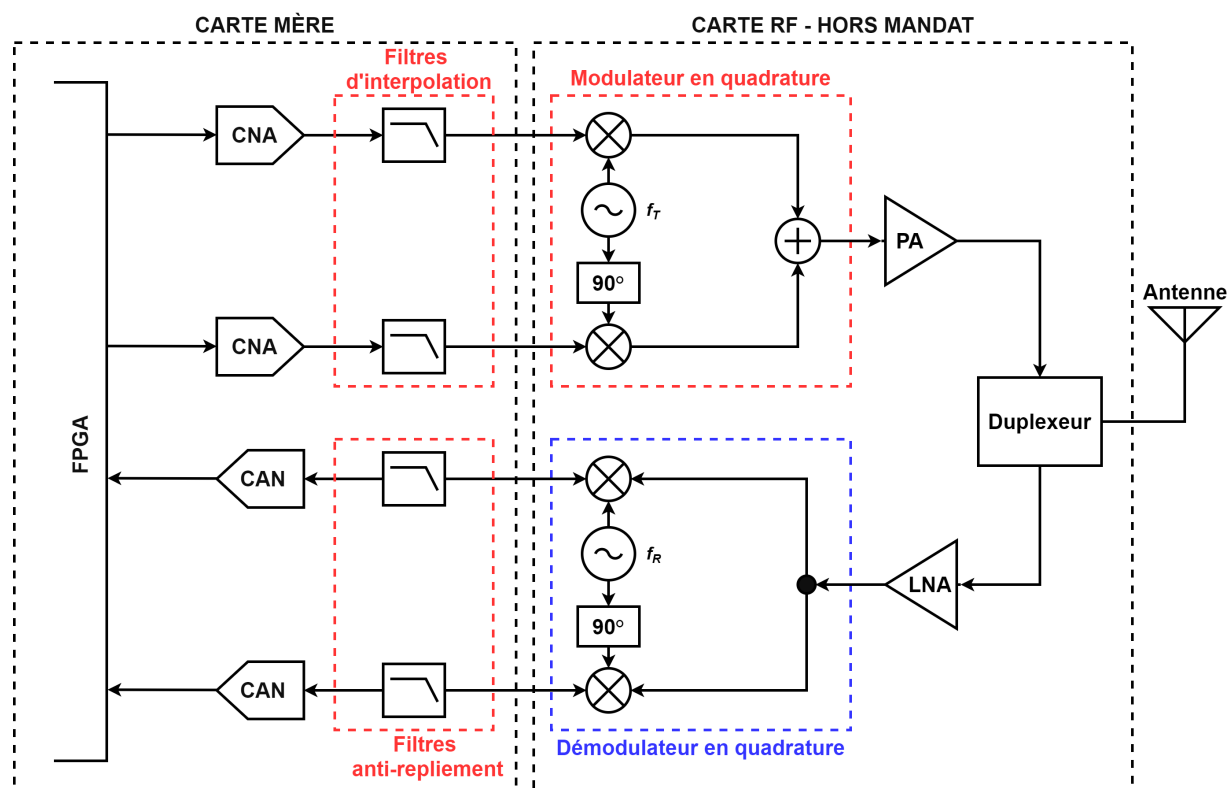


Figure 1 : Schéma conceptuel du système Pléiades

La Figure 2 présente le diagramme fonctionnel du système à réaliser. L'unité centrale est un FPGA de la famille Spartan 6 (**XC6SLX100-3FGG676I**) dont le cœur est cadencé à 100 MHz. On note la présence d'une mémoire SDRAM DDR3 de 2 Gbits, la **MT41J128M16JT-125**, FBGA-96 de micron. Celle-ci doit fonctionner à 400 MHz et s'interfacer au FPGA par l'utilisation d'un bloc de contrôle de mémoire (*Memory Control Block* ou *MCB*).

Une mémoire FLASH sérielle de 32 Mbit, selon le guide de l'utilisateur de Xilinx UG380, est prévue pour contenir le train de bits de configuration (*configuration bitstream*) du FPGA. Celle-ci doit être raccordée au FPGA à travers un port SPI de manière à permettre la configuration automatique lors de la mise sous tension, et ce, même en absence d'ordinateur hôte. **La sélection de cette mémoire flash est à déterminer.**

Un port USB est prévu pour permettre la reconfiguration du FPGA (JTAG) et l'accès à un port console (UART). Un module intégré de la compagnie Digilent, le **JTAG-SMT3-NC**, sera utilisé pour assurer la compatibilité avec les outils de Xilinx. Le port JTAG du module sera connecté au port JTAG du FPGA, permettant ainsi sa configuration et diverses procédures de test depuis un ordinateur hôte. Le second port série asynchrone (UART) sera utilisé comme port de console et servira à établir un lien de communication avec la logique reconfigurable du FPGA (qui peut comporter un processeur) pour des besoins de développement. **Le port USB doit être électriquement isolé du reste de la carte**, un requis courant dans les applications industrielles, médicales ou militaires. Vous devez adapter le circuit du Digilent JTAG-SMT3-NC pour permettre cette isolation.

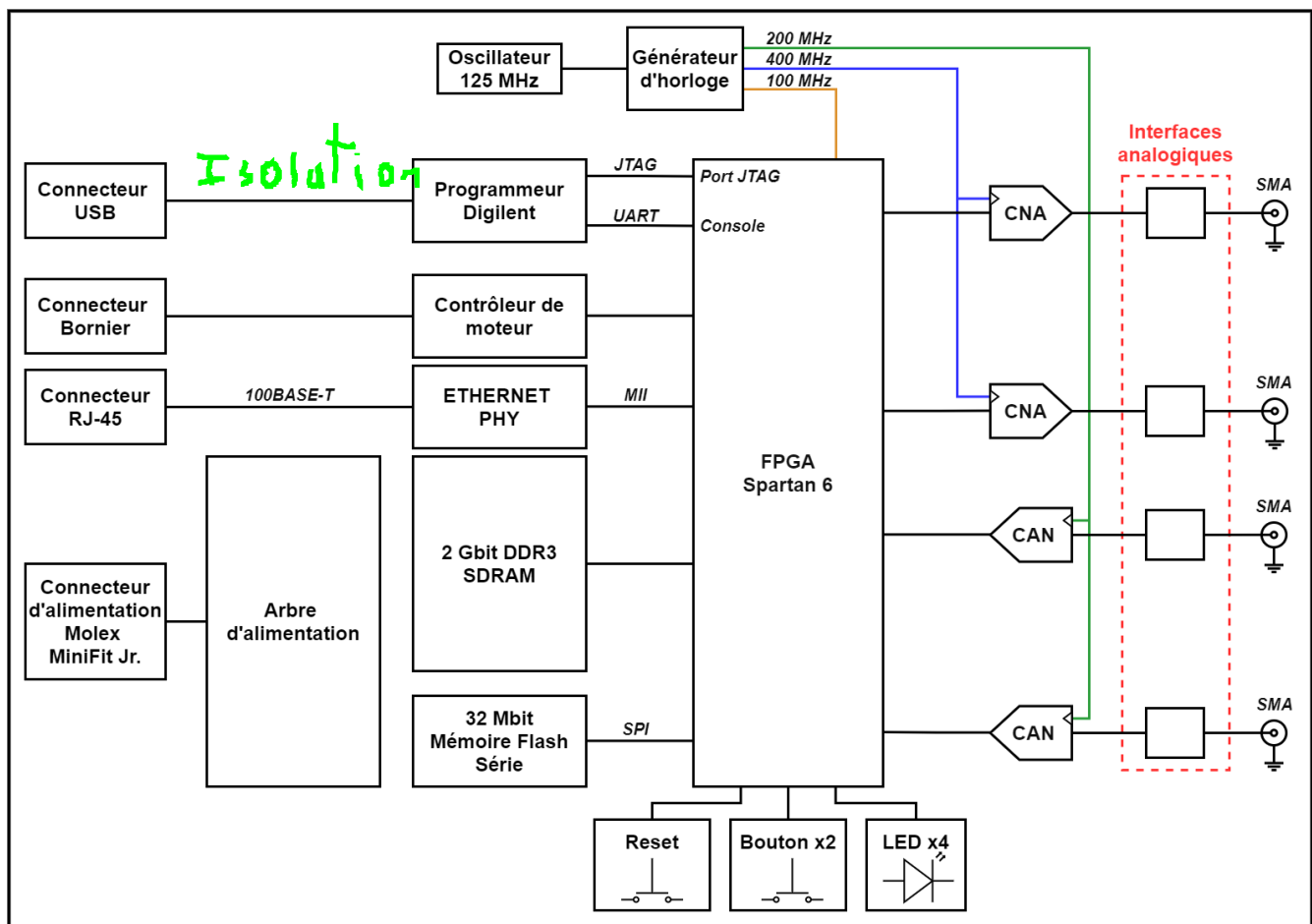


Figure 2 : Diagramme fonctionnel de la carte *Pléiades*

L'ADS62P48 de Texas Instruments sera utilisé comme CAN et se caractérisent par une précision de 14 bits et un taux d'échantillonnage de 210 Méc/s, mais seront opérés à 200 Méc/s. Le CNA choisi est l'AD9146 de Analog Devices qui assure une précision de 16 bits et un taux de conversion maximal de 1230 Méc/s. Les CNA seront toutefois opérés à 400 Méc/s dans notre système. Tous les convertisseurs ont une interface parallèle DDR LVDS pour transférer les échantillons et une interface série compatible SPI pour la configuration.

Pour chacun des CAN et CNA, un circuit d'interface analogique, remplissant des fonctions de filtrage, d'isolement, d'utilisation optimale de la plage dynamique à l'entrée/sortie et d'adaptation d'impédance, doit être réalisé en tenant compte de la largeur de bande du signal souhaitée comprise entre 0 et 40 MHz. Les filtres pour les CNA (interpolation) et CAN (anti-repliement) doivent être au minimum du 2^e ordre. L'interface vers le monde extérieur doit couvrir une plage de -1 V à 1V (2 V crête à crête).

Un système central de génération des horloges est prévu, basé sur un oscillateur à 125 MHz duquel seront dérivées les fréquences du FPGA (100 MHz), des CAN (200 MHz) et des CNA¹ (400 MHz) grâce à une puce dédiée : le CDCE62005 de Texas Instruments. L'horloge pour la SDRAM DDR3 doit quant à elle être produite par la circuiterie disponible à cet effet dans le MCB du Spartan 6.

¹ Les CNA ont la capacité de multiplier par 2 la fréquence de l'horloge pour obtenir 800 MHz.

Un port Ethernet standard (10/100 Mbit/s) doit aussi être inclus à la carte mère pour des fins de déverminage. La connexion d'un port Ethernet au FPGA nécessite l'utilisation d'une couche MAC intégrée au tissu reconfigurable du FPGA et d'un circuit d'interface physique (ou PHY) qui convertit les signaux provenant du MAC en signaux Ethernet 100BASE-T pouvant être transmis via un câble à paires torsadées. Le PHY à utiliser est le **KSZ8091MNXCA** de Micrel, et il sera connecté au FPGA grâce à une **connexion MII** (Media-Independent Interface) standard. Le connecteur Ethernet doit être **électriquement isolé** du reste du circuit grâce à un transformateur.

La carte doit contenir 3 boutons-poussoirs (Reset FPGA et 2 entrées au FPGA), 4 DEL servant au déverminage du FPGA, une DEL indiquant que l'alimentation 24 V est fonctionnelle ainsi que 2 senseurs de température de type TC74.

Il faut aussi prévoir un contrôleur de moteur pas-à-pas basé sur un circuit intégré **DRV8811** de Texas Instruments alimenté à 24 Volts et pouvant fournir jusqu'à 1,9 A par enroulement. Comme il y a 2 enroulements par moteur, il faut 4 connexions. Mécaniquement, les connexions seront disponibles par le biais d'un connecteur de type « terminal block » à 4 positions.

Finalement, un arbre d'alimentation approprié générant toutes les tensions d'alimentation requises par les diverses composantes doit être conçu. Il est impératif de considérer l'**ordre de mise sous tension des systèmes** (voir annexe au guide étudiant). Enfin, la charge pour chaque tension de polarisation devra être évaluée et les composantes choisies devront être en mesure de fournir le courant requis. Considérant que certains drones sont alimentés avec des batteries, une utilisation judicieuse de la puissance est essentielle. Vous devez ainsi optimiser votre arbre d'alimentation pour **favoriser l'efficacité énergétique**.

Tous les ports qui font office d'interface avec le monde extérieur doivent être adéquatement protégés contre les **décharges électrostatiques**. Comme il s'agit d'un circuit à usage commercial/militaire, le plus haut standard de protection électrostatique doit être respecté, soit le IEC 61000-4-2 Level 4, pour une protection de **± 8 kV par contact et de ± 15 kV par décharge de l'air**. Vous devez ajouter vous-mêmes les protections nécessaires aux endroits appropriés. **L'alimentation principale à 24 V** peut provenir d'une batterie ou d'une brique de régulation AC/DC (MEAN WELL **GST280A24-C6P**), et doit aussi être protégée contre la **polarisation inverse**, les **surtensions transitoires** et les **surintensités (overcurrent)**.

Vous devrez créer vous-même, dans le logiciel de CAO, toute composante nécessaire ne faisant pas partie de la librairie fournie.

Une fois tous les schémas élaborés, une revue de conception sera réalisée.

3. Connaissances nouvelles à acquérir par la résolution de cette problématique

Connaissances déclaratives : *Quoi*

- Arbre de distribution des alimentations : régulateur de tension DC-DC, AC-DC, linéaire et calcul de puissance ;
- Découplage des alimentations ;
- Arbre de distribution des signaux d'horloge ;
- Communication numérique : LVCMOS, LVEPCL, LVDS, Gigue temporelle ;
- Liens de communication (USB, transpondeurs Gbit, Ethernet) ;
- Interconnexion de convertisseurs analogique-numérique et numérique-analogique ;
- Terminaisons électriques ;
- Interconnexion de matrices de portes programmables : alimentation, horloge, banques entrées sorties, configuration (PROM, JTAG), CAN, branchement de mémoire DDR et SRAM, terminaisons des entrées sorties (LVCMOS, LVDS, etc.), transpondeurs Gbits ;
- Composants électroniques de découplage : condensateurs (tantale, aluminium, électrolytique, céramique), ferrites, inductances ;
- Interconnexion de cartes électroniques et mise à la terre ;
- Contenu d'une revue de conception pour le schéma et pour la topologie du circuit ;
- Contenu d'un plan de tests et de validation.

Connaissances procédurales : *Comment*

- Mettre en œuvre un arbre d'alimentation ;
- Mettre en œuvre un arbre d'horloge ;
- Concevoir des circuits électroniques multicouches comportant des liens de communication ;
- Concevoir des circuits électroniques multicouches comportant des convertisseurs analogique-numérique et numérique-analogique ;
- Concevoir des circuits électroniques multicouches comportant des FPGA ;
- Concevoir des circuits électroniques multicouches comportant plusieurs cartes électroniques ;
- Réaliser un plan de test ;
- Réaliser une revue de conception.

Connaissances conditionnelles : *Quand*

- Mettre en œuvre un arbre d'alimentation ;
- Mettre en œuvre un circuit d'horloge ;
- Utiliser un transformateur ou un ampli opérationnel dans l'interfaçage analogique d'un CAN ou d'un CNA.

4. Références

4.1. Références essentielles à consulter

Logiciels à utiliser

- Altium Designer
- SaturnPCB Toolkit - https://saturnpcb.com/pcb_toolkit/
- TDK Seat 2013 – Sur le site WEB de l'APP

Documentation requise :

- Annexes du guide étudiant
 - o Annexe 1 – Arbre d'alimentation
 - o Annexe 2 – Isolation de données et USB
 - o Annexe 3 – Exemples de filtre d'entrée et de sortie pour CNA/CAN
- *Right the first time, a practical handbook on high speed PCB and system design*, Vol 1 et 2, Lee Ritchey, 2003, 295 p.
 - o Notez que le vol 1 est disponible gratuitement sur le WEB de l'éditeur (voir lien sur le site WEB de l'APP). Le volume 2 est disponible en format PDF sur le site WEB de l'APP 2.
- Site WEB de l'APP :
 - o Fiches techniques et notes d'application des manufacturiers des composants électroniques :
 - FPGA Spartan 6
 - Mémoire DDR3 Micron
 - CAN - ADS62P48
 - CNA – AD9146
 - Gestionnaire d'horloge – CDCE62005
 - LVDS – Notes d'application
 - Ethernet PHY – KSZ8091MNX
 - Programmeur JTAG Digilent
 - Bloc d'alimentation Mean Well 24V
- Sites Internet
 - o [Murata – Application Manual for Power Supply Noise Suppression and Decoupling for Digital ICs](#)
 - o [Murata Sim-Surfing](#)
 - o [Samsung Component Library](#)
 - o [Texas Instruments – ESD Essentials](#)
 - o [Texas Instruments – Demystifying Surge Protection](#)

Volumes recommandés

- *Grounds for grounding, a circuit-to-system handbook*, Elya B. Joffe et Kai-Sang Lock, Wiley;
- *The circuit designer's companion*, Peter Wilson, Newnes;
- *Printed circuits handbook* 6e édition, Clyde F. Coombs, McGraw-hill;
- *Printed circuits board design techniques for EMC compliance*, 2e édition, M. Montrose, Wiley, ISBN 0-7803-5376-, 2000, 307 p.;

5. Activités liées à la problématique

Semaine 1 : Début de l'APP1

- 1^{re} rencontre de tutorat
- Étude personnelle et exercices
- Formation à la pratique procédurale 1
- Formation à la pratique en laboratoire 1
- Rencontre collaborative pour la résolution de la problématique

Semaine 2 :

- Étude personnelle et exercices
- Formation à la pratique procédurale 2
- Formation à la pratique en laboratoire 2
- Formation à la pratique procédurale 3

Semaine 3 :

- Validation pratique sous forme qu'une revue de conception des schématiques par équipe de projet. Téléversement des schémas sur le site WEB. Notez que la validation sera effectuée par le corps professoral et compte pour l'évaluation des compétences.
- 2^e rencontre de tutorat
- Évaluation formative
- Consultation facultative
- Évaluation sommative

6. Livrables

6.1. Validation de la troisième semaine.

La validation comporte 2 opérations. La première consiste au téléversement de vos schémas complets sur le site de dépôts des travaux avant **8h00 le matin de la validation** (voir Horarius). Le fichier téléversé est un fichier PDF comprenant tous les schémas de votre projet dont la première page contiendra la liste des coéquipiers de l'équipe ainsi que le numéro d'équipe qui vous aura été attribué.

La seconde opération concerne la validation de votre problématique comme telle à travers une **revue de conception**. Pour cette opération, vous devrez être en mesure de répondre aux questions du/des tuteur(s) lors d'une présentation orale en classe ainsi d'évaluer la qualité des circuits des autres équipes. La grille du Tableau 1 servira de guide à l'évaluation des compétences. Il est important de noter qu'il est de la responsabilité de chacun des étudiants présents à la validation, de s'assurer de l'exactitude de chaque élément de solution et de la qualité et de l'uniformité de l'ensemble du contenu.

Une revue par les pairs est aussi prévue durant la validation. Vous devrez évaluer les schémas de vos collègues et remettre une liste de point fort/faible/à corriger. Bien que cette revue ne soit pas évaluée, elle est préalable à obtenir les points de la validation. Dans le cas où la revue par les pairs n'est pas déposée, la note de 0 sera attribuée à la validation. La revue par les pairs doit être déposée avant 11h59 le jour de la validation.

Tableau 1 : Grille d'évaluation de la validation

	Compétence	GEI789_1	GEI789_2
	Critère	<i>Concevoir des circuits électroniques sur circuits imprimés multicouches</i>	<i>Évaluer et produire des schémas électroniques complexes de qualité en vue d'une réalisation sur circuits imprimés multicouches</i>
Niveaux	Pondération	120	60
Excellent	100,00%	Conçoit des circuits électroniques complexes en considérant l'implémentation sur des circuits imprimés multicouches selon les règles de l'art.	Évalue et produit des schémas électroniques complexes de qualité en vue d'une réalisation sur circuit imprimé multicouche selon les règles de l'art.
Cible	85,00%	Conçoit des circuits électroniques complexes avec erreurs mineures en considérant l'implémentation sur des circuits imprimés multicouches.	Évalue et produit des schémas électroniques complexes de qualité avec erreurs mineures en vue d'une réalisation sur circuit imprimé multicouche
Seuil	60,00%	Conçoit des circuits électroniques complexes en considérant l'implémentation sur des circuits imprimés multicouches, mais qui contient quelques erreurs importantes et/ou maîtrise minimalement les concepts requis pour la conception.	Évalue et produit des schémas électroniques complexes en vue d'une réalisation sur circuit imprimé multicouche, mais contient quelques erreurs importantes ou maîtrise minimalement les concepts reliés à des schémas de qualité.
Non satisfaisant	25,00%	Conçoit des circuits électroniques complexes en ne considérant pas l'implémentation sur des circuits imprimés multicouches et qui contient plusieurs erreurs importantes et/ou maîtrise minimalement les concepts requis pour la conception.	Évalue et produit des schémas électroniques complexes en ne considérant pas leur réalisation sur circuit imprimé multicouche ou n'est pas en mesure d'en évaluer leur qualité.
Non initié	0,00%	Incapable de concevoir un circuit électronique.	Incapable d'évaluer et/ou produire un schéma d'un circuit électronique complexe.

6.2. Distribution des points en fonction des activités pédagogiques

Tableau 2: Distribution des points en fonction des activités pédagogiques

<i>Activité</i>	<i>Élément de compétence</i>	<i>Validation/revue de conception APP1</i>	<i>Validation/revue de conception APP2</i>	<i>Examen Sommatif APP1</i>	<i>Examen Sommatif APP2</i>	<i>Examen Final</i>	<i>Totaux</i>
GEI788_1	Concevoir un circuit imprimé multicouche répondant à des spécifications de circuits électroniques complexes		120		400	190	710
GEI788_2	Préparer la réalisation d'un circuit imprimé multicouches en fonction de la fabricabilité		60		50	80	190
GEI789_1	Concevoir des circuits électroniques sur circuits imprimés multicouches	120		400		190	710
GEI789_2	Évaluer la qualité et/ou produire des schémas et des topologies de circuits imprimés multicouches	60		50		80	190
Total		180	180	450	450	540	1800

7. Formation à la pratique procédurale #1

7.1. Buts de l'activité

Mettre en pratique les procédures requises pour :

- Brancher des circuits électroniques sur un FPGA
- Configurer correctement un FPGA

Avant de vous présenter au procédural, vous devez avoir **lu** la fiche technique :

- **Spartan 6 Overview (ds160)**

Vous devez aussi avoir **parcouru** les documents suivants :

- Spartan 6 Datasheet (ds162)
- Spartan 6 Configuration (ug380)
- Spartan 6 IO Ressources (ug381)
- Spartan 6 Clock Ressources (ug382)
- Spartan 6 Package (ug385)
- Spartan 6 GTP Transceiver (ug386)
- Spartan 6 Memory Controller (ug388)
- Spartan 6 PCB Design (ug393)
- Spartan 6 Power Management (ug394)
- Micron 2Gb DDR3 SDRAM
- KSZ8091MNXCA
- Interfacing Fast Ethernet PHY (AN133)

7.2. Problèmes à résoudre

La résolution des problèmes suivants vous permettra de mettre en pratique les connaissances acquises durant votre étude et développer vos compétences en conception de circuits électroniques avancés.

Pour les prochains numéros, utilisez les fiches techniques et les documents relatifs aux branchements et à la configuration du FPGA Spartan 6 XC6SLX100-3FGG676I.

1) À partir des documents sur le WEB

- a. Comparez le nombre de ressources par rapport aux autres FPGAs de la même famille ;
- b. Identifiez le nombre d'entrées / sorties (I/O) et de pattes ;
- c. Expliquez le rôle du Clock Management (DCM, Clock tree, PLL) ;
- d. Expliquez comment fonctionne la BRAM ;
- e. Déterminer les types de I/O disponibles ;
- f. Expliquer le rôle d'un ISERDES ;
- g. Expliquez le rôle d'un GBit Transceiver (GTP) ;
- h. Expliquez le rôle d'un DSP slice ;
- i. Expliquez le rôle d'un Memory Block Controller (MCB) ;
- j. Déterminez les grades disponibles.

- 2) Déterminez les technologies (niveaux de tension admissibles) à chaque banque I/O. (UG381.pdf)
 - a. Listez globalement les technologies supportées par le FPGA sélectionné.
 - b. Quelles sont les différences entre les technologies simple (*single-ended*) et différentielles ?
 - c. Déterminez la séquence d'étapes à franchir pour brancher correctement un composant électrique sur une banque.
 - d. Comment vérifier la compatibilité entre deux technologies différentes ?
 - e. Que faire lorsque deux circuits aux technologies incompatibles doivent être branchés ensembles ?
- 3) Expliquez la structure de la distribution des horloges dans un FPGA et déterminez où doit-on entrer cette horloge dans le FPGA pour un fonctionnement optimal (UG382.pdf).
- 4) Comment se reprogramme automatiquement un FPGA après une mise sous tension ? À partir des documents DS123.pdf et UG380.pdf :
 - a. Proposez un branchement correct du circuit de configuration du FPGA avec une mémoire Flash parallèle, et justifiez le branchement proposé.
 - b. Proposez un branchement correct du circuit de configuration du FPGA avec une mémoire Flash en mode maître série et justifiez le branchement proposé de chacun des bits. La mémoire Flash série est munie d'un port JTAG qui doit pouvoir être vu sur le lien JTAG.
 - c. Pourquoi est-il important de respecter les exigences du fabricant en ce qui concerne les branchements à utiliser pour la mémoire de programmation ?
 - d. Dans la problématique, on vous demande d'utiliser le mode SPI. Quelle est la différence avec le mode maître série ?
- 5) Vous devez préparer les branchements d'une mémoire DDR3 MT41J128M16JT-125, FBGA-96 (UG388.pdf) :
 - a. Déterminez les tensions d'alimentation et de référence requises.
 - b. Déterminez les bus et les signaux auxiliaires à brancher.
 - c. Quels sont les besoins en termes de lignes de transmissions et les terminaisons nécessaires ?
- 6) Branchez un port Ethernet au FPGA. Pour cela, branchez le FPGA à travers un port MII à un PHY Ethernet KSZ8091MNXCA et branchez le port de sortie à un connecteur RJ45. (an133.pdf et KSZ8091MNXCA.pdf)

8. Formation à la pratique en laboratoire #1

8.1. Buts de l'activité

- Visualiser un exemple de schéma complexe.
- Démarrer un projet dans Altium.
- Réaliser le branchement d'une mémoire DDR3 sur un FPGA de la compagnie Xilinx Spartan 6 LX100 et identifier les banques I/O disponibles et leurs caractéristiques.

Vous devez avoir **survolé** les documents suivants avant le laboratoire :

- Micron 2Gb DDR3 SDRAM
- App. Note - DDR3 Point-to-Point
- App. Note - Hardware Tip for Point-to-Point
- TPS51200 - VTT Regulator

8.2. Visualiser un exemple de schéma complexe.

Pour cette opération, un schéma sera projeté et analysé à travers les yeux d'un expert.

- Types d'architecture de schémas électriques (*global, flat, hierachical, strict hierarchical*)
- Cartouches
- Librairies

8.3. Démarrer un projet dans Altium

Dans cet exercice, vous serez encadré pour démarrer votre projet Altium pour vous assurer de compléter avec succès votre problématique.

- Compléter le guide de démarrage Altium pour configurer adéquatement le logiciel.
- Faire la structure adéquate pour votre projet.
- Utiliser les librairies Altium fournies.

8.4. Branchement de la mémoire DDR3 au MCB

Vous devez réaliser le branchement d'une DDR3 sur un FPGA Spartan 6. Comme la mémoire DDR doit être connectée à un contrôleur de mémoire physique dans le FPGA, il faut déterminer les pattes du FPGA à utiliser pour accéder à ce contrôleur. Pour le FPGA Spartan 6, il faut utiliser le logiciel Xilinx ISE pour générer un fichier de contrainte pour la mémoire. Afin de vous éviter l'installation de Xilinx ISE, le fichier de contrainte généré à l'aide de l'outil Core generator vous est fourni sur le site web de l'APP. La procédure de génération du fichier de contrainte est en annexe du guide étudiant.

À partir du fichier de contrainte, réalisez le branchement de la DDR dans Altium.

- Utilisez le FPGA et la DDR fournis dans la librairie
- Assurez-vous de réaliser les circuits auxiliaires à la DDR. Entre autres, il faut générer les alimentations nécessaires pour assurer les niveaux de tension.
- Réalisez les branchements des alimentations des banques I/O du FPGA.
- Ajoutez la circuiterie auxiliaires (terminaisons, résistances, condensateurs de découplage...)

9. Semaine 2 de l'APP1 : Formation à la pratique procédurale #2

9.1. Buts de l'activité

Dans cette activité, on veut mettre en pratique les procédures requises pour :

- Développer un arbre d'alimentation ;
- Déterminer une stratégie de suppression du bruit dans l'alimentation et de découplage des circuits intégrés numériques ;
- Concevoir un circuit de haute puissance ;
- Concevoir un circuit avec de la haute tension ;

Les documents suivants doivent avoir été *parcourus* avant le procédural :

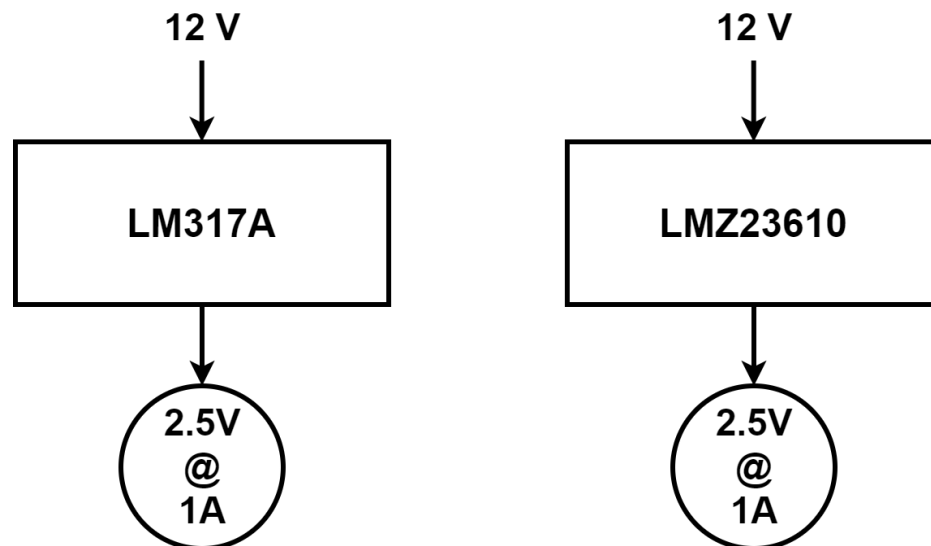
- Spartan 6 Power Management (ug394)
- App. Note : Murata Application Manual
- Annexe 1 – Arbre d'alimentation
- Texas Instruments – LDO Basics

Vous pouvez regarder les vidéos suivants pour vous familiariser avec le contenu :

- [Bypass Capacitor Tutorial](#)
- [LDO Basics : Dropout Voltage](#)
- [LDO Basics : Thermals](#)
- [LDO Basics : PSRR](#)
- [LDO Basics : Capacitor vs Capacitance](#)
- [Ceramic Capacitor Derating](#)

9.2. Problèmes à résoudre

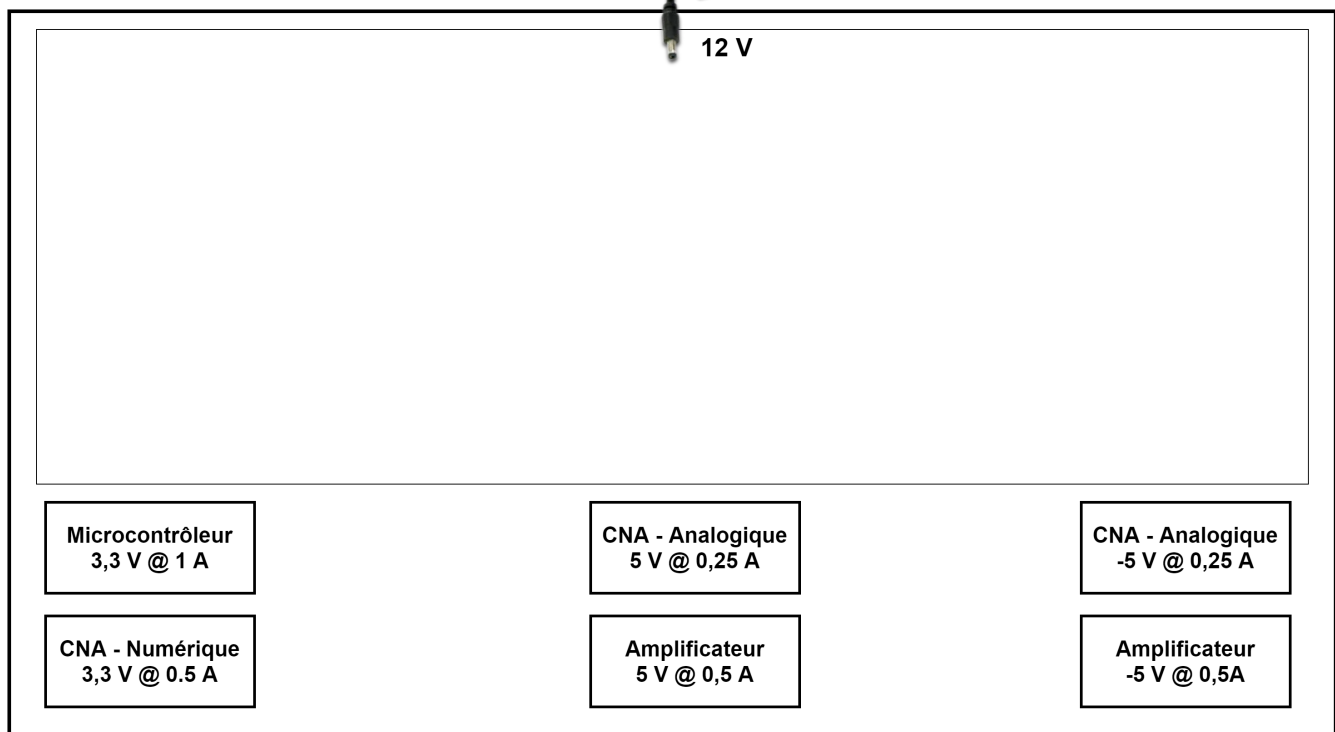
- 1) Déterminer les tensions d'alimentation et le découplage nécessaires pour alimenter correctement (UG394.pdf) :
 - a. le cœur du FPGA ;
 - b. les entrées / sorties et circuits associées (banques I/O) ;
 - c. les circuits auxiliaires.
- 2) Vous devez créer un arbre d'alimentation pour alimenter divers circuits à des tensions différentes à partir d'une seule alimentation DC.
 - a. Quels types de régulateurs sont disponibles réguler une tension vers une autre ?
 - b. Déterminez l'efficacité des deux régulateurs suivants ? Quelle est la solution la plus efficace ?



- c. Calculez les pertes dans les deux régulateurs ?
- d. Pour une température ambiante de 40 °C, à quelle température opèreront les régulateurs ?
- e. Comment pourriez-vous améliorer l'efficacité de régulation de ces deux types de régulateurs ?
- f. Pour alimenter un circuit sensible au bruit, quel régulateur serait préférable ?
- g. Comment pourriez-vous générer une tension négative à partir d'une tension positive ?

3) Vous devez réaliser un arbre d'alimentation pour un module intégrant un microcontrôleur et un convertisseur numérique à analogique (CNA) à 24 bits de précision pour une utilisation en audio haute-fidélité. Le module doit être alimenté par un seul bloc d'alimentation AC/DC 12 V externe. Le bilan de puissance est présenté ci-dessous. Il faut toutefois tenir compte de nombreuses limitations imposées par votre client.

- Puisque le produit fonctionne sur des batteries, vous devez optimiser l'efficacité en vous limitant aux régulateurs présents dans le tableau ci-bas.
- La tension d'alimentation numérique 3,3 V doit être présente aux bornes du CNA avant que les alimentations analogiques (5 V et -5 V) soient démarrées.
- Les alimentations analogiques doivent avoir le moins de bruit possible.



- Tracez le schéma bloc de l'arbre d'alimentation proposé. Limitez-vous aux régulateurs du tableau de la page suivante.
- Calculez les courants, les puissances d'entrée et de sortie et l'efficacité de chacun des régulateurs.
- Calculez aussi le courant et la puissance totale consommés sur l'entrée 12 V.
- Comparez votre résultat avec vos collègues.

Régulateur	Type	Tension d'entrée (V)	Tension de sortie (V)	Courant Max (A)
LMZ23603	Régulateur à découpage	6 à 36	0,8 à 6	3
LMZ23605	Régulateur à découpage	6 à 36	0,8 à 6	5
LMZ23610	Régulateur à découpage	6 à 36	0,8 à 6	10
LMZ30602	Régulateur à découpage	2,95 à 6	0,8 à 3,6	2
LMZ30604	Régulateur à découpage	2,95 à 6	0,8 à 3,6	4
LMZ30606	Régulateur à découpage	2,95 à 6	0,8 à 3,6	6
PTH04T230W	Régulateur à découpage	2,2 à 5,5	0,7 à 3,6	6
PTH04T240W	Régulateur à découpage	2,2 à 5,5	0,7 à 3,6	10
PTH04T260W	Régulateur à découpage	2,2 à 5,5	0,7 à 3,6	3
PTH08T230W	Régulateur à découpage	4,5 à 14	0,7 à 5,5	6
PTH08T240W	Régulateur à découpage	4,5 à 14	0,7 à 5,5	10
PTH08T260W	Régulateur à découpage	4,5 à 14	0,7 à 5,5	3
PTN78000H	Régulateur à découpage	15 à 36	11,85 à 22	1,5
PTN78000W	Régulateur à découpage	7 à 36	2,5 à 12,6	1,5
PTN78020H	Régulateur à découpage	15 à 36	11,85 à 22	6
PTN78020W	Régulateur à découpage	7 à 36	2,5 à 12,6	6
PTN78060H	Régulateur à découpage	15 à 36	11,85 à 22	3
PTN78060W	Régulateur à découpage	7 à 36	2,5 à 12,6	3
TPS51200DRCT	Régulateur de terminaisons	-	-	-
LMZ34002	Régulateur inverseur	4,5 à 40	-3 à -17	2
PTN04050A	Régulateur inverseur	2,9 à 7	-3,3 à -15	1
PTN78000A	Régulateur inverseur	7 à 29	-3 à -15	1,5
LM317A	Régulateur linéaire	4,2 à 40	1,2-37	1,5
MIC61300	Régulateur linéaire	1,1 à 3,6	0,5-3	3
TPS7A4700	Régulateur linéaire	3 à 36	1,4-20,5	1
LM337	Régulateur linéaire neg.	-4,2 à -40	-1,2 à -37	1,5
TPS7A33	Régulateur linéaire neg.	-3 à -36	-1,18-33	1

- 4) Pratiquement toutes les fiches techniques de circuits intégrés recommandent d'ajouter des capacités de découplage près du circuit. En tant qu'ingénieur, vous devez justifier pourquoi ces capacités sont essentielles au fonctionnement du circuit puisqu'elles constituent un coût non négligeable dans un circuit électronique.
- À quoi servent les capacités de découplage ?
 - Où doit-on les placer ? Pourquoi ?
 - Quelle plage de fréquence doivent couvrir les condensateurs de découplage ? Comment choisir sa valeur pour un circuit numérique ? Pour un circuit analogique ?
 - Quelles sont les caractéristiques des condensateurs à considérer pour choisir un condensateur de découplage pour ces différents cas :
 - Près de l'entrée d'alimentation d'un circuit ?
 - À la sortie d'un régulateur ?
 - À l'entrée d'un régulateur à découpage ?
 - Près d'un circuit intégré ?
 - Tracez l'impédance de l'alimentation d'un circuit intégré en fonction de la fréquence en y incluant la contribution du régulateur et de toutes les capacités typiques sur un circuit imprimé.
 - Quel est l'effet de la tension DC aux bornes du condensateur sur sa capacité ?

- 5) Soit les filtres suivants tirés du document C39e_DecouplageMurata.pdf composés de capacités et d'une ferrite.

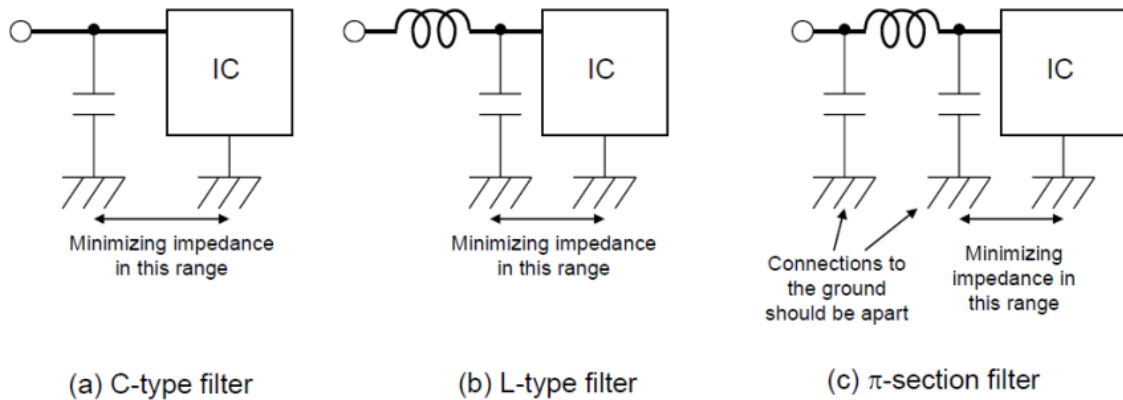
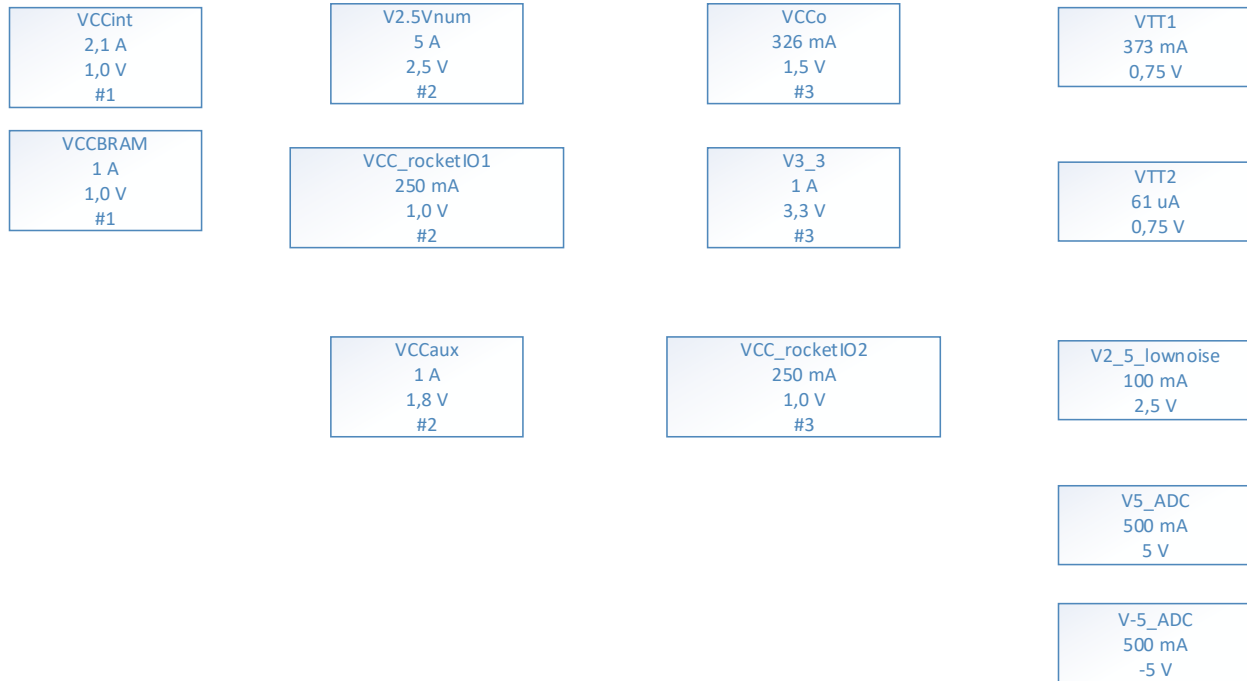


Image tirée de la note d'application de la compagnie Murata C39e.pdf

- Expliquez le rôle de ces filtres dans un circuit de découplage d'alimentation.
- Quel est l'effet des ferrites sur l'impédance de l'alimentation ? Est-ce désirable ?
- Quand doit-on mettre une ferrite ?
- Quels sont les avantages/inconvénients de mettre une ferrite ?

9.3. Exercice supplémentaire (optionnel)

Soit les circuits suivants présentés sous forme de blocs où l'on retrouve le nom du circuit, la consommation, la tension et l'ordre de mise en opération :



Réalisez un arbre d'alimentation (DC-DC, LDO, référence de tension etc) sachant que l'alimentation principale est de 24 V.

- Déterminez la puissance nécessaire à l'alimentation principale.
- Réalisez la séquence de mise en opération des alimentations pour un fonctionnement adéquat du circuit. Donnez un exemple précis.

Pour ce circuit, limitez-vous aux modèles de régulateurs et de module de régulation présenté dans le tableau de la question 2.

10. Formation à la pratique en laboratoire #2

10.1. Buts de l'activité

- Configurer le gestionnaire d'horloges pour générer les bonnes fréquences
- Déterminer les capacités de découplage à placer dans votre circuit
- Déterminer le radiateur nécessaire pour dissiper la chaleur d'un FPGA

Avant le laboratoire, vous devez :

- **Avoir survolé la fiche technique du CDCE62005.** Familiarisez-vous avec les schémas bloc de l'architecture du circuit intégré et ses éléments.
- Vous pouvez consulter les vidéos dans la section Génération et synthèse d'horloge sur le site web pour plus d'information sur la génération d'horloge et les boucles à verrouillage de phase (PLL).
- **Avoir lu les pages 8 à 20** de la note d'application [Murata – Application Manual for Power Supply Noise Suppression and Decoupling for Digital ICs.](#)

10.2. Configurer le gestionnaire d'horloge CDCE62005

Dans la problématique, le circuit intégré CDCE doit être alimenté par un oscillateur à 125 MHz et générer 3 fréquences : 100, 200 et 400 MHz. En vous servant de la spécification du fabricant, trouvez la configuration nécessaire pour générer les 3 fréquences mentionnées sur les blocs de sortie 0, 1 et 2. En d'autres termes, trouvez

- 1- la fréquence du synthétiseur interne ;
- 2- la valeur du registre « prescaler » P ;
- 3- la valeur du diviseur du bloc d'entrée R ;
- 4- la valeur du diviseur d'entrée du bloc de synthèse I ;
- 5- la valeur du diviseur de rétroaction (feedback divider) ;
- 6- la valeur du diviseur de bloc de sortie O pour les blocs de sortie 0, 1 et 2.

10.3. Évaluer la réponse en fréquence des capacités de découplage

Pour la plupart des modèles de condensateur, il est possible de visualiser son impédance en fonction de la fréquence. Toutefois, lorsque l'on utilise plusieurs valeurs de condensateur en parallèle, on voit apparaître un phénomène de résonance et d'anti-résonance.

Utilisez les logiciels des différentes compagnies pour visualiser l'impédance de chacun des condensateurs.

- [Murata Sim-Surfing](#)
- [Samsung Component Library](#)
- TDK Seat 2013 (voir le site web de l'APP)

- a. Quel est l'impact de la valeur du condensateur sur la réponse en fréquence ?
- b. Quel est l'impact de la taille de package (0201, 0402, 0603, 0805) sur la réponse en fréquence ?
- c. Quel est l'impact du type de diélectrique (X5R, X7R, C0G, NP0) sur la réponse en fréquence ?
- d. Quel est l'impact de la tension DC (DC bias) sur la valeur de la capacitance ?

Pour la problématique, vous devez réaliser le découplage du CAN qui sera opéré à 200 Mbit par secondes.

- Quelle plage de fréquence devez-vous couvrir avec le découplage ?
- Déterminez les condensateurs que vous devez utiliser. Limitez-vous à 3 valeurs de condensateur différentes.
- En utilisant TDK Seat 2013, créez un filtre personnalisé qui combine vos 3 valeurs de condensateur. Voir la figure à la page suivante pour les instructions.

Que constatez-vous sur la réponse en fréquence du filtre à plusieurs condensateurs ?

Dans l'onglet Simulation/Tool

Sélectionner User-defined Filter

Sélectionner une connexion parallèle

Choisir le condensateur désiré

Cliquer sur Apply pour placer le condensateur

Donner un nom au filtre et cliquer sur Create

Répéter pour ajouter toutes les valeurs

Cliquez sur Z pour voir l'impédance du filtre

Votre nouveau filtre sera disponible dans le bas de la liste

Cliquez sur Z pour voir l'impédance du filtre

10.4. Évaluer le radiateur nécessaire pour que le FPGA ne dépasse pas 75 °C.

Pour déterminer la puissance consommée par un FPGA sur les différents rails d'alimentation, il faut nécessairement connaître le code et les opérations qui seront effectuées par celui-ci. Xilinx propose d'utiliser un calculateur de puissance, mais il est impossible de l'utiliser lorsque l'on ne connaît pas l'utilisation. Pour les besoins de la problématique, on vous propose d'utiliser les valeurs de courant suivantes, estimée au maximum à partir du calculateur :

- V_{CCINT} – 3 A @ 1,2 V.
- V_{CCAUX} – 0,25 A @ 3,3 V ou 2,5 V, dépendamment de votre choix pour la problématique.
- V_{CCIO} – 0,1 A pour toute banque utilisée à plus de 50%.
- V_{CCIO} – 0,05 A pour toute banque utilisée à moins de 50%.
- V_{CCIO} – 0,3 A pour la banque de la DDR3.

- 1- Calculez la puissance maximale pouvant être dissipée par votre FPGA.
- 2- Évaluer la température du FPGA en fonction de la fiche technique.
- 3- Choisir chez Digikey un radiateur qui :
 - a. Convient à la grosseur du FPGA
 - b. Permettra une mise à la masse correcte pour éviter les effets d'antenne.
 - c. Permettra de maintenir le FPGA à une température inférieure à 75 °C

Limitez-vous à cette recherche chez Digikey (<https://www.digikey.ca/short/4cd1d7>)

11. Formation à la pratique procédurale #3

11.1. Buts de l'activité

Dans cette activité, on veut mettre en pratique les procédures requises pour :

- Concevoir un circuit avec des CAN et CNA ;
- Identifier les besoins mécaniques du PCB devant être intégrés dans un schéma ;
- Identifier les besoins en vue d'une revue de conception de schéma.

Les documents suivants doivent avoir été *lus* avant le procédural :

- Annexe 2 – Isolation de données et USB
- Annexe 3 – Exemples de filtre d'entrée et de sortie pour CNA/CAN

Vous devez avoir visionné les formations en ligne de Texas Instruments :

- [ESD Essentials](#)
- [Demystifying Surge Protection](#)

Vous devez aussi avoir survolé les fiches techniques des circuits intégrés suivants :

- MCP3021
- ADS5562
- AD9117

11.2. Problèmes à résoudre

- 1) Vous devez brancher 2 CAN sur un FPGA, mais il ne reste que 2 I/O disponibles dans une banque de 3,3 V. On vous dit d'utiliser un MCP3021 car il répond aux spécifications en termes de résolution et de fréquence d'acquisition. Le signal analogique à numériser varie entre 0,2 et 5 V.
- 2) Branchez correctement le CAN ADS62P48 au FPGA. Inclure le découplage, la tension d'alimentation des banques du FPGA et les tensions d'alimentation de l'ADS62P48.
- 3) Le signal à échantillonner par le ADS62P48 sera disponible sur un connecteur SMA à même le circuit imprimé. Ce signal occupe une plage entre -1 et +1 V et occupe la bande de fréquence entre 15 et 25 MHz. De plus, l'impédance d'entrée du signal (impédance de source) est de 50 ohms.
 - a. À partir de l'Annexe 3 du guide de l'étudiant, quelle topologie devriez-vous utiliser ?
 - b. Expliquez le rôle de chacun des composants par rapport à la plage dynamique, le filtrage et l'adaptation d'impédance.
 - c. Décrivez comment configurer le CAN pour pleinement exploiter sa plage dynamique, tout en évitant la saturation.
 - d. Quels changements faudrait-il apporter au circuit d'interface si le signal à échantillonner s'étalait de 0 à 25 MHz ?

- 4) Soit le AD9146, un CNA de 16 bits et de 1230 Méc/s à sortie différentielle de courant capable de fournir 20 mA sur chaque sortie. Sachant qu'on souhaite reconstruire un signal compris entre 20 et 40 MHz, concevez un circuit d'interface convertissant le signal de courant différentiel en signal « single-ended » de tension sur la plage -1 à 1 V et effectuant l'adaptation d'impédance en sortie pour transmission sur une ligne 50 ohms. Pour ce faire, utilisez un amplificateur opérationnel bipolaire tel le 8055. De plus, votre circuit d'interface doit agir comme filtre d'interpolation avec une fréquence de coupure adéquate.
- 5) Branchez un programmeur JTAG Digilent JTAG-SMT3-NC de manière qu'il soit isolé électriquement du PC.
- Quels sont les endroits où on peut isoler électriquement les signaux provenant du module ?
 - Quelles sont les limitations associées à isoler électriquement un port ?
 - Quels sont les avantages d'isoler électriquement un port ?
- 6) Les ports d'un circuit imprimé en contact avec le monde extérieur doivent toujours être protégés pour assurer une longue durée de vie du produit, particulièrement pour éviter les erreurs absurdes durant les phases de développement, mais aussi simplement pour protéger contre les décharges électrostatiques et les défaillances imprévues de composant.
- Comment peut-on protéger les ports de donnée (USB, ETHERNET) et les ports analogiques (SMA) contre les décharges électrostatiques ?
 - Comment peut-on protéger un circuit contre une alimentation en polarité inverse ?
 - Comment peut-on protéger un circuit contre les surintensités (*overcurrent*) ?
 - Comment peut-on protéger un circuit contre les surtensions transitoires sur son alimentation (*surge*) ?
 - Quels sont les effets indésirables causés par toutes ces différentes protections ? Sur les données ? Sur l'alimentation ?

12. Formation à la pratique en laboratoire #3

12.1. Buts de l'activité

- Faire une pratique d'une revue de conception d'un schéma.

12.2. Description du laboratoire

En groupe, faire une revue de conception de différents schémas présentés par le tuteur.

- 1) Identifier les éléments mécaniques d'un circuit imprimé devant apparaître dans les schémas.
- 2) Déterminer les questions devant être répondues dans une revue de conception.

13. Revue de conception de schémas

La validation des schémas sera réalisée par un panel de spécialistes qui poseront des questions sur vos schémas. Les questions pourront être posées à n'importe quel étudiant de l'équipe qui devra pouvoir y répondre.

Les autres équipes devront, en parallèle, évaluer la qualité des schémas produits par l'équipe. La revue des schémas de toutes les autres équipes est préalable pour obtenir les points de la validation, sans quoi une équipe se verra attribuer la note de zéro. Une liste de points d'environ une page (1,5 interligne, 12 pts) de commentaires positifs ou négatifs doit être faite pour chaque équipe en prenant bien soin d'identifier la page du schéma et la position dans les schémas.