

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et génie informatique

VALIDATION ÉQUIPE P02

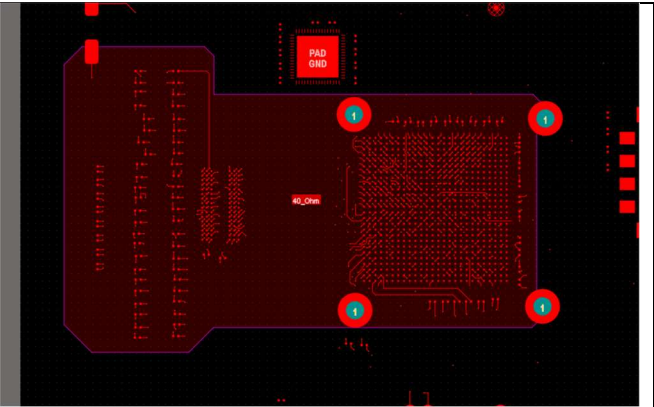
Conception avancée de systèmes électroniques
GEI789

Présenté à
Jonathan Bouchard,
Réjean Fontaine

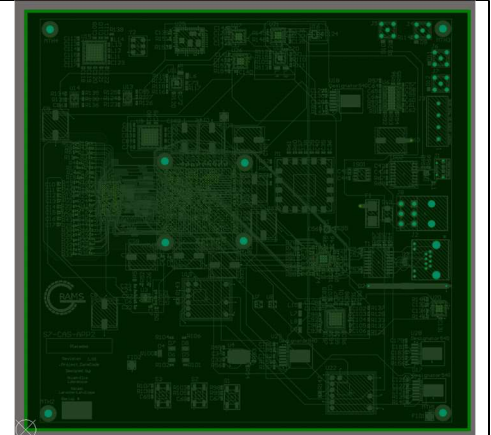
Présenté par
Frédéric BILODEAU – BILF0901
Pascal-Emmanuel-Lachance — LACP3102

30 janvier 2024

Mauvaise utilisation de room, les autres signaux comme le LVDS n'auront pas la bonne impédance sur la couche du top, celle que toutes les connections au FGPA sont obligé de faire (Room 40R plutôt que l'utilisation de Net Class).



Pas d'isolation (GND continu sur tout le PCB)

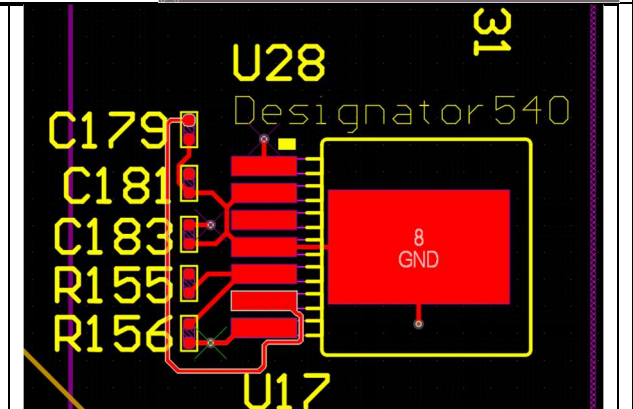
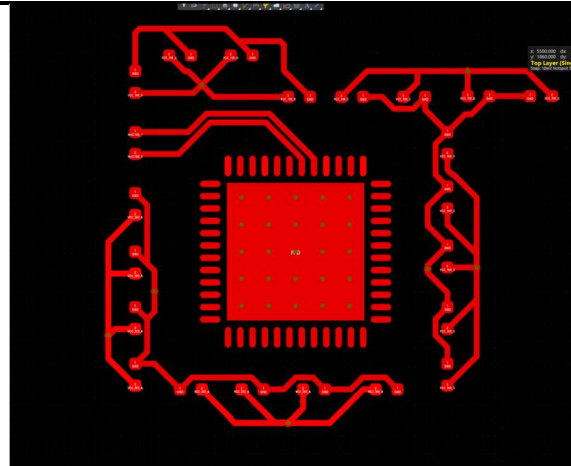


Idéalement il faut avoir un via de GND et de PWR pour chaque condensateur pour avoir le moins d'impédance possible sur ton power.

Il serait très pratique d'utiliser également le bottom pour mettre des composants, ça aiderait à démêler tout les fils.

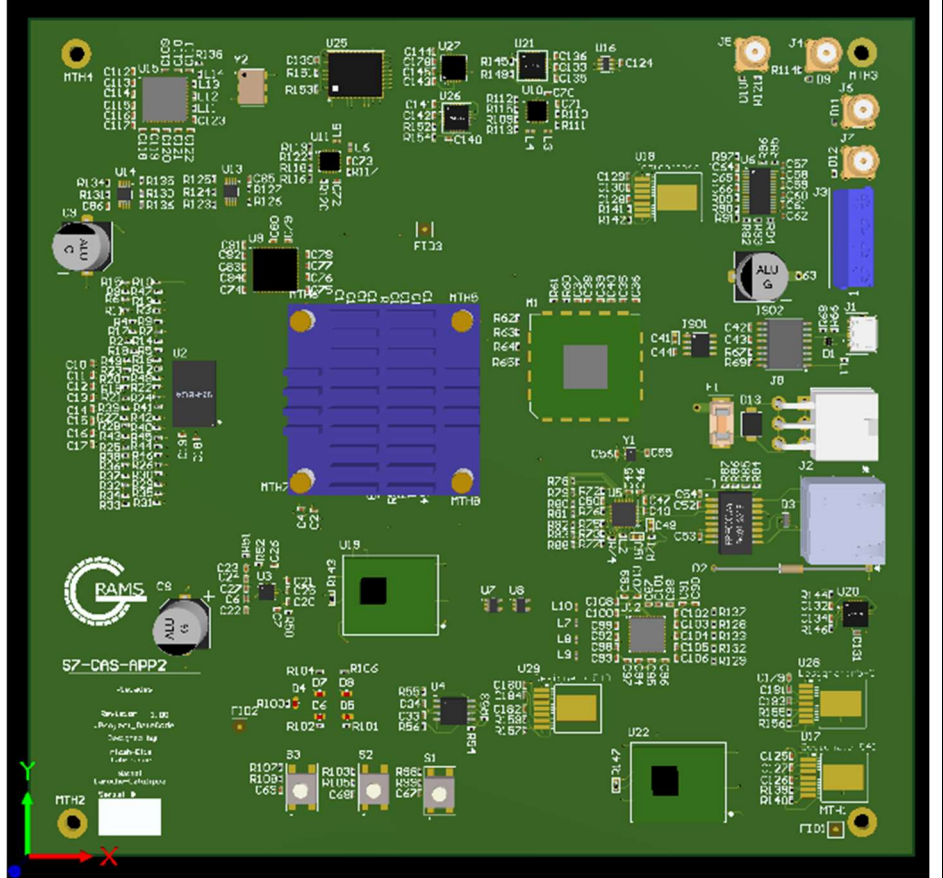
Qu'est-ce que 'Designator540'?

Ça pourrait être pertinent d'utiliser des traces plus larges pour le power, encore pour réduire ton impédance. Ça s'applique autant aux régulateurs qu'à tous les condensateurs, surtout les gros électrolytiques.



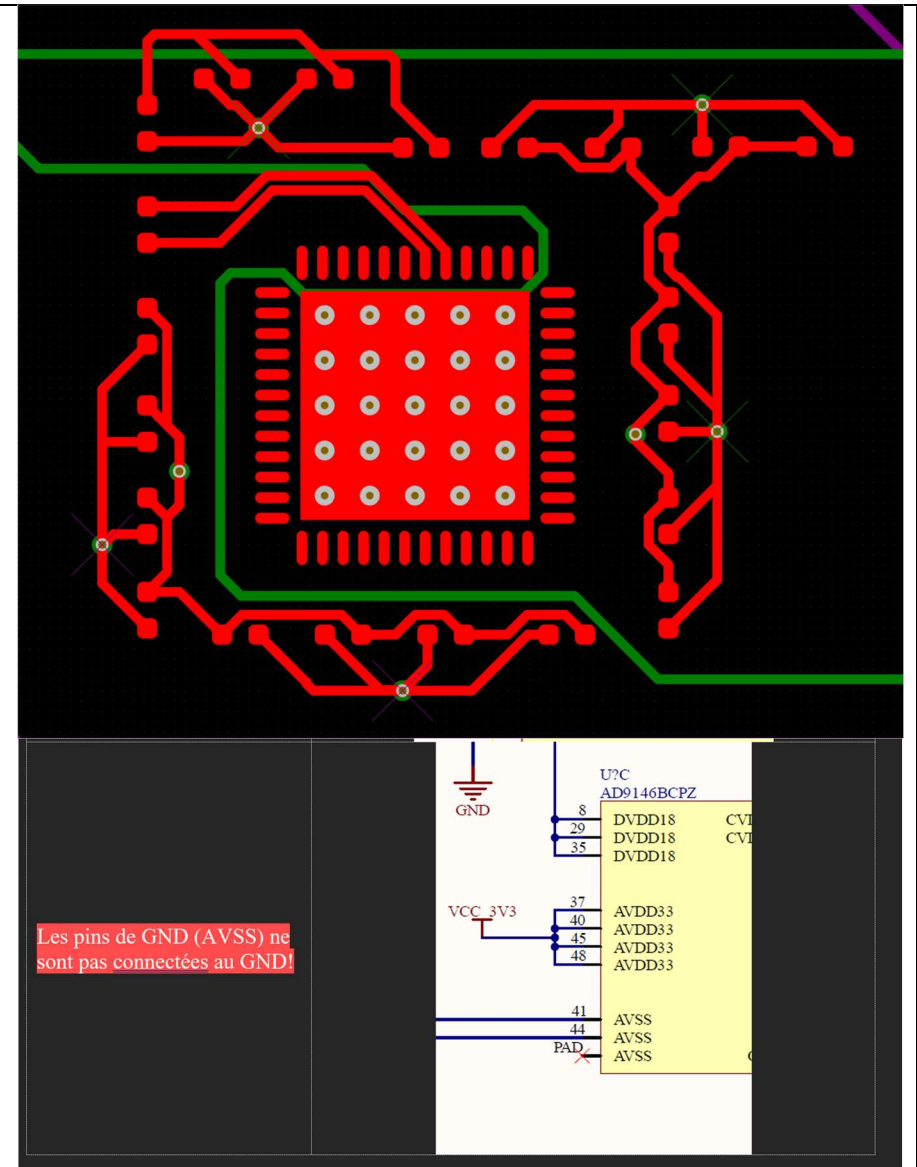
Beaucoup d'espace sur les côtés du PCB, ce qui facilite l'assemblage!

Le PCB est aussi d'une bonne taille qui rend le routage et le debugging plus facile.

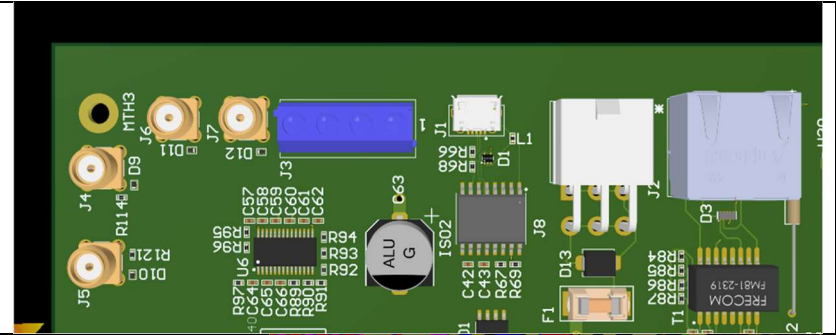


DAC sans GND

Le pad au centre n'est pas associé au NET GND.
Voir commentaire de la revue de l'APP1

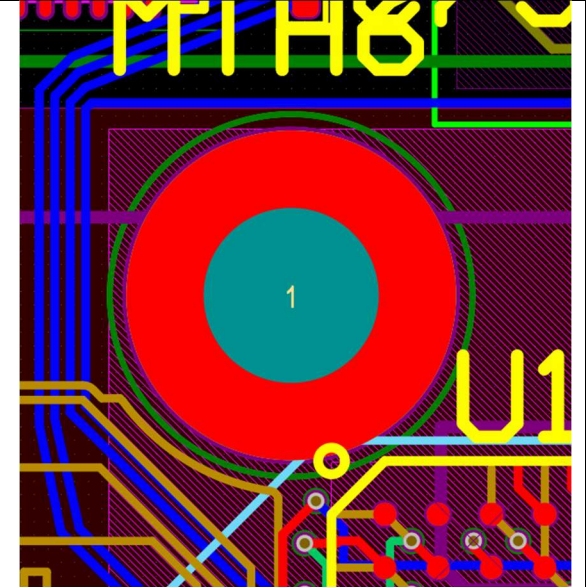


Très bien d'avoir mis tous les connecteurs d'un seul côté pour limiter l'effet d'antenne.



Le trou de montage du heatsink n'est pas connecté au GND, ce qui est important pour éviter que le heatsink agisse comme antenne.

Aussi qu'est-ce qui se passe avec les traces courbes?



Le length matching n'est pas bien réalisé pour les adresses, avec plus d'un pouce de différence entre la trace la plus longue et la trace la plus courte.

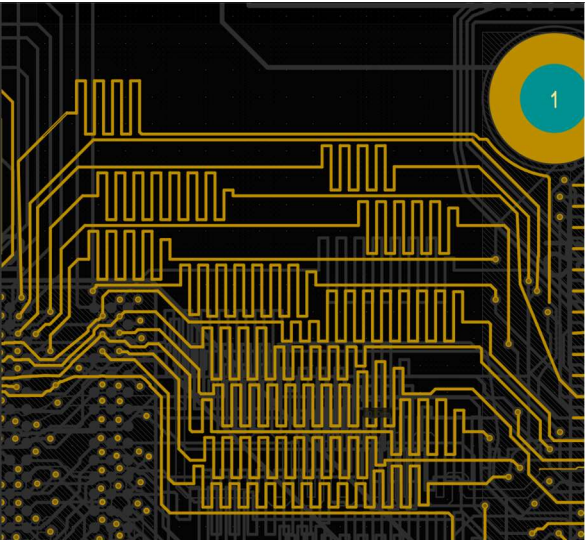
DDR3_A0..14
DDR3_BA0..7
DDR3_DQ0..15
DDR3_OTHER
DIFF_DQ
Net Class MASK
Net Class CK
Net Class VDD
Net Class VSS

14 Nets (0 Highlighted)

Name	Node...	Signal Length...	Total...	Routed...	Unrouted (Manufacturing) (mil)
DDR3_A13	3	n/a	0	4183.313	Net is Hidden
DDR3_A9	3	n/a	0	4145.954	Net is Hidden
DDR3_A4	3	n/a	0	4145.593	Net is Hidden
DDR3_A2	3	n/a	0	4090.307	Net is Hidden
DDR3_A0	3	n/a	0	4029.613	Net is Hidden
DDR3_A5	3	n/a	0	3966.642	Net is Hidden
DDR3_A11	3	n/a	0	3948.636	Net is Hidden
DDR3_A1	3	n/a	0	3898.626	Net is Hidden
DDR3_A7	3	n/a	0	3873.043	Net is Hidden
DDR3_A3	3	n/a	0	3752.277	Net is Hidden
DDR3_A8	3	n/a	0	3675.767	Net is Hidden
DDR3_A12	3	n/a	0	3654.334	Net is Hidden
DDR3_A6	3	n/a	0	3270.242	Net is Hidden
DDR3_A10	3	n/a	0	3270.186	Net is Hidden

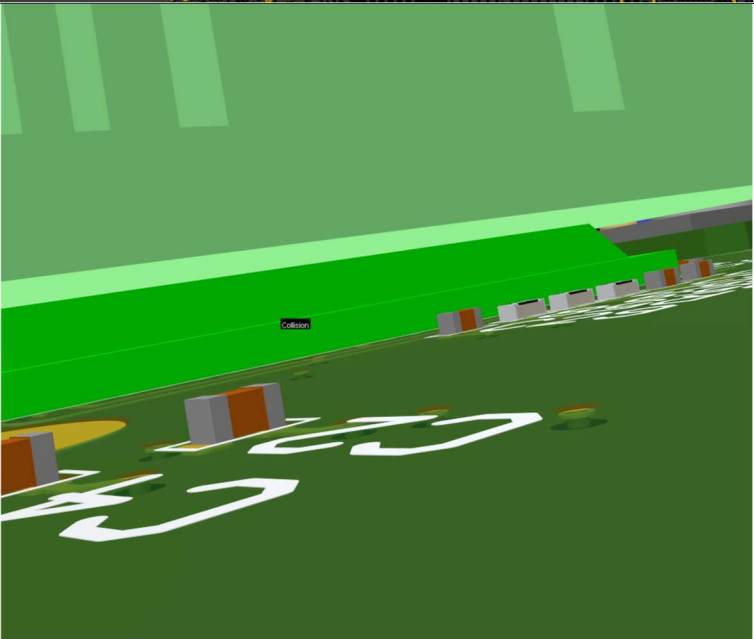
0 Primitives (0 Highlighted)

Type	Name	Component	Layer	Length (mil)
------	------	-----------	-------	--------------

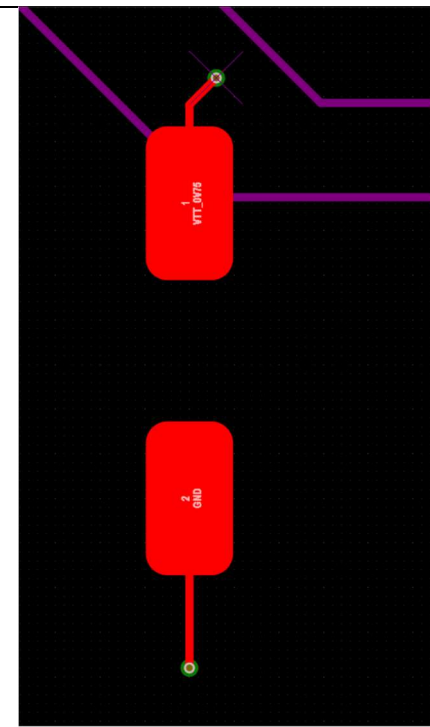


Modele 3D non aligné.

Par contre c'est très cool d'avoir le modèle 3D pour le heatsink!



Distance des vias et largeurs des traces pour les
grands condensateurs. J'aurais mis plus de vias
des deux côtés ainsi que des traces plus larges
pour réduire l'impédances



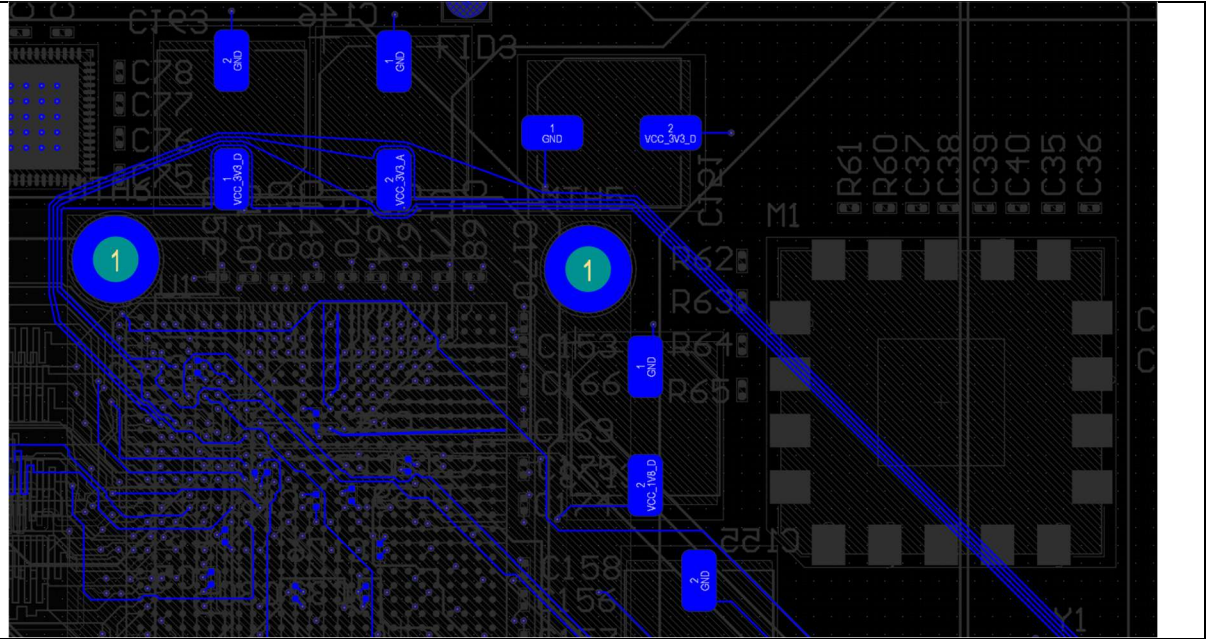
Il faut faire vraiment attention à des plans qui ne sont pas sandwichés entre des GNDs, les deux couches de PWR peuvent se référencer entre elles et causer des effets indésirables.

#	Name	Material	Type	Weight	Thickness	Dk	Df
	Top Overlay		Overlay				
	Top Solder	SM-001	Solder Mask		1mil	4	0.03
	Top Surface Fini...	Nickel, Gold	Surface Finish		0.158mil		
1	Top Layer	CF-004	Signal	1oz	1.378mil		
	Dielectric 1	PP-008	Prepreg		3.15mil	4.1	0.02
2	Int1 (GND)	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 2	Core-013	Core		4.5mil	4	0.02
3	Int2 (Sign)	CF-004	Signal	1/2oz	0.689mil		
	Dielectric 3	PP-021	Prepreg		7.3mil	4.7	0.02
4	Int3 (GND)	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 4	Core-013	Core		4.5mil	4	0.02
5	Int4 (sign)	CF-004	Signal	1/2oz	0.689mil		
	Dielectric 5	PP-021	Prepreg		7.3mil	4.7	0.02
6	Int5 (GND)	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 6	Core-013	Core		4.5mil	4	0.02
7	PWR_Plane_1	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 7	PP-021	Prepreg		7.3mil	4.7	0.02
8	PWR_Plane_2	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 8	Core-013	Core		4.5mil	4	0.02
9	Int7 (GND)	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 9	PP-021	Prepreg		7.3mil	4.7	0.02
10	Int9 (sign)	CF-004	Signal	1/2oz	0.689mil		
	Dielectric 10	Core-013	Core		4.5mil	4	0.02
11	Int10 (GND)	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 11	PP-021	Prepreg		7.3mil	4.7	0.02
12	Int11 (Sign)	CF-004	Signal	1/2oz	0.689mil		
	Dielectric 12	Core-013	Core		4.5mil	4	0.02
13	Int12 (GND)	CF-004	Plane	1/2oz	0.689mil		
	Dielectric 13	PP-008	Prepreg		3.15mil	4.1	0.02
14	Bottom Layer	CF-004	Signal	1oz	1.378mil		
	Surface Surface...	Nickel, Gold	Surface Finish		0.158mil		
	Bottom Solder	SM-001	Solder Mask		1mil	4	0.03
	Bottom Overlay		Overlay				

Pas de via pour connecter CLK- entre Layer 3 et Layer 10!
Idéalement, lorsque tu as des changements de signaux, tu devrais aussi essayer de placer un via de GND proche afin de fournir un chemin pour le retour de courant.
Tu aurais pu router cette trace à partir de la layer 10 dès le début pour éviter le changement de layer.

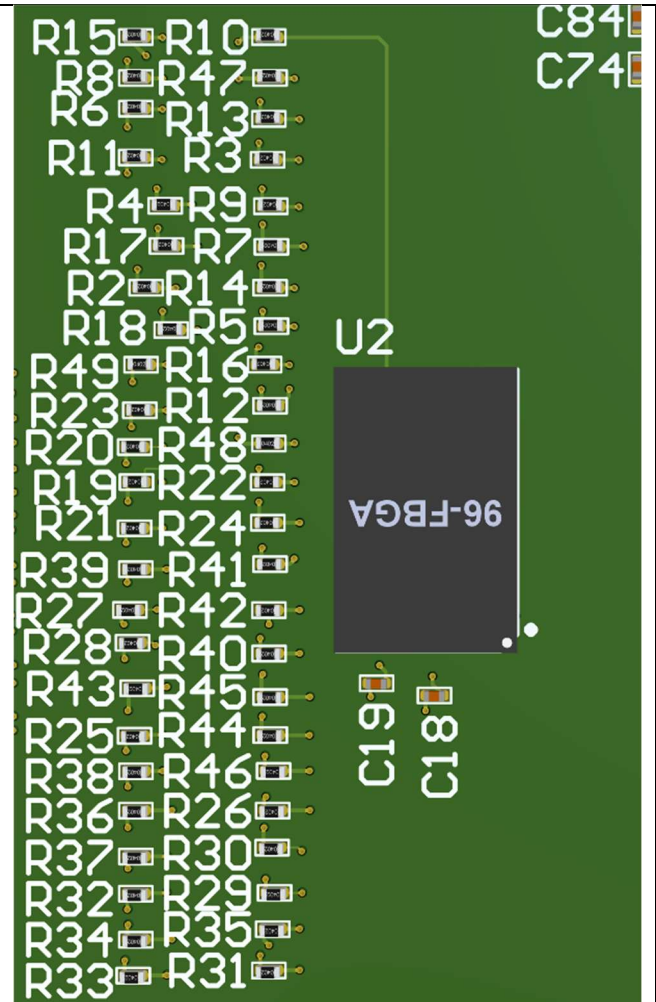
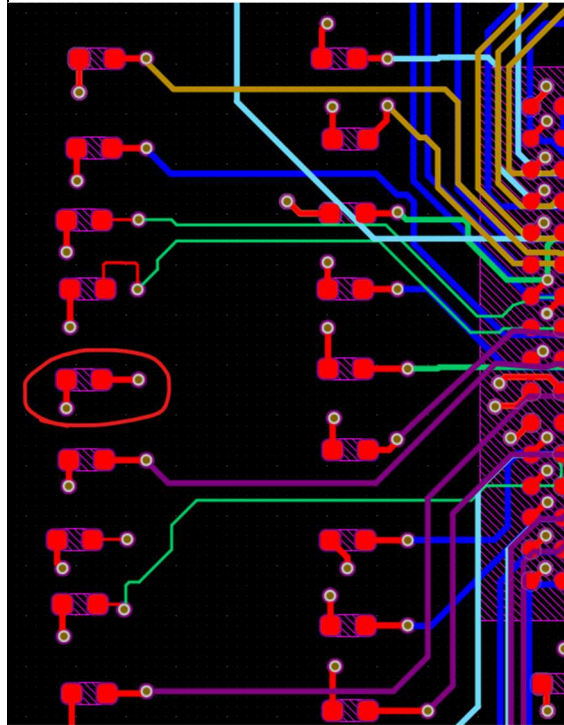


Il faudrait essayer de respecter la règle des « 3L » pour l'espacement entre des traces communiquant à haute vitesse.
Aussi encore qu'est-ce qui se passe autour des condensateurs ici??



Manque de découplage sur la RAM et ses terminaisons.

Aussi la terminaison de RAS n'est pas connectée.



Gros planes de puissances qui aident à baisser l'impédance et qui relient bien les différentes sections avec des vias.

