

Entregable 1

*Minimización de funciones y simulación con
ISE*

*Rafael Gómez Guillén
1º Grado Informática
Universidad de La Laguna
21/3/2022*

Índice

1. Introducción y objetivos 1
2. Tablas de verdad 1
3. Mapas de Karnaugh 2
4. Código VHDL 2
5. Test bench 3
6. Cronograma de simulación 4

1.- Introducción y objetivos

En esta práctica se va a proceder a la simplificación de funciones booleanas empleando los mapas de Karnaugh. A continuación, se muestra el código VHDL de dichas funciones lógicas simplificadas, el test-bench y la simulación.

Las funciones lógicas asignadas son las siguientes:

Alumno	F1	F2
86 Rafael Gómez Guillén	9417	05FD

2.- Tablas de verdad

Las tablas de verdad de las funciones son:

	abcd	f1	f2
0	0000	1	1
1	0001	1	0
2	0010	1	1
3	0011	0	1
4	0100	1	1
5	0101	0	1
6	0110	0	1
7	0111	0	1
8	1000	0	1
9	1001	0	0
10	1010	1	1
11	1011	0	0
12	1100	1	0
13	1101	0	0
14	1110	0	0
15	1111	1	0

3.- Mapas de Karnaugh

Los mapas de Karnaugh de las funciones son:

$$F1 = \overline{A} \overline{B} \overline{C} + \overline{B} C \overline{D} + B \overline{C} \overline{D} + ABCD$$

- Verde: $B \overline{C} \overline{D}$
- Rojo: $\overline{A} \overline{B} \overline{C}$
- Azul: $\overline{B} C \overline{D}$
- Naranja: $ABCD$

AB/CD	00	01	11	10
00	1	1	0	1
01	1	0	0	0
11	1	0	1	0
10	0	0	0	1

$$F2 = \overline{B} \overline{D} + \overline{A} B + \overline{A} C$$

- Verde: $\overline{B} \overline{D}$
- Azul: $\overline{A} C$
- Rojo: $\overline{A} B$

AB/CD	00	01	11	10
00	1	0	1	1
01	1	1	1	1
11	0	0	0	0
10	1	0	0	1

4.- Código VHDL

A continuación, se muestra el código VHDL:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity funciones is
    Port ( a : in  STD_LOGIC;
```

```

        b : in  STD_LOGIC;
        c : in  STD_LOGIC;
        d : in  STD_LOGIC;
        f1 : out STD_LOGIC;
        f2 : out STD_LOGIC);
end funciones;

architecture Behavioral of funciones is

begin
    f1 <= (a and b and c and d) or (not a and not b and
not c) or (not b and c and not d) or (b and not c and not
d);
    f2 <= (not b and not d) or (not a and b) or (not a and
c);

end Behavioral;

```

5.- Test bench

A continuación, se muestra el código VHDL del test bench:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;
USE ieee.numeric_std.ALL;

-- Uncomment the following library declaration if using
-- arithmetic functions with Signed or Unsigned values
--USE ieee.numeric_std.ALL;

ENTITY funciones_tb IS
END funciones_tb;

ARCHITECTURE behavior OF funciones_tb IS

    -- Component Declaration for the Unit Under Test (UUT)

    COMPONENT funciones
    PORT (
        a : IN  std_logic;
        b : IN  std_logic;
        c : IN  std_logic;
        d : IN  std_logic;
        f1 : OUT std_logic;
        f2 : OUT std_logic
    );

```

```

END COMPONENT;

--Inputs
signal a : std_logic := '0';
signal b : std_logic := '0';
signal c : std_logic := '0';
signal d : std_logic := '0';

--Outputs
signal f1 : std_logic;
signal f2 : std_logic;
-- No clocks detected in port list. Replace <clock>
below with
-- appropriate port name

BEGIN

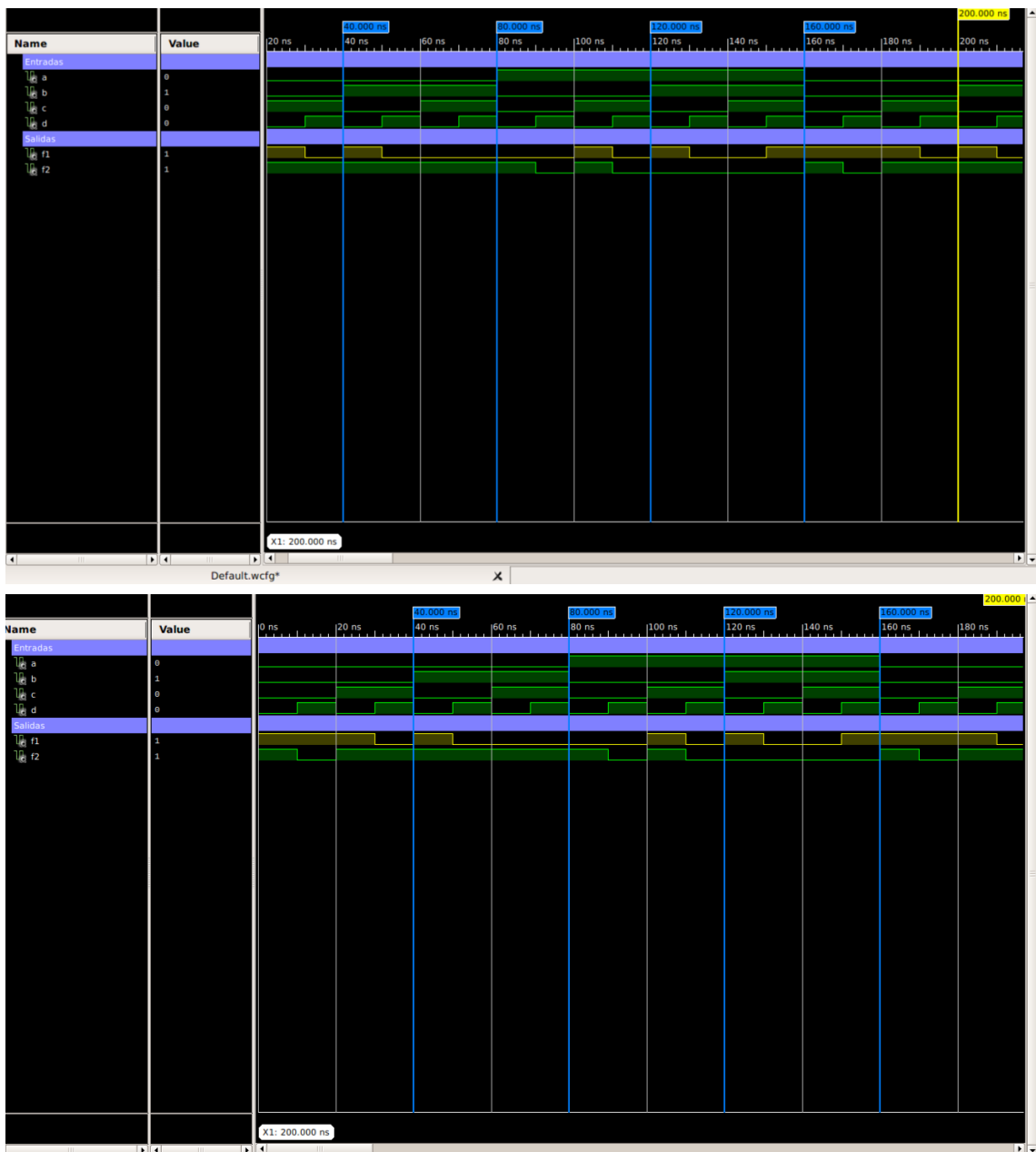
-- Instantiate the Unit Under Test (UUT)
 uut: funciones PORT MAP (
    a => a,
    b => b,
    c => c,
    d => d,
    f1 => f1,
    f2 => f2
  );

  d <= not d after 10 ns;
  c <= not c after 20 ns;
  b <= not b after 40 ns;
  a <= not a after 80 ns;
END;

```

6.- Cronograma de simulación

A continuación, se muestra el cronograma de simulación de las funciones implementadas:



Se aprecia que los resultados son consistentes con los que aparecen en la Tabla de verdad del apartado 2.