



NOME		NÚMERO	
------	--	--------	--

1. (1,5 + 1,5 valores) Considere o seguinte programa, que usa rotinas de interrupção para alterar o valor de um display hexadecimal.

PLACE 1000H  
contador: WORD 6  
pilha: TABLE 100H  
fim\_pilha:

--

PLACE 0

--

MOV R2, contador

--

fim: JMP fim

rot1:

--

MOV R1, [R2]

SUB R1, 2 ; decrementa

MOV [R2], R1 ; atualiza contador

--

rot3:

--

MOV R1, [R2]

ADD R1, 1 ; incrementa

MOV [R2], R1 ; atualiza contador

--

- a) Complete a zona de dados, o programa principal e as rotinas de interrupção (do lado direito) com o necessário para as interrupções 1 e 3 funcionarem corretamente;
- b) Suponha que os pinos das interrupções 1 e 3 (sensíveis ao flanco ascendente) estão ligadas ao mesmo relógio, cuja frequência é de 1 Hertz. Assumindo que o primeiro pedido de interrupção é feito no instante 0 (quando o programa arranca), indique de seguida a sequência dos 8 primeiros valores que as rotinas de interrupção escrevem no contador, bem como o número da interrupção em que cada valor é escrito e o tempo em segundos (desde que o programa arranca) em que aproximadamente essa escrita ocorre.

Tempo							
Interrupção							
Valor							

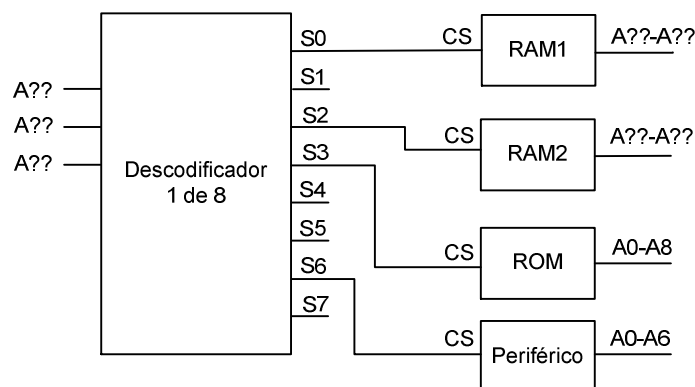
2. (1,5 + 1,5 valores) Uma transmissão de dados é feita por um barramento série assíncrono, com bit de paridade, 2 stop bits e um ritmo de transmissão de 10.000 bits/seg.

- a) Indique qual o tempo mínimo necessário para enviar 10.000 bytes de dados. Justifique;

--

- b) Suponha agora que um programa demora  $T_1$  segundos a executar, gastando 60% deste tempo em processamento e no fim transmite os 10.000 bytes da alínea anterior, usando para tal o tempo mínimo possível, o que corresponde a 40% do tempo de execução do programa. Se o ritmo de transmissão de dados duplicar (dos 10.000 bits/seg para 20.000 bits/seg), mantendo-se todas as restantes condições, o tempo total de execução do programa passou a ser  $T_2$ . Qual a melhoria  $M=T_1/T_2$  verificada no desempenho? Justifique.

3. (3 valores) Considere o seguinte sistema de descodificação de endereços utilizado por um processador de bus de dados de 8 bits e bus de endereços de 16 bits. Pretende-se que cada saída do descodificador fique ativa em 1 K endereços consecutivos (dimensão da fatia de endereços de cada saída). Preencha a tabela com os bits de endereço a que o descodificador e cada dispositivo devem ligar, a capacidade (decimal) e os endereços de início e de fim (em hexadecimal) em que cada dispositivo está ativo (não considerando endereços de acesso repetido - espelhos).



Dispositivo	Bits de endereço	Capacidade (bytes) (decimal)	Início (hexadecimal)	Fim (hexadecimal)
Descodificador				
RAM1				01FFH
RAM2		1 K		
ROM	A0-A8			
Periférico	A0-A6			

4. (2 valores) Considere a seguinte tabela de verdade, relativa a uma função de quatro entradas e uma saída. Simplifique a respetiva função, preenchendo a tabela de Karnaugh e escrevendo a expressão algébrica simplificada.

A	B	C	D	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

		CD			
		00	01	11	10
AB	00				
	01				
	11				
	10				

Z =

5. (1 + 2 valores) Suponha que a *cache* do PEPE (processador com 16 bits de endereço, endereçamento de byte) é de mapeamento direto, com uma capacidade de 1024 palavras e blocos de 8 palavras.

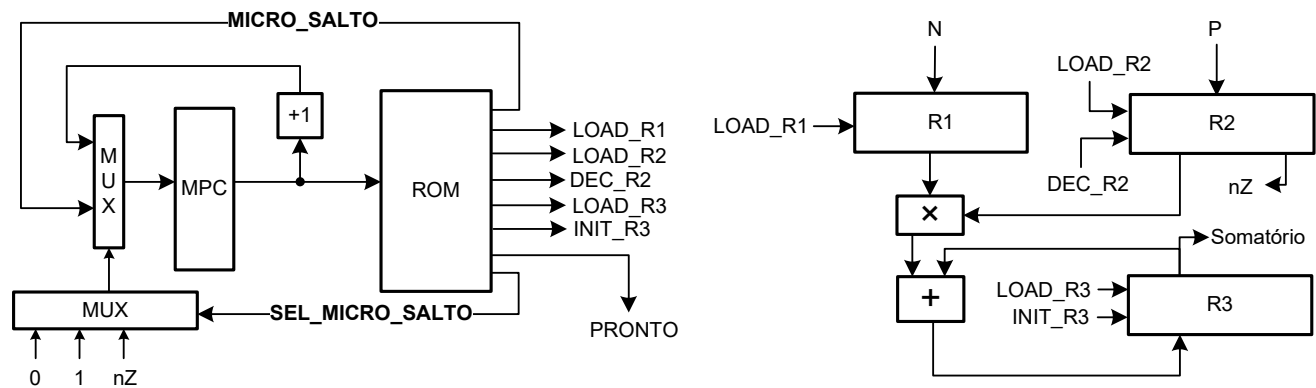
- a) Quantos bits são precisos para indicar qual o bloco em que cada palavra se situa (campo índice)?

- b) Suponha que o tempo de acesso em caso de *hit* e de *miss* é de 5 ns e 40 ns, respetivamente. Se o tempo médio de acesso for de 8,5 ns, qual é a *hit rate* média? Justifique.

6. (2 + 1 valores) Pretende-se construir um circuito microprogramado que implemente o somatório

$$\sum_{i=0}^{P-1} N * (P - i)$$

em que  $N, P > 1$ . O diagrama seguinte descreve o circuito. Os registos R1 e R2 recebem N e P, respetivamente. O registo R3 vai acumulando o resultado das somas sucessivas. O sinal DEC\_R2 decrementa R2 de uma unidade. O sinal INIT\_R3 inicializa R3 a zero. O sinal nZ está ativo (vale 1) quando R2 é diferente de zero e o sinal PRONTO é ativado quando o resultado está pronto.



- a) Preencha a tabela seguinte com os valores necessários para implementar a funcionalidade descrita. Indique apenas os sinais relevantes em cada ciclo de relógio e deixe em branco as restantes células.

Endereço na ROM	Microinstruções	PRONTO	LOAD_R1	LOAD_R2	DEC_R2	INIT_R3	LOAD_R3	SEL_MICRO_SALTO	MICRO_SALTO
0	R1 ← N R2 ← P R3 ← 0								
1	R3 ← R3 + R1 * R2								
2	R2 ← R2 - 1								
3	(R2 != 0): MPC ← 1								
4	PRONTO ← 1 MPC ← 4								

- b) Quantos bits de largura deve ter no mínimo a ROM de microprograma?

7. (1,5 + 1,5 valores) Pretende executar um programa que necessita de 12 Mbytes de memória. O computador de que dispõe tem apenas 512 KBytes de memória física, mas o seu processador suporta memória virtual com páginas virtuais de 4 Kbytes (com endereçamento de byte).

a) Preencha a tabela seguinte com os valores que decorrem desta informação.

N.º mínimo de bits do espaço virtual	
N.º de páginas físicas existentes	

- b) Suponha que a TLB é totalmente associativa de 8 entradas e a memória física disponível para o programa está localizada a partir do endereço 30000H. Após reset, o processador acede aos seguintes endereços virtuais:

203B8H  
4B35AH  
3A1A0H  
1E5BEH  
4BFFEH  
208FCH

Indique, na tabela a seguir, um possível estado do conteúdo da TLB imediatamente após estes acessos. Arbitre o que for necessário (não há solução única) e preencha apenas o que for relevante.

Posição da TLB	Bit validade	N.º página virtual (hexadecimal)	N.º página física (hexadecimal)
0			
1			
2			
3			
4			
5			
6			
7			