

# Prova 1

Iniciado: 9 abr em 8:51

## Instruções do teste

Primeira prova.

### Pergunta 1

1 pts

Em um pipeline escalar RISC, antecipar a decisão de desvio é bom devido a seguinte situação (marque a resposta certa):

- ☐ Haverá uma menor quantidade de instruções finalizadas.
- ☐ Haverá uma maior quantidade de instruções descartadas.
- ☒ Haverá uma menor quantidade de instruções descartadas.
- ☐ Haverá uma maior quantidade de instruções finalizadas.

### Pergunta 2

1,5 pts

Quantos ciclos são gastos na execução das instruções abaixo (sem adiantamento, desvio calculado no 3º estágio, escrita e leitura no banco de registradores ocorre no mesmo ciclo). Marque a alternativa correta:

1. lw \$t1, 0(\$t0)
2. sw \$t0, 0(\$t1)
3. add \$t1, \$t0, \$t1
4. sw \$t2, 0(\$t1)
5. beq \$t1, \$t2, Exit

- ☐ Total 15 ciclos: 9 ciclos + 6 bolhas
- ☐ Total 14 ciclos: 9 ciclos + 5 bolhas
- ☐ Total 12 ciclos: 9 ciclos + 3 bolhas

- ☒ Total 13 ciclos: 9 ciclos + 4 bolhas

**Pergunta 3****1 pts**

Para uma memória de capacidade fixa, aumentar o tamanho da linha está associado inicialmente com a... (marque a alternativa correta):

- ☐ menor a exploração da localidade espacial
- ☐ menor a exploração da localidade temporal
- ☐ maior a exploração da localidade temporal
- ☒ maior a exploração da localidade espacial

**Pergunta 4****1 pts**

Um bom projeto de memória cache deve explorar princípios de localidade para alcançar um bom desempenho. Durante o projeto da hierarquia e organização de memória, vários conceitos e argumentos foram postos e discutidos. Marque a alternativa/argumentação correta:

- ☐ Acessos a espaços contíguos em memória com cópia na cache, garantem a localidade temporal.
- ☒ Acessos a espaços contíguos em memória com cópia na cache, garantem a localidade espacial.
- ☐ Acessos a espaços não contíguos em memória com cópia na cache, garantem a localidade espacial.
- ☐ Acessos a espaços não contíguos em memória com cópia na cache, garantem localidade temporal.

**Pergunta 5****1 pts**

Supondo um processador com CPI ideal igual a 1, que executa um fluxo de instruções composto de 60% aritm/lógica, 20% load/store, 20% desvios, sendo que há 10% de misses na busca de instruções, com penalidade de 100 ciclos. Qual é o CPI final? Marque a resposta correta.

- ☐ 3
- ☐ 5
- ☐ 10
- ☐ 2
- ☒ 11

**Pergunta 6****1,5 pts**

Considerando que:

$T_m$  = tempo de acesso à memória primária

$T_s$  = tempo de acesso à memória secundária

$T_{me}$  = tempo efetivo de acesso à memória primária, considerando efeito das falhas de páginas

$a$  = acerto

$f$  = falha

$T_{me} = a T_m + f T_s$

Calcule o  $T_{me}$  para  $T_m = 10\text{ns}$  e  $T_s = 10\text{ms}$  e  $a = 0,6$

Marque a resposta correta:

- ☐ 6ms
- ☒ 4ms
- ☐ 6ns
- ☐ 4ns

**Pergunta 7****1 pts**

Em se tratando de memória virtual, o custo de uma falha de página é alto, por este motivo o tipo de mapeamento utilizado é o completamente associativo (marque a opção correta):

- ☐ Há vários comparadores, um para cada via, capazes de identificar a linha do mapeamento.
- ☐ A TLB é responsável pelo mapeamento das páginas nas caches de dados.
- ☒ A tabela de páginas é responsável pelos mapeamentos ao invés de comparadores em memória.
- ☐ A TLB é responsável pelo mapeamento completamente associativo de todo o espaço de memória virtual.

**Pergunta 8****1 pts**

Em relação a uma arquitetura com TLB e MMTT (tabela de páginas), marque a alternativa que corresponda a uma sequência de ocorrências verdadeira:

- ☒ Hit na TLB, tradução de endereço para real, miss na cache, busca do dado na memória principal.
- ☐ Miss na TLB, hit na tabela de páginas, tradução de endereço para real, busca do dado na memória secundária.
- ☐ Miss na TLB, miss na tabela de páginas, hit na cache, busca do dado na memória cache.
- ☐ Hit na TLB, hit na tabela de páginas, tradução de endereço para real, hit na cache, busca do dado na memória cache.
- ☐ Miss na TLB, hit na tabela de páginas, tradução de endereço para real, busca do dado na memória principal.

**Pergunta 9****1,5 pts**

Uma cache não possui somente bits de dados. Alguns bits associados ao mapeamento de endereços com a memória principal estão presentes na cache. Há também alguns campos de bits no endereço com funções específicas neste mapeamento. Para uma cache mapeamento conjunto associativo de 2 vias, de 32kB, endereços de 64 bits, blocos de 2 palavras, palavras de 64 bits, marque a resposta correta conforme campos de bits presentes no endereço e na cache:

- ☒ 10 bits de índice, 1 bit de offset de bloco, 3 bits de offset de byte, 50 bits de tag, cache de 358kb.
- ☐ 10 bits de índice, 3 bits de offset de bloco, 1 bit de offset de byte, 50 bits de tag, cache de 358kb.
- ☐ 10 bits de índice, 1 bit de offset de bloco, 3 bits de offset de byte, 50 bits de tag, cache de 179kb.
- ☐ 11 bits de índice, 1 bit de offset de bloco, 3 bits de offset de byte, 50 bits de tag, cache de 179kb.
- ☐ 11 bits de índice, 1 bit de offset de bloco, 3 bits de offset de byte, 51 bits de tag, cache de 179kb.

### Pergunta 10

1,5 pts

Uma cache não possui somente bits de dados. Alguns bits associados ao mapeamento de endereços com a memória principal estão presentes na cache. Há também alguns campos de bits no endereço com funções específicas neste mapeamento. Para uma cache de 32kB, endereços de 32 bits, palavras de 32 bits, marque a resposta correta conforme campos de bits presentes no endereço e na cache:

- ☐ 12 bits de índice, 2 bits de offset de byte, 1 bits de offset de bloco, 17 bits de tag, cache de 400kB.
- ☐ 13 bits de índice, 0 bits de offset de byte, 2 bits de offset de bloco, 17 bits de tag, cache de 50kB.
- ☐ 12 bits de índice, 1 bit de offset de byte, 0 bits de offset de bloco, 18 bits de tag, cache de 50kB.
- ☐ 13 bits de índice, 2 bits de offset de byte, 1 bit de offset de bloco, 16 bits de tag, cache de 400kb.

- ☒ 13 bits de índice, 2 bits de offset de byte, 0 bits de offset de bloco, 17 bits de tag, cache de 50kB.

**Pergunta 11****1,5 pts**

A correta execução de um código em uma arquitetura com pipeline escalar deve levar em consideração as dependências entre as instruções. Uma estratégia para resolver problemas de dependências verdadeiras é o adiantamento de dados (*forwarding*). Com relação ao processador MIPS de 5 estágios em sua versão didática (livro do Patterson e do Hennessy), na ausência de *forwarding*, algumas bolhas são criadas. Portanto, considerando dependência verdadeira entre as instruções das opções de resposta e ausência de *forwarding* no pipeline escalar do MIPS, marque a alternativa correta:

- ☐ Na execução de ADD R1, R2, R3 (1ª) e SUB R4, R1, R5 (2ª), há 3 bolhas, porque escrita e leitura ocorrem no mesmo ciclo.
- ☐ Na execução de ADD R1, R2, R3 (1ª) e SUB R4, R1, R5 (2ª), há 2 bolhas, porque escrita e leitura ocorrem no mesmo ciclo.
- ☐ Na execução de ADD R1, R2, R3 (1ª) e SUB R4, R1, R5 (2ª), há 3 bolhas, porque a 2ª lê no ciclo seguinte a escrita.
- ☐ Na execução de ADD R1, R2, R3 (1ª) e SUB R4, R1, R5 (2ª), há 1 bolha, porque escrita e leitura ocorrem no mesmo ciclo.
- ☒ Na execução de ADD R1, R2, R3 (1ª) e SUB R4, R1, R5 (2ª), há 2 bolhas, porque a 2ª lê no ciclo seguinte a escrita.

**Pergunta 12****1 pts**

Em um pipeline escalar é comum a ocorrência de dependência de dados, que pode ser descrita da seguinte forma (marque a resposta certa):

- ☐ Há instruções em execução paralela com dependência da memória de dados.
- ☐ Há instruções subsequentes que dependem de dados guardados na memória de instruções.

- ☐ Há instruções em execução paralela com dependência mútua.
- ☒ Há instruções subsequentes que dependem de resultados de instruções anteriores.

**Pergunta 13****1 pts**

Os desvios condicionais podem prejudicar o desempenho do processador devido ao seguinte problema (marque a resposta certa):

- ☐ Instruções com dependência de dados são descartadas no início do pipeline gerando ciclos de ociosidade.
- ☐ Instruções com dependência de dados da memória são descartadas ao final do pipeline, gerando ciclos de ociosidade.
- ☐ Instruções com dependência de dados para instruções descartadas são finalizadas com o valor errado.
- ☒ Instruções com dependência de dados para instruções descartadas são finalizadas após parada do pipeline.

**Pergunta 14****1 pts**

O adiantamento de dados possibilita melhorar o desempenho de uma arquitetura de pipeline escalar, porém, não elimina completamente os ciclos de bolha na seguinte situação (marque a resposta certa):

- ☐ 1ª LOAD R1, 0(R2), 2ª SUB R1, R2, R0.
- ☐ 1ª LOAD R1, 0(R2), 2ª STORE R1, 0(R2).
- ☒ 1ª LOAD R1, 0(R2), 2ª STORE R2, 0(R1).
- ☐ 1ª LOAD R1, 0(R2), 2ª SUBI R1, R2, 0.

**Pergunta 15****1 pts**

O adiamento de dados no MIPS estudado, é possível entre os seguintes estágios (marque a resposta certa):

- ☐ Do 2º para o 1º estágio, sem geração de bolha.
- ☐ Do 4º para o 2º estágio, com geração de bolha.
- ☒ Do 4º para o 3º estágio, com geração de bolha.
- ☐ Do 3º para o 2º estágio, sem geração de bolha.

**Pergunta 16****1 pts**

Em um pipeline escalar, o CPI costuma ser (marque a resposta certa):

- ☐ Constante em qualquer trecho de execução de um código.
- ☐ Baixo quando há poucas dependências verdadeiras.
- ☐ Alto quando há muitas dependências falsas.
- ☒ Maior do que 1 em condições ideais.

**Pergunta 17****1,5 pts**

Quanto ciclos são gastos na execução das instruções abaixo (com adiantamento, desvio calculado no 3º estágio, escrita e leitura no banco de registradores ocorre no mesmo ciclo). Marque a alternativa correta:

1. lw \$t1, 0(\$t0)
2. sw \$t0, 0(\$t1)
3. add \$t1, \$t0, \$t1
4. sw \$t2, 0(\$t1)
5. beq \$t1, \$t2, Exit



☒ Total 11 ciclos: 9 ciclos + 2 bolhas

☐ Total 12 ciclos: 9 ciclos + 3 bolhas

☐ Total 13 ciclos: 9 ciclos + 4 bolhas

☐ Total 10 ciclos: 9 ciclos + 1 bolha

Não salvo

Enviar teste