

PROJETO INTEGRADOR - PI

PROJETO DE CIRCUITOS COMBINACIONAIS E SEQUENCIAIS

O Projeto Integrador (PI) da disciplina de Circuitos Digitais, no semestre letivo 2018/2, consta no projeto de um circuito envolvendo lógica combinacional e sequencial.

O trabalho consiste na implementação prática (em lógica discreta ou reconfigurável) ou em ambiente de simulação (Multisim) de um sistema digital com características particulares de funcionamento.

De modo geral, cada sistema será composto por dois contadores distintos (C1 e C2) que executam contagens cíclicas específicas. As saídas desses contadores serão comparadas e, conforme o resultado da comparação de magnitude, definem-se as 3 ações distintas a serem desencadeadas pelo circuito. São elas:

- Se o valor de C1 for maior do que o de C2, os displays Dezena e Unidade deverão indicar o resultado hexadecimal da subtração $C1 - C2$;
- Se o valor de C1 for menor do que o de C2, os displays dezena e unidade deverão indicar o resultado hexadecimal da adição $C1 + C2$;
- Se o valor de C1 for igual ao de C2, o display Memória Igual deverá registrar esse valor até a próxima ocorrência de igualdade; e os displays Dezena e Unidade deverão indicar $(00)_{16}$. Além disso, a cada ocorrência de igualdade será provocada uma alteração na configuração da contagem de C2, como descrito adiante.

A Figura 1 mostra um diagrama em blocos genérico do sistema proposto.

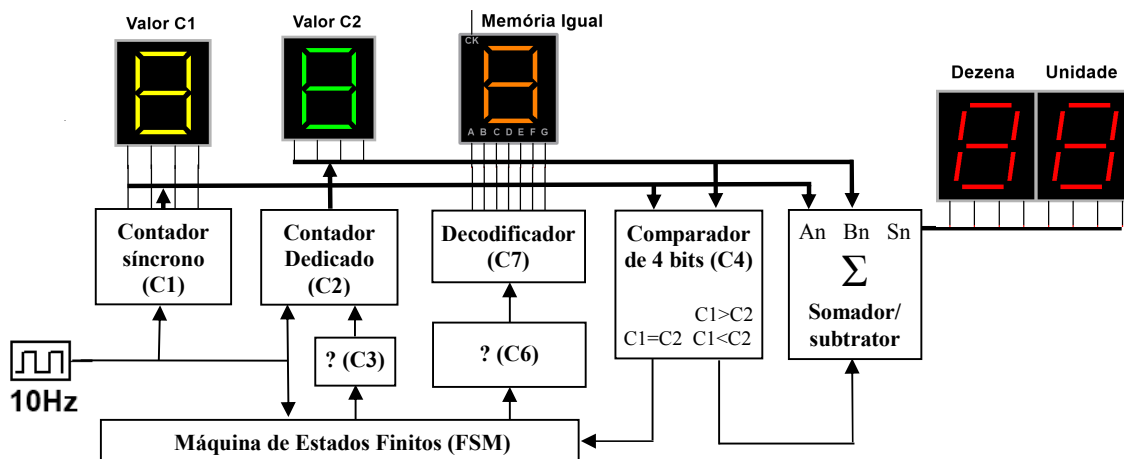


Figura 1 – Diagrama em blocos do sistema digital
Fonte: Elaboração própria

Quando da primeira ocorrência de igualdade entre os valores de C1 e C2, o contador C2 deverá ser carregado com o estado $(n)_{16}$ (indicado de forma particular, para cada projeto, no Quadro 1); na segunda ocorrência de igualdade, o contador C2 deverá ser carregado com o estado $(0)_{16}$; e na terceira ocorrência de igualdade, o sentido de contagem de C2 deverá ser alterado (de *up* para *down* ou vice-versa). Para as próximas ocorrências de igualdades, esse ciclo de 3 programações se repete.

Observe que os displays Valor C1, Valor C2, Dezena e Unidade já são decodificados, conforme disponibilizado no simulador Multisim, ao passo que o display Memória Igual é um 7-segmentos catodo comum.

Os subsistemas C1, C3, C4, C7 e FSM deverão ser agregados ao projeto na forma de subcircuitos; C2 e C5 deverão constar diretamente no projeto principal; e a representação de C6 fica a critério dos projetistas.

Cada circuito pode ser implementado por uma dentre três formas: projeto sistemático documentado (PSD); projeto a partir de ferramenta de simulação (*Logic Converter - LC*); ou uso de CI dedicado (CID). A atribuição da forma de desenvolvimento encontra-se indicada na sequência deste roteiro e as fichas de dados técnicos (*datasheets*) necessárias, relativas aos CIDs, são fornecidas em anexo.

Para o desenvolvimento da atividade, a turma será dividida em grupos de até 3 alunos, definidos por interesse dos mesmos, aos quais serão atribuídos presencialmente os requisitos específicos de desenvolvimento do circuito, conforme indicado no Quadro 1.

Grupos de Projetos	Especificações e abordagens para implementação dos circuitos						
	C 1 Contador	C 2 Contador	C 3 ?	C 4 Comparador	C5 Som./Subtr.	C 6 ?	C7 Decodificador
1	PSD 6-2-A-1-E-B-4-7-6	CID 74193 Up e n=3	Livre	PSD	CID 7483	Livre	LC
2	PSD D-7-3-F-2-1-A-9-D	CID 74191 Down e n=B	Livre	LC	CID 7483	Livre	PSD
3	PSD 9-4-B-2-E-5-A-3-9	CID 74193 Down e n=C	Livre	PSD	CID 7483	Livre	LC
4	PSD 1-6-C-9-E-8-F-B-1	CID 74191 Up e n=4	Livre	LC	CID 7483	Livre	PSD
5	PSD 3-D-8-1-2-5-E-4-3	CID 74193 Up e n=A	Livre	PSD	CID 7483	Livre	LC
6	PSD F-4-7-C-0-3-8-1-F	CID 74191 Down e n=E	Livre	LC	CID 7483	Livre	PSD
7	PSD 5-C-2-F-9-3-6-8-5	CID 74193 Down e n=7	Livre	PSD	CID 7483	Livre	LC
8	PSD C-8 1-A-5-F-9-D-C	CID 74193 Up e n=6	Livre	LC	CID 7483	Livre	PSD

Quadro 1 – Definição de especificações dos projetos

Fonte: Elaboração própria

Durante o desenvolvimento do projeto, recursos de síntese facilitada (*Logic Converter, Karnaugh Map Minimazer* etc.) bem como a inclusão de outros indicadores (*displays* e/ou *probes*) podem ser utilizados conforme o interesse do(s) projetista(s). Solicita-se, de todo modo, o registro dos procedimentos e resultados obtidos a cada etapa. Considere-se ainda a indicação de frequência de 10Hz para o sinal de sincronismo do sistema (*clock*), o que pode ser alterado por conveniência.

Para efeito de entrega e documentação final, cada grupo deverá encaminhar por e-mail (schenatto@utfpr.edu.br) o arquivo fonte (.ms13 ou .ms14) contendo o circuito da simulação e um relatório escrito (.doc ou .pdf) do projeto **até às 13h do dia 05/12/2018**. Este circuito será apresentado pelos grupos durante a aula do dia 05/12/2018, ocasião em que será avaliado seu funcionamento e o domínio dos integrantes dos grupos sobre os resultados, a partir de

arguição, quando cada integrante do grupo deve demonstrar domínio sobre o funcionamento geral do sistema e responder, especificamente, sobre 2 subsistemas, sendo um deles sequencial (C1; C2; C6; FSM) e outro combinacional (C3; C4; C5; C7).

No relatório escrito deve constar: o esquema elétrico do projeto principal; o desenvolvimento do projeto de C1; a descrição do funcionamento de C2; e o diagrama de estados da FSM.

A atribuição de nota relativa ao trabalho irá considerar:

- a) funcionalidade do sistema (peso 2,5);
- b) adequação/eficiência do projeto (peso 1,0);
- c) desempenho individual na apresentação e arguição (peso 3,0);
- d) organização e qualidade da documentação (arquivos ms14; e doc ou pdf) (peso 1,5);
- e) atendimento ao prazo estabelecido (peso 0,5);
- f) desempenho individual em questão apresentada na PD2 sobre o projeto (peso 1,5).

Dúvidas acerca dos objetivos, teor, forma e avaliação desta atividade serão dirimidas diretamente com o professor, quando oportuno.