



Nome: _____

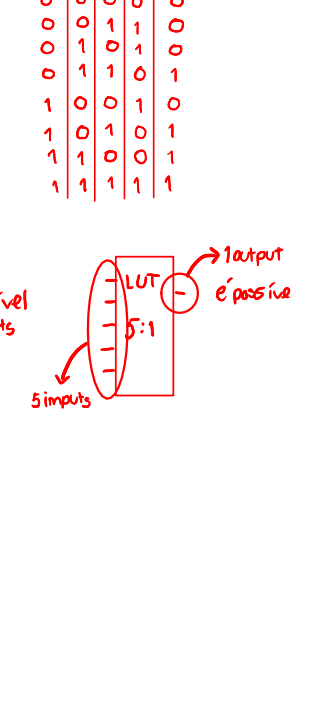
Notas Importantes!

- Verifique, para todas as questões, qual a resposta correcta e assinala com um "X" a sua escolha na tabela ao lado. Por cada resposta incorreta será descontada, à cotação global, 1/3 da cotação da respectiva pergunta.
- Pode usar até um máximo de 4 respostas duplas (por cada dupla: 2 respostas certas desconta 2/3; 1 resposta certa conta 2/3). Se usar mais de 4 duplas, serão aceites as primeiras e as restantes serão consideradas respostas erradas.
- Durante a realização do teste não é permitida a permanência junto do aluno, mesmo que desligado, de qualquer dispositivo electrónico não expressamente autorizada (nesta incluem-se calculadoras, telemóveis, smartwatches e qualquer outro dispositivo de captura de imagem e/ou comunicação). A sua deteção durante a realização do exame implica a imediata anulação do mesmo.
- Não é permitido escrever na área branca em torno da matriz de respostas.
- Cotações: Grupo I – cada 0.5 valores; Grupo II – cada 0.75 valores; Grupo III – cada 1 valor

Grupo I

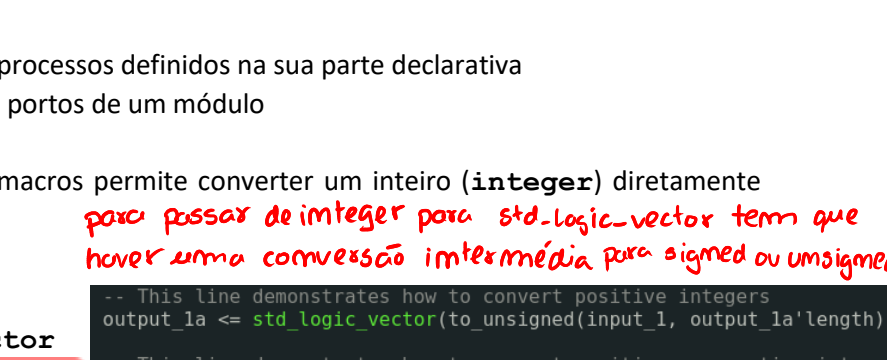
1. Qual o número mínimo de LUTs 3:1 necessárias para implementar um somador completo de 1 bit (full adder)?

- a) 1 b) 2 c) 3 d) 4



2. Qualquer função lógica implementável numa LUT 4:1 pode também ser implementada:

- a) em duas LUTs 2:1
b) em duas LUTs 3:1
c) numa LUT 5:1
d) todas as restantes respostas estão corretas



3. Se um circuito implementado na FPGA do kit DE2-115 a entrada correspondente ao botão KEY(0) ligar directamente à saída LEDR(0), então:

- a) LEDR(0) acende quando o botão KEY(0) não está premido
b) LEDR(0) acende quando o botão KEY(0) está premido
c) LEDR(0) não muda com o estado do botão KEY(0) porque falta um circuito de debouncing
d) LEDR(0) pisca com a frequência do sinal de relógio CLOCK_50 do kit

4. A construção entity do VHDL permite

- a) descrever a implementação de um módulo
b) descrever a interface de um módulo
c) modelar a concorrência entre os vários processos definidos na sua parte declarativa
d) definir novos tipos de dados usados nos portos de um módulo

5. Em VHDL, qual das seguintes funções/macros permite converter um inteiro (integer) directamente para std_logic_vector?

- a) função to_integer
b) função to_unsigned
c) macro de conversão std_logic_vector
d) nenhuma das restantes respostas está correcta

para passar de integer para std_logic_vector tem que haver uma conversão intermédia para signed ou unsigned.

6. Em VHDL um porto corresponde:

- a) à implementação dum módulo
b) a um sinal de interface dum módulo
c) a um sinal interno dum módulo
d) ao nome de um módulo numa biblioteca

1

7. Qual das seguintes construções de VHDL não é sintetizável? A fpga não tem conceito de tempo, por isso não é possível dizer à fpga para esperar 10 nanosegundos.

- a) wait for ... e operações usadas para simulação
b) if ... then ... else
c) when ... else
d) case ... is ... when

8. O seguinte trecho de código VHDL descreve um:

- a) barrel shifter de 4 bits
b) multiplexer 4:2
c) codificador binário 4:2
d) descodificador binário 2:4

9. A partir do excerto de código seguinte, pode-se concluir que sig é um sinal do tipo:

- a) signed(3 downto 0)
b) signed(4 downto 0)
c) std_logic_vector(3 downto 0)
d) std_logic_vector(4 downto 0)

No package numeric_std, que tem o operador ">=", se tivermos unsigned, obtemos unsigned; se tivermos signed, obtemos signed. Pode-se ver isso aqui: https://www.csee.umbc.edu/portals/help/VHDL/numeric_std_vhdl

10. Ainda sobre o código da questão 9, o resultado da execução da seguinte expressão é: s_a = -6, s_b = 6

- a) 60 b) -60 c) -36 d) -12

11. A linha de código VHDL s_reg <= s_reg(N-1) & s_reg(N-1 downto 1) descreve uma operação de:

- a) deslocamento lógico à direita
b) deslocamento aritmético à esquerda
c) deslocamento aritmético à direita
d) rotação à direita

vetor (1110) N=4
preserva o sinal, logo, aritmético
corrota as bits para a direita

12. Qual dos diagramas temporais seguintes corresponde à simulação do código dado:

- a) dOut
b) dOut
c) dOut
d) dOut

process (clk)
begin
if (falling_edge(clk)) then
dOut <= din;
end if;
end process;

13. Considerando o seguinte excerto de código VHDL, cuja intenção é descrever um flip-flop tipo D, pode-se afirmar que este:

pergunta tricky: um flip-flop é suscitado ao rising ou falling edge

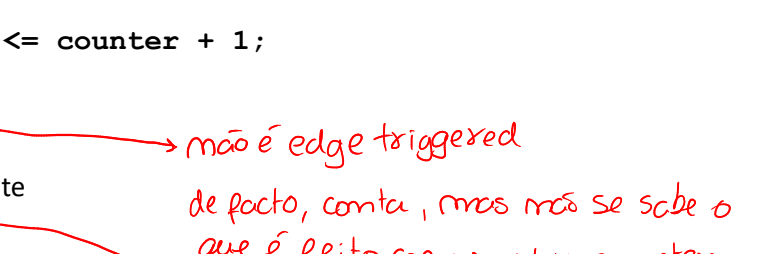
- a) simula corretamente, sintetiza mas funciona incorretamente em hardware
b) simula, sintetiza e funciona corretamente em hardware
c) não simula corretamente, apesar de sintetizar e funcionar corretamente em hardware
d) não simula corretamente, sintetiza, e não funciona corretamente em hardware

14. Identifique a afirmação errada sobre um package em VHDL:

- a) um package pode incluir definições de tipos
b) um package pode incluir protótipos de implementação de funções
c) um package pode fazer uso de outros packages (utilizar definições de outros packages)
d) um package pode incluir implementações (architectures)

15. Para realizar um registo de deslocamento bidirecional de 32 bits, com reset síncrono e possibilidade de carregamento paralelo, são necessários, no mínimo:

- a) 16 flip-flops
b) 32 flip-flops
c) 64 flip-flops
d) 128 flip-flops



16. Numa memória RAM de dois portos, em que o barramento de endereços é de 4 bits e o de dados é de 16 bits, o número total de bits de armazenamento é:

- a) 64 bits
b) 128 bits
c) 256 bits
d) 512 bits

Grupo II

17. A análise do seguinte excerto de código VHDL permite afirmar que:

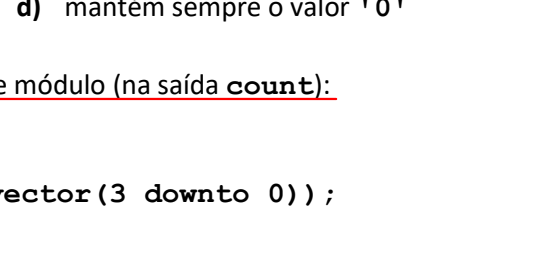
- a) será sintetizado um contador edge triggered crescente
b) será sintetizado um registo de deslocamento
c) será sintetizado um acumulador edge triggered
d) será sintetizado um circuito cujo comportamento é imprevisível

mão é edge triggered
de facto, conta, mas não se sabe o que é feito como valor counter
aqui não se está a operar com bits, logo não faz sentido

3

18. Considere o seguinte excerto de código VHDL. Assumindo que clk e A evoluem de acordo com o diagrama temporal dado, o sinal C:

- a) muda de '0' para '1' aos 15 ns
b) muda de '0' para '1' aos 30 ns
c) muda de '0' para '1' aos 50 ns
d) mantém sempre o valor '0'



19. O seguinte código VHDL implementa um contador de módulo (na saída count):

- a) 3 b) 8 c) 9 d) 10

20. No código VHDL apresentado na questão 19, o duty cycle da saída count (3) é:

- a) 10% b) 20% c) 50% d) 80%

21. No código VHDL apresentado na questão 19, se a frequência de clk for 50 MHz, qual o período da saída count (3)?

- a) 20 ns
b) 40 ns
c) 200 ns
d) é impossível calcular porque o sinal count (3) não é periódico

22. Considerando as seguintes atribuições concorrentes:

- a) R1 será diferente de R2 apenas se os bits mais significativos dos operandos A e B forem opostos
b) R1 será diferente de R2 apenas se os bits mais significativos de ambos os operandos A e B forem '1'
c) R1 e R2 serão sempre diferentes
d) R1 será sempre igual a R2

os valores signed ou unsigned têm representações binárias iguais, por exemplo:

signed(11111111) = -1
unsigned(11111111) = 255
signed(110001111) = -399
unsigned(110001111) = 399

23. Considere o seguinte trecho de código VHDL, relativo a um comparador com duas saídas (gtSigned e gtUnsigned).

- a) '1', '1' e '1'
b) '1', '0' e 'X'
c) '0', '1' e 'X'
d) '0', '0' e '0'

Assumindo que a="1111" e b="0001" as saídas vão possuir, respetivamente, os seguintes valores

- a) gtSigned <= '1' e gtUnsigned <= '1'
b) gtSigned <= '1' e gtUnsigned <= '0'
c) gtSigned <= '0' e gtUnsigned <= '0'
d) gtSigned <= '1' e gtUnsigned <= '1'

24. O seguinte trecho de código VHDL implementa um:

- a) temporizador do tipo atraso à desoperação (saída permanece ativa durante um tempo fixo após a ativação da entrada start)
b) temporizador do tipo atraso à operação (saída é ativada após um tempo fixo depois da ativação da entrada start)
c) divisor de frequência
d) nenhuma das restantes respostas está correcta

process (clk)
begin
if (rising_edge(clk)) then
if (reset = '1') then
s_count <= 0;
elsif (s_count = 0) then
if (start = '1') then
timerOut <= '1';
s_count <= s_count + 1;
else
timerOut <= '0';
end if;
elsif (s_count = K-1) then
timerOut <= '0';
s_count <= 0;
else
timerOut <= '1';
s_count <= s_count + 1;
end if;
end if;
end process;

25. Considere uma memória RAM com a seguinte interface:

- a) é uma memória com um porto de acesso
b) é uma memória com dois portos de acesso
c) é uma memória com seis portos de acesso
d) é uma memória com addrBusSize portos de acesso

A esta memória aplica-se a afirmação seguinte:

26. Ainda relativamente à memória da questão 25, para instanciar uma memória que armazena 64k palavras de 16 bits

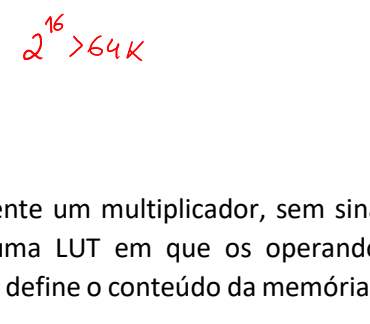
- a) addrBusSize => 64000, dataBusSize => 16
b) addrBusSize => 16, dataBusSize => 64
c) addrBusSize => 16, dataBusSize => 16
d) addrBusSize => 16, dataBusSize => 64000

27. Pretende-se criar uma memória ROM de tipo TROM que implemente um multiplicador, sem sinal, de duas quantidades de 2 bits cada. A ROM comporta-se como uma LUT em que os operandos da multiplicação são as entradas e o resultado a saída. A constante que define o conteúdo da memória pode ser inicializada de modo seguinte:

- a) (x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F", x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F");
b) (x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F", x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F");
c) (x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F", x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F");
d) (x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F", x"0", x"1", x"2", x"3", x"4", x"5", x"6", x"7", x"8", x"9", x"A", x"B", x"C", x"D", x"E", x"F");

28. Impondo o tipo de dados std_logic de VHDL, os valores "Impostos" pelas portas lógicas "A" e "B", assim como o resultante no ponto "?", são respetivamente:

- a) '1', '1' e '1'
b) '1', '0' e 'X'
c) '0', '1' e 'X'
d) '0', '0' e '0'



Grupo III

29. Considere o seguinte excerto de código VHDL:

- a) "ShiftUnit" e "Decide"
b) "ShiftUnit" e "IterCore"
c) "decide_unit", "in_reg", "op1", "op2" e "out_reg"
d) "in_reg", "op1", "op2" e "out_reg"

entity ShiftUnit ... -- registo de deslocamento à esquerda com load síncrono

entity Decide is

architecture Behavioral of Decide is

type TState is (ST_IDLE, ST_INIT, ST_TEST);

signal s_cnt : natural range 0 to numBits;

begin

process (clk)

begin

if (rising_edge(clk)) then

if (reset = '1') then s_currentState <= ST_IDLE;

else s_currentState <= s_nextState; end if;

end if;

process (clk)

begin

if (rising_edge(clk)) then

if (s_currentState = ST_IDLE) then s_cnt <= 0;

elsif (s_currentState = ST_TEST) then s_cnt <= s_cnt + 1;

end if;

end process;

process (s_currentState, start, s_cnt)

begin

s_nextState <= s_currentState;

when ST_IDLE =>

if (start = '1') then s_nextState <= ST_INIT; end if;

when ST_INIT =>

if (s_cnt < numBits-1) then s_nextState <= ST_TEST;

else s_nextState <= ST_IDLE; end if;

end case;

end process;

process (s_currentState)

begin

busy <= '0'; done <= '0'; shift <= '0'; load <= '0';

when ST_IDLE =>

when ST_INIT =>

when ST_TEST =>

end case;

end Behavioral;

entity IterCore is

generic (numBits : positive := 8);

port (clk : in std_logic;

reset, start : in std_logic;

busy, done : out std_logic;

operand : in std_logic_vector (numBits - 1 downto 0);

result : out std_logic_vector (numBits - 1 downto 0));

end IterCore;

architecture Structural of IterCore is

generic map (numBits => numBits)

port map (clk => clk, reset => reset, start => start,

busy => busy, done => done, shift => s_shift,

load => s_load);

begin

decide_unit: entity work.Decide (Behavioral)

generic map (numBits => numBits)

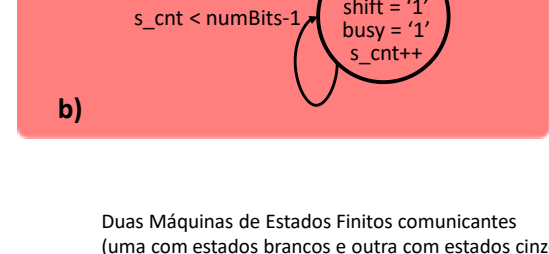
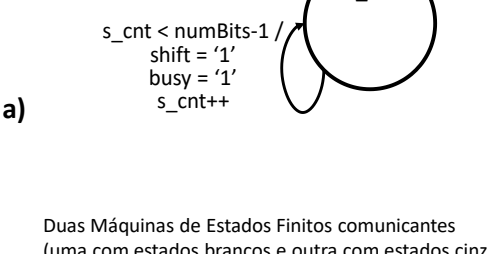
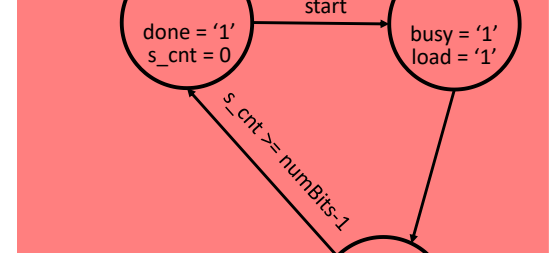
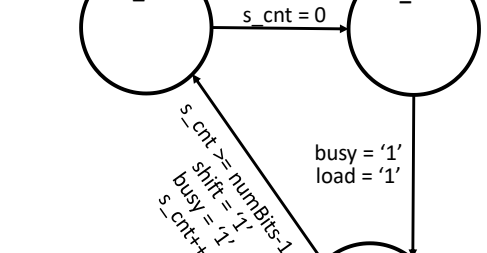
port map (clk => clk, reset => reset, start => start,

busy => busy, done => done, shift => s_shift,

load => s_load);

end Structural;

31. Qual o diagrama de estados da entidade Decide apresentada no código VHDL da questão 30? De notar que nos diagramas só são apresentadas as saídas ativas.



8