

**Universidade de Aveiro**  
**Exame de Sistemas Digitais**  
2h30m

NOME - .....  
N.M.....Curso.....

	Cot	A	B	C	D
1	0,5				
2	0,5				
3	0,5				
4	0,5				
5	1				
6	1,5				
7	1,5				
8	1				
9	1,5				
10	1,5				

**Parte I (10 valores)**

**NOTE BEM:** Para cada questão proposta existem quatro alternativas de resposta, das quais apenas uma é completamente correcta. Deve assinalar uma e uma só resposta, fazendo um X na célula correspondente na tabela do canto superior. No caso de se enganar, pode anular a resposta assinalada desenhando um circulo a cheio sobre o X . Cada cada questão errada desconta 1/3 da cotação que lhe estiver atribuída. Cada questão não respondida vale 0.

- 1 **A quantidade expressa pelo número  $123_4$  é a mesma que**
  - a.  $011111_2$
  - b.  $33_2$
  - c.  $33_8$
  - d.  $1A_{16}$
  
- 2 **A quantidade  $-33_{10}$  tem a seguinte representação binária com 6 bits e em notação de complemento para 2**
  - a. 111111
  - b. 100001
  - c. 100111
  - d. Nenhuma das anteriores
  
- 3 **Seja  $F(x,y,z) = 1$  quando apenas uma das variáveis independentes é 1. A representação de  $F(x,y,z)$  na 3ª Forma Canónica é:**
  - a.  $F(x, y, z) = (\overline{x} \overline{y} \overline{z}) + (\overline{x} y \overline{z}) + (\overline{x} \overline{y} z)$
  - b.  $F(x, y, z) = x \overline{y} \overline{z} + \overline{x} y \overline{z} + \overline{x} \overline{y} z$
  - c.  $F(x, y, z) = (x + y + z)(\overline{x} + y + \overline{z})(\overline{x} + \overline{y} + z)(x + y + z)$
  - d.  $F(x, y, z) = (\overline{x} \overline{y} \overline{z}). (\overline{x} y \overline{z}). (\overline{x} \overline{y} z)$
  
- 4 **O mapa de Karnaugh à direita descreve uma função booleana cuja expressão pode ser:**
  - a.  $x \oplus z$
  - b.  $\overline{xz} + \overline{x} \overline{z}$
  - c.  $\overline{xz} \overline{x} \overline{z}$
  - d. Todas as anteriores

		xy			
		00	01	11	10
wz	00			1	1
	01	1	1		
	11	1	1		
	10			1	1

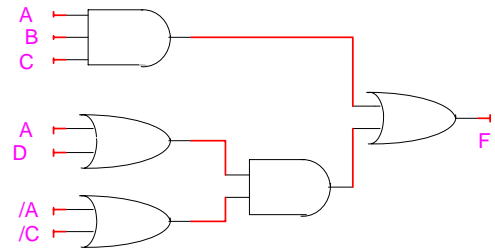
5 No mapa de Karnaugh ao lado podem identificar-se

- a. 3 implicantes primos essenciais
- b. 4 implicantes primos sendo 1 essencial
- c. 6 implicantes primos sendo 2 essenciais
- d. 6 implicantes primos sendo 3 essenciais

		xy			
wz		00	01	11	10
	00		1	1	
	01	1	1	1	
	11	1		1	1
	10			1	1

6 O circuito da figura apresenta problemas de hazards. Quais os termos necessários adicionar à função F para que o circuito fique livre destes hazards. Sugestão: expanda a função para uma representação em somas de produtos (2 níveis) e identifique as transições que provocam hazards.

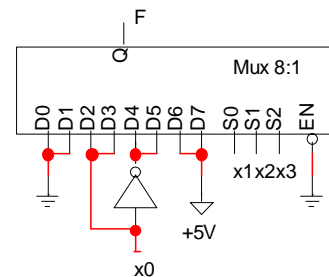
- a. AB e AC
- b. CD e BD
- c. AB e BD
- d. ABD e BD



Questão 6

7 A expressão mais simples para a função implementada no circuito da figura é

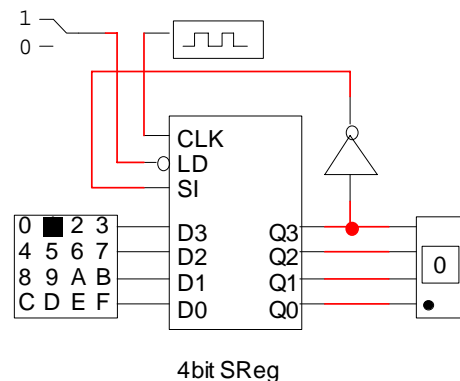
- a.  $\bar{x}_1 x_0 + \bar{x}_3 \bar{x}_2$
- b.  $(\bar{x}_1 + x_0)(\bar{x}_3 + \bar{x}_2 + x_1)$
- c.  $x_2 x_0 + \bar{x}_0 x_3$
- d. Nenhuma das anteriores



Questão 7

8 Relativamente ao circuito da figura admita que o estado iniciais dos flip-flops que constituem o registo de deslocamento são respectivamente  $(Q0..Q3) = (1000)$ . Ao fim de 10 ciclos de relógio qual será o número que surge no display de hexadecimal.

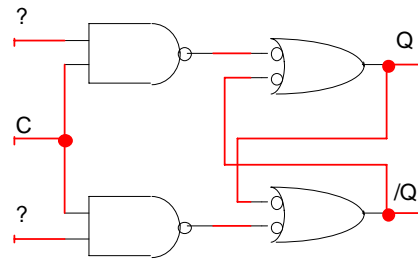
- a. 0
- b. 1
- c. 8
- d. 7



Questão 8

**9 Relativamente ao circuito da figura podemos dizer que**

- a. Se trata duma *latch* SR com *enable*
- b. Com as ambas as entradas a 1 podem ocorrer fenómenos de metaestabilidade
- c. Com  $C = 0$  mantém-se o estado anterior
- d. Todas as anteriores



**Questão 9**

**10 Num contador binário de  $n$  bits implementado com flip-flops T as equações de excitação são**

- a.  $T_0 = 1, \quad T_1 = Q_0, \quad T_2 = Q_1 Q_0, \quad \dots \quad T_{n-1} = Q_{n-2} Q_{n-3} \dots Q_0$
- b.  $T_0 = 1, \quad T_1 = Q_0, \quad T_2 = Q_1 + Q_0, \quad \dots \quad T_{n-1} = Q_{n-2} + Q_{n-3} + \dots + Q_0$
- c.  $T_0 = 1, \quad T_1 = \overline{Q_0}, \quad T_2 = Q_1 \oplus \overline{Q_0}, \quad \dots \quad T_{n-1} = Q_{n-2} \oplus \overline{Q_{n-3} \dots Q_0}$
- d. Nenhuma das anteriores

## Parte II (10 valores)

1. Considere o circuito da figura e leia atentamente o código ABEL correspondente às funções booleanas implementadas na PLA.

	Cot	
1		
a	1	
b	1	
c	2	
d	1	
e	2	
2		
a	2	
b	1	

```

module EXAM_SD
title 'Combinational part of FSM'

    X          pin; "input
    Q2..Q0     pin; "present state bits
"Output bits
    Y1..Y0     pin istype 'com';
"next state bits
    D2..D0     pin istype 'com';

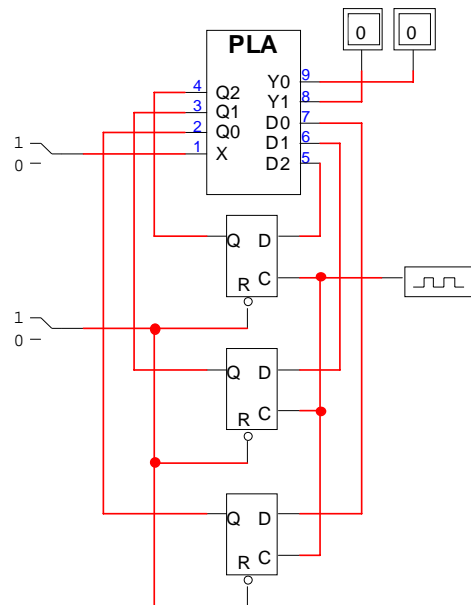
"Intermediate declarations

    PSTATE = [Q2..Q0];
    NSTATE = [D2..D0];

truth_table ([PSTATE, X]->[NSTATE, Y1, Y0])
    [ 0 , 0 ]->[ 2 , 0 , 0 ];
    [ 0 , 1 ]->[ 1 , 0 , 0 ];
    [ 1 , 0 ]->[ 3 , 0 , 0 ];
    [ 1 , 1 ]->[ 1 , 0 , 0 ];
    [ 2 , 0 ]->[ 2 , 0 , 0 ];
    [ 2 , 1 ]->[ 4 , 0 , 0 ];
    [ 3 , 0 ]->[ 2 , 0 , 0 ];
    [ 3 , 1 ]->[ 4 , 1 , 0 ];
    [ 4 , 0 ]->[ 3 , 0 , 0 ];
    [ 4 , 1 ]->[ 5 , 0 , 1 ];
    [ 5 , 0 ]->[ 6 , 0 , 0 ];
    [ 5 , 1 ]->[ 5 , 0 , 0 ];
    [ 6 , 0 ]->[ 6 , 0 , 0 ];
    [ 6 , 1 ]->[ 7 , 0 , 0 ];
    [ 7 , 0 ]->[ 6 , 0 , 0 ];
    [ 7 , 1 ]->[ 5 , 0 , 1 ];

end

```



Problema 1

- a. Diga, justificando que tipo de máquina sequencial síncrona se trata.
  - b. Sejam  $t_{su} = 20$  ns,  $t_h = 5$  ns  $t_{phl} = t_{plh} = 20$  ns os tempos de *setup*, *hold*, e propagação dos flip-flops. Considere ainda que o tempo de atraso devido à PLA é  $t_d = 10$  ns. Determine justificando a máxima frequência do sinal de relógio.
  - c. Atendendo à descrição em ABEL e ao tipo de flip-flops utilizado elabore o diagrama de estados.
  - d. Identifique as sequências que o sistema detecta e em que condições ocorre a detecção.
  - e. De acordo com o diagrama de estados obtido proponha uma implementação para o sistema admitindo que dispõe apenas de um contador binário de 4 bits do tipo 74163, com LOAD e CLEAR síncronos e uma ROM. Desenhe convenientemente o circuito e explicita devidamente as dimensões e o conteúdo da ROM.
2. Pretende-se projectar um sistema sequencial síncrono com uma entrada  $x$  e uma saída  $y$  de tal forma que esta deverá estar a “1” sempre que na entrada tenham ocorrido um número ímpar de “0” e um número par de “1”.
    - a. De acordo com o modelo de Moore elabore um diagrama de estados para o sistema. Sugestão: Comece por considerar um par de estados iniciais que identifiquem a paridade do nº de “0” que tenham ocorrido antes de surgir o primeiro “1”.
    - b. Traduza o diagrama de estados obtido para uma representação ASM. (Algorithmic State Machine)