

UNIVERSIDADE DE AVEIRO

DEPARTAMENTO DE ELECTRÓNICA, TELECOMUNICAÇÕES E INFORMÁTICA

Exame Teórico de Sistemas Digitais (Bolonha) – 1ª chamada

4/Junho/2007

Nome: _____ Nº mec. _____

I. [10 valores] Para cada questão proposta existem quatro alternativas de resposta, das quais apenas uma é correcta. Deve assinalar uma só resposta, marcando 'x' na célula correspondente da tabela ao lado. No caso de se enganar, pode corrigir a resposta assinalada desenhando um círculo a cheio sobre o 'x'. Cada questão errada (ou de resposta ambígua) desconta 1/3 da cotação que lhe estiver atribuída. Cada questão não respondida vale 0.

questão	cot.	a	b	c	d
1	0.5				
2	1				
3	0.5				
4	1.25				
5	1.25				
6	1				
7	0.5				
8	1.5				
9	1				
10	1.5				

1. Considere '1011' em código binário natural. A palavra correspondente no código de *Gray* é:

- a) 0001 c) 1110
b) 0101 d) nenhuma das anteriores

2. Em notação de complemento para 2 com 8 *bits*, a representação binária de $(-C-17)_{16}$ é:

- a) 10011101 c) 11011101
b) 00100011 d) nenhuma das anteriores

3. A função $f(x, y) = x \oplus x \cdot y$ é idêntica a

- a) $\bar{x} + \bar{y}$ c) x
b) $x + \bar{y}$ d) nenhuma das anteriores

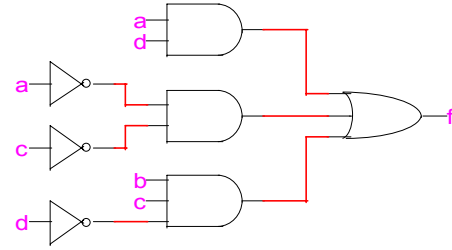
4. Este mapa de *Karnaugh* descreve uma função booleana cuja expressão pode ser:

- a) $\overline{y \cdot \bar{z} \cdot \bar{w} \cdot y \cdot z \cdot w \cdot \bar{y} \cdot \bar{z} \cdot w \cdot \bar{y} \cdot z \cdot \bar{w}}$
b) $y \oplus \bar{z} \oplus \bar{w}$
c) $y + \bar{z} + \bar{w}$
d) nenhuma das anteriores

		x			
		00	01	11	10
z	00	0	1	1	0
	01	1	0	0	1
	11	0	1	1	0
	10	1	0	0	1
		y			

5. O circuito da figura:

- a) Tem *hazards* estáticos; para eliminá-los, devem ser adicionados os termos $\bar{c} \cdot d$ e $a \cdot b \cdot c$
- b) Tem *hazards* estáticos; para eliminá-los, basta adicionar o termo $\bar{c} \cdot d$
- c) Tem *hazards* estáticos mas as respostas anteriores não são correctas
- d) Não tem *hazards* estáticos



6. Uma das vias possíveis para permitir aumentar a frequência de funcionamento dum circuito sequencial síncrono é:

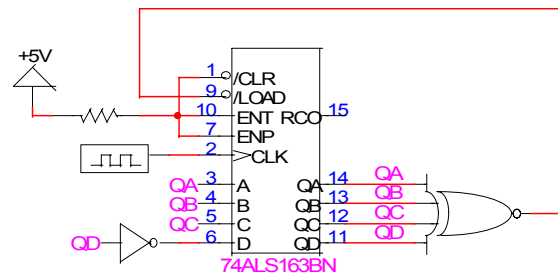
- a) usar *flip-flops* com maior tempo de *setup*
- b) usar *flip-flops* com menor tempo de *hold*
- c) usar *flip-flops* com maior tempo de *hold*
- d) nenhuma das anteriores

7. O número de *flip-flops* do tipo D *edge-triggered* necessários para implementar um registo de deslocamento bidireccional de n bits é:

- a) 2^n
- b) $2 \times n$
- c) n
- d) nenhum dos anteriores

8. O componente 74x163 é um contador binário síncrono de 4 *bits*, com entradas *LOAD* e *CLR* síncronas e activas a 0 e duas entradas de *enable* (*ENT* e *ENP*). O seu estado (QD QC QB QA) pode ser representado por um único dígito hexadecimal. No circuito da figura, assumindo que o contador começa em 0, a sequência de estados nos primeiros 8 ciclos de relógio é:

- a) 0 1 9 A B 3 4 C
- b) 0 0 0 0 0 0 0 0
- c) 0 8 9 1 2 3 B C
- d) nenhuma das anteriores



9. O limite máximo de estados de uma máquina de estados finitos com n entradas, m saídas e construída com p *flip-flops* é

- a) 2^{n+p}
- b) 2^p
- c) $(2^{n+p}) \times m$
- d) nenhum dos anteriores

10. Após minimização, a máquina de estados descrita na tabela terá:

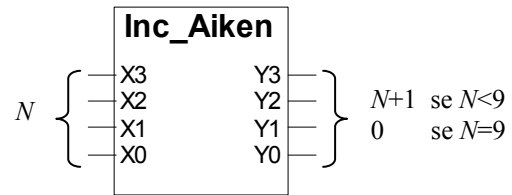
- a) 5 estados
- b) 6 estados
- c) 7 estados
- d) menos de 5 estados

	x=0	x=1
A	B,1	C,0
B	A,1	C,0
C	C,1	C,0
D	H,1	A,0
E	B,0	C,1
F	D,0	E,1
G	F,0	G,1
H	H,0	A,1

II. [7 valores]

1. [2 valores] Considere o bloco representado e a sua especificação funcional:

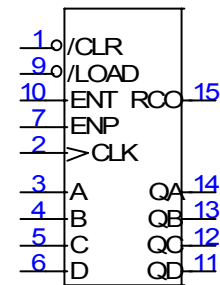
- Quando se coloca na entrada (X3 X2 X1 X0) o código *AIKEN* correspondente ao algarismo decimal N , aparece na saída (Y3 Y2 Y1 Y0) o código *AIKEN* do algarismo seguinte.
- O algarismo seguinte é $N+1$, excepto quando $N=9$: a '9' segue-se '0'.
- Quando à entrada não se apresenta um código *AIKEN* válido, a saída também toma o valor '0'.



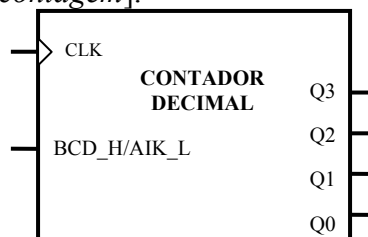
Mostre como implementar este bloco combinacional utilizando uma *PROM*. Especifique claramente as suas dimensões mínimas e o seu conteúdo.

2. [3 valores] Considere que tem à sua disposição:

- Um componente *MSI* do tipo 74x163 (ver diagrama ao lado): trata-se de um contador binário síncrono de 4 *bits*, com entradas *LOAD* e *CLR* síncronas e activas a '0' e duas entradas de *enable* (*ENT* e *ENP*);
- O bloco *Inc_Aiken* projectado na alínea anterior;
- Todas as portas lógicas adicionais de que necessite.



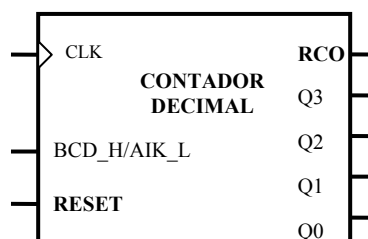
Combinando esses elementos, projecte um contador decimal capaz de realizar a contagem em *BCD* ou *AIKEN*. A figura define a interface do bloco pretendido: a escolha entre operação em *BCD* e *AIKEN* será feita colocando a entrada *BCD_H/AIK_L* a '1' e '0', respectivamente. Desenhe com todo o detalhe a arquitectura interna deste contador decimal [Nota: não se preocupe com a inicialização da contagem].



3. [2 valores] Aperfeiçoe agora o contador, acrescentando-lhe (vide diagrama abaixo):

- entrada *RESET* síncrona activa a '1' [Nota: no 74x163, *CLR* tem prioridade sobre *LOAD*];
- saída *RCO*, que deve ficar activa ('1') durante os ciclos de relógio em que a contagem atinge o valor máximo (note que este corresponde a códigos diferentes em *BCD* e *AIKEN*).

Explicite as alterações que tal implica no circuito desenvolvido no ponto anterior.

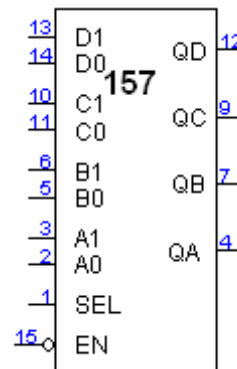


III. [3 valores] Um pequeno sistema de computação em hardware digital tem como tarefa calcular **sequencialmente** (em 2 passos) a expressão $(A / 2 + B)$, em que A e B são operandos de 4 bits com representação em complemento para 2. O sistema engloba dois blocos fundamentais: o bloco de manipulação de dados (*datapath*) e o bloco de controlo. Este problema foca-se apenas no *datapath*. Considere que tem à sua disposição **um** registo de armazenamento de 4 bits, **um** somador completo de 4 bits e **um** bloco de multiplexers integrados num *chip* semelhante ao 74157.

1. [2 valores] Projecte o *datapath* deste sistema com componentes disponíveis, ignorando eventuais problemas de *overflow* e tendo em conta que as operações são realizadas sequencialmente de acordo com o seguinte algoritmo. Esboce o circuito e justifique as suas opções. Mencione a sequência dos códigos binários que devem aplicar-se à variável de selecção do multiplexer e ao somador para a correcta execução do algoritmo.

```
-- Q = (Q3 ... Q0) é o conteúdo do registo
-- A = (A3 ... A0) - operando A
-- B = (B3 ... B0) - operando B
```

```
Q <= A / 2;
Q <= Q + B;
```



b) [1 valor] Sejam $t_{su} = 10$ ns, $t_h = 5$ ns, $t_{plh} = 15$ ns, $t_{phl} = 20$ ns os tempos de *setup*, *hold*, e propagação dos flip-flops que compõem o registo. Considerando que o multiplexer apresenta um tempo de atraso de 5 ns determine o tempo de atraso máximo do somador para que o circuito seja capaz de funcionar a 20 MHz.