

Parte Teórica

Correção

Cotações: 1 a 5 – 0.5 cada 6 – 1,5 7a – 1,5 7b – 0,5 7c – 0,5 8a – 0,5 8b – 2 9a - 2 9b – 1

1. O que é que melhor caracteriza as arquiteturas RISC:

b. As instruções aritméticas e lógicas operarem sobre o conteúdo de registos

2. Microprogramação é:

c. Uma metodologia de implementação da unidade de controle dos processadores

3. Na subtração de inteiros de n-bits representados em complemento para dois, o que é que indica que o resultado não é representável em n-bits:

c. O Ou Exclusivo dos anteriores

4. No MIPS qual o formato das instruções aritméticas e lógicas envolvendo imediatos

a. Tipo I

5. No MIPS os endereços de memória de valores em vírgula flutuante

c. Apenas podem estar contidos nos registos do processador

6. Considere duas implementações diferentes, M1 e M2, de uma mesma arquitetura. M1 é uma implementação single-cycle com uma frequência de relógio de 40 MHz e M2 é uma implementação multi-cycle com uma frequência de relógio de 200 MHz. Para M2 o número de ciclos de relógio para cada tipo de instrução é:

Instruction Type	Clock Cycles
Loads	5
Stores	4
ALU operations	4
Branches	3
Jumps	3

Qual a máquina que executa mais rapidamente um programa em que 20% das instruções são Loads, 10% Stores, 50% ALU operations, 15% branches, e 5% jumps? Quanto mais rápida é que a outra?

$$t_{M1} = \text{No. Instruções do Programa} / (40 * 10^6) \text{ s}$$

$$t_{M2} = (5 * 0,2 * \text{No. Instr. Prog.} + 4 * 0,6 * \text{No. Instr. Prog.} + 3 * 0,2 * \text{No. Instr. do Prog.}) / (200 * 10^6) \text{ s}$$

$$= 4 * \text{No. Instr. do Prog.} / (200 * 10^6) \text{ s} = 0,8 t_{M1}$$

$$\text{speedup} = t_{M1} / t_{M2} = 1,25 \quad \text{M2 é 25\% mais rápida do que M1 na execução do programa}$$

7. A e B são dois números representados no formato IEEE de vírgula flutuante, precisão simples.

$$A = 0 10001100 11000000000000000000000000000000$$

$$B = 0 01111111 0100000001100000000001$$

a. Qual a representação de A + B no mesmo formato?

1º - Alinhar mantissas:

Expoente de A - Expoente de B = 00001101 mantissa de B tem de ser shiftada 13 bits para a direita

Parte Teórica

Correção

2º Somar mantissas

$$\begin{array}{r}
 11100000000000000000000000000000 \\
 + 101000000001100000000001 \\
 \hline
 11100000000001010000000110000000001
 \end{array}$$

3º Arredondamento

$$111000000000010100000001$$

$$\mathbf{A + B = 0\ 10001100\ 11000000000010100000001}$$

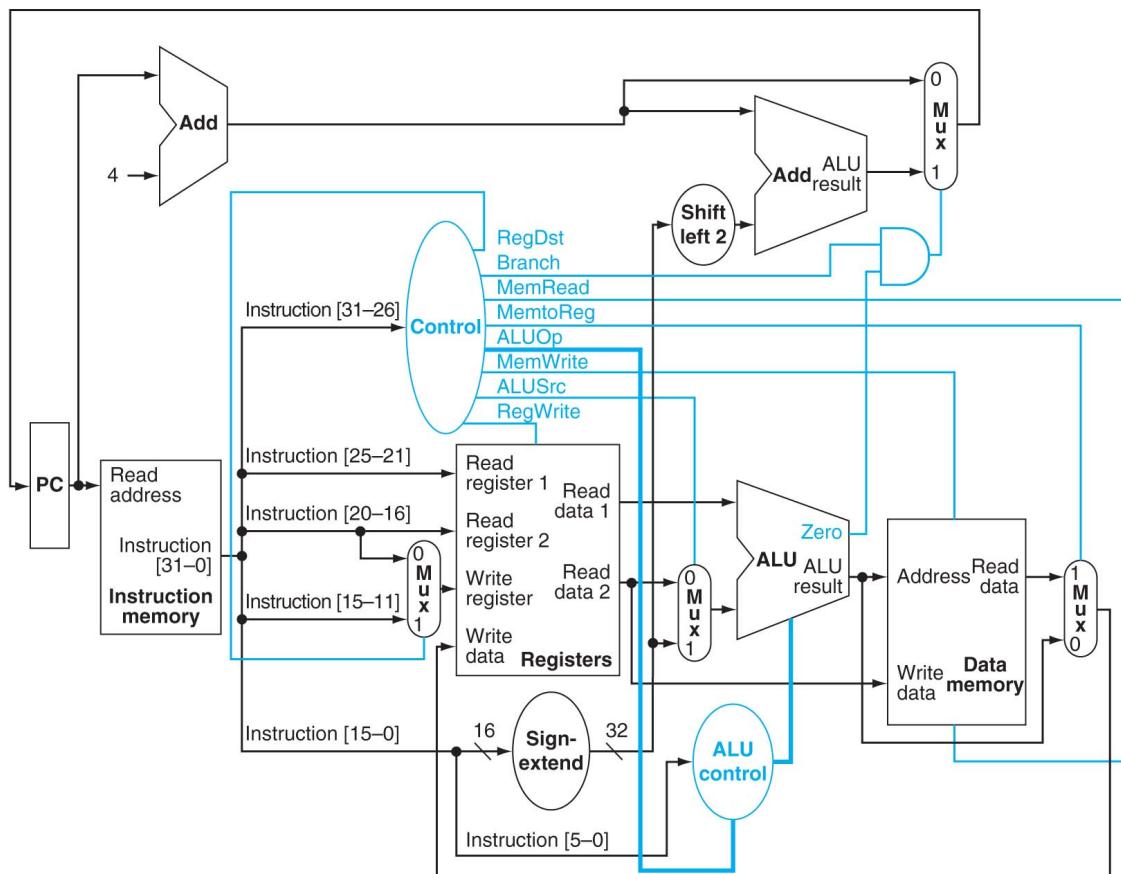
- b. Ao efetuar a soma quais os valores do *round bit* e do *sticky bit*?

$$\text{Guard bit} = 1 \quad \text{round bit} = 1 \quad \text{sticky bit} = 1$$

- c. Qual o valor de A + B em decimal, sob a forma $X \cdot 2^Y$

$$\mathbf{A + B = (1 + 2^{-1} + 2^{-2} + 2^{-13} + 2^{-15} + 2^{-23}) \cdot 2^{13}}$$

8. A figura representa uma implementação do datapath do MIPS, incluindo a indicação da unidade de controle.



- a. Que tipo de datapath está representado na figura? **Single-cycle**
 b. Preencha a tabela abaixo com o valor dos sinais de controle quando a instrução que está a ser executada é add \$14,\$2,\$3

Parte Teórica**Correção**

RegDst	1
Branch	0
MemRead	0
MemtoReg	0

MemWrite	0
ALUOp	10
ALUSrc	0
RegWrite	1

Nota: A tabela seguinte expressa a lógica de controle da ALU:

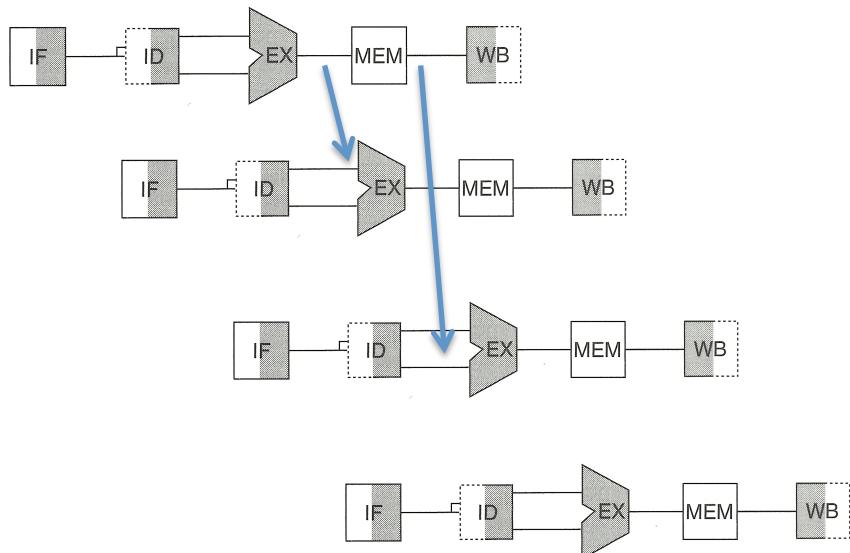
ALUOp	Funct field	Desired ALU action
00	XXXXXX	add
01	XXXXXX	subtract
10	100000	add
10	100010	subtract
10	100100	AND
10	100101	OR
10	101010	Set on Less Than

Parte Teórica

Correção

9. a. Nos processadores pipelined usa-se a técnica de *data forwarding*. Para a sequência de instruções MIPS seguinte indique qual o forwarding necessário, assumindo que o pipeline usado é o apresentado nas aulas. Utilize na sua explicação um diagrama do pipeline:

sub	\$2,\$1,\$3
and	\$12,\$2,\$5
or	\$13,\$6,\$2
add	\$14,\$2,\$2
sw	\$15,100(\$2)



- b. Que diferença faria para os requisitos de *forwarding* se a primeira instrução em vez de sub \$2,\$1,\$3 fosse lw \$2,1000(\$0) ?

