

1. Pretende-se construir um circuito comparador para 2 palavras X e Y de n bits cada. No circuito da Figura 1 recorre-se a uma estratégia iterativa baseada em blocos comparadores de 1 bit. A comparação, neste caso, deve processar-se a partir do bit menos significativo. O significado das entradas A_i e B_i é o seguinte: $A_i = 1 \Rightarrow X > Y$, $B_i = 1 \Rightarrow X < Y$.

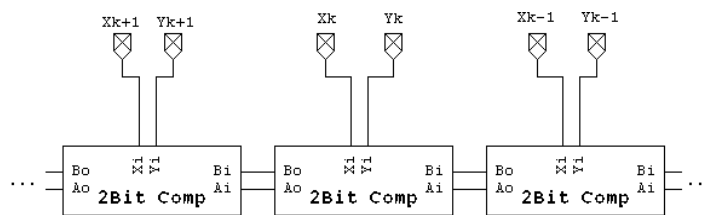


Figura 1: Circuito de comparação para n bits

- (a) Elabore a tabela de verdade relativamente às saídas A_0 e B_0 do bloco elementar de comparação.
 - (b) Determine as respectivas equações booleanas minimizadas
 - (c) Implemente as respectivas equações a partir de portas NAND.
2. O sistema da Figura 2 tem como entradas 3 palavras de 4 bits, A, B e T. A visualização das

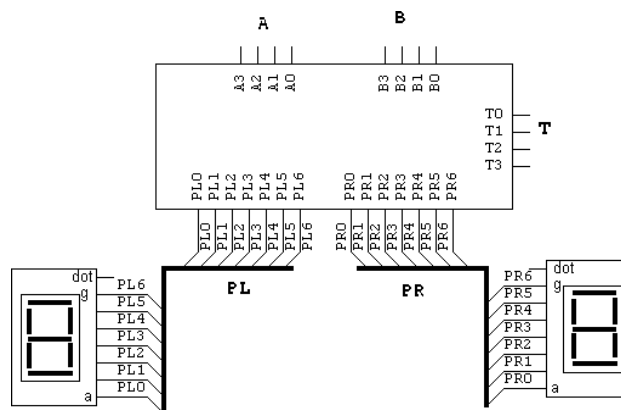


Figura 2: Circuito de discriminação

saídas PR e PL nos displays de 7 segmentos obedece ao seguinte algoritmo

```

if A > T then PL = A; else PL = T; end
if B > T then PR = B; else PR = T; end

```

- (a) Utilizando o bloco elementar que concebeu no problema 1 realize um circuito comparador de 4 bits
- (b) Utilizando comparadores e outros blocos combinatórios seus conhecidos apresente, com as devidas justificações uma implementação possível para o sistema da figura 2.
3. Considere a máquina sequencial da figura 3.

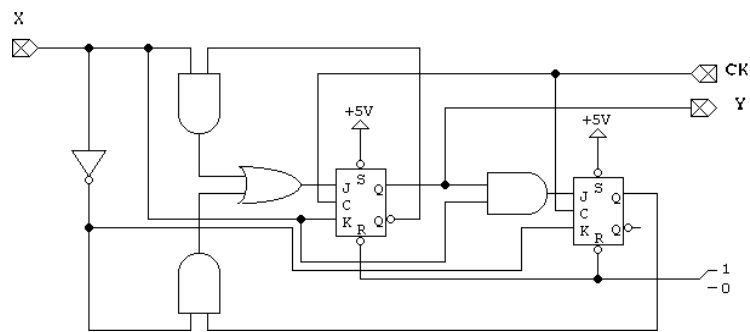


Figura 3: Conversor 2'sc série

- (a) De que tipo de máquina se trata? Justifique.
- (b) Mostre que o circuito da figura é um conversor série para complemento para 2 de palavras binárias de comprimento arbitrário.
4. Pretende-se construir uma linha de atraso digital de comprimento variável entre 1 e 16. Para além da entrada série x, o sistema tem como entradas 4 linhas $A_3A_2A_1A_0$ que determinam o número de atrasos.

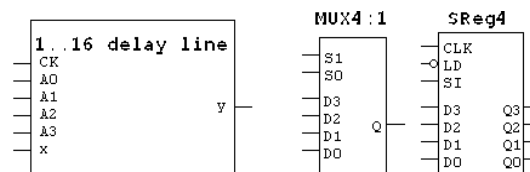


Figura 4: Linha de atraso programável

- (a) Implemente o sistema, recorrendo apenas a registos de deslocamento de 4 bits e multiplexers 4:1. Minimize o número de componentes. Justifique cuidadosamente a sua solução.
- (b) Admita que os tempos de setup dos registos de deslocamento apresentam um tempo de setup $t_{su} = 5\text{ns}$, tempos de propagação $t_{pLH} = t_{pHL} = 20\text{ns}$. Admita também que os tempos de propagação nos multiplexers são $t_{pLH} = t_{pHL} = 25\text{ns}$. De acordo com a solução que concebeu em a) determine, justificando, a frequência máxima de funcionamento da linha de atraso.