

Projeto Final de LSD

Universidade de Aveiro

Guilherme Craveiro, Rafael Pinto



Versão 1

Projeto Final de LSD

Departamento de Eletrónica, Telecomunicações e
Informática

Universidade de Aveiro

Guilherme Craveiro, Rafael Pinto
(103574) gjscraveiro@ua.pt, (103379) rafaelpbpinto@ua.pt

17 de junho de 2021

Índice

1	Introdução	1
2	Arquitetura	2
2.0.1	Implementação	2
3	Validação	3
4	Manual do utilizador	4
5	Conclusões	5

Capítulo 1

Introdução

VHSIC Hardware Description Language (VHDL) é uma linguagem usada para modelar o comportamento e a estrutura de sistemas digitais em, por exemplo, Field Programmable Gate Array (FPGA). De forma muito resumida, FPGA é uma matriz de blocos lógicos interligados de modo inteligente que podem ser reprogramados para a aplicação desejada.

Este relatório tem como objetivo explicar o funcionamento da máquina automática de oferta de produtos desenvolvida no nosso projeto. Para que a máquina funcionasse foi necessário a implementação de código em VHDL e procedeu-se a vários testes na FPGA e à análise dos mesmos.

A máquina disponibiliza 3 bebidas diferentes das quais podemos selecionar uma através de *switches*. Após a disponibilização da bebida o utilizador pode ainda entrar no modo "Modo Escolha tamanho das garrafas", onde pode escolher o tamanho da garrafa, 25cl, 33cl, 50cl ou 10dl. Por defeito está configurado para 33cl. A máquina tem ainda um RESET global que coloca a máquina no estado inicial.

Capítulo 2

Arquitetura

descrição da estrutura conceptual do sistema com pelo menos uma figura ilustrativa

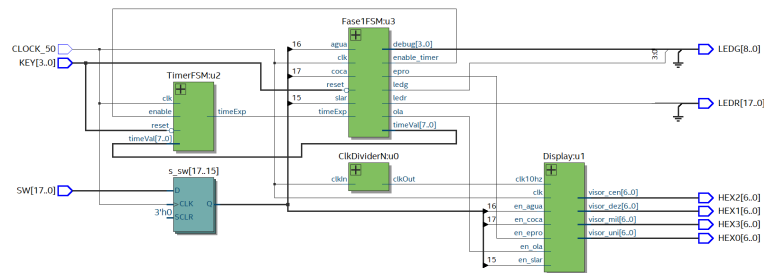


Figura 2.1: Estrutura da Fase 1

Capítulo 3

Implementação

incluindo representação gráfica das máquinas de estado finitos implementadas
– se aplicável, aspetos de implementação mais relevantes e ligação a periféricos
do kit

Capítulo 4

Validação

simulação dos principais módulos

Capítulo 5

Manual do utilizador

Capítulo 6

Conclusões

Apresenta conclusões.

Contribuições dos autores

Resumir aqui o que cada autor fez no trabalho. Usar abreviaturas para identificar os autores, por exemplo AS para António Silva. No fim indicar a percentagem de contribuição de cada autor.

Acrónimos

VHDL VHSIC Hardware Description Language

FPGA Field Programmable Gate Array