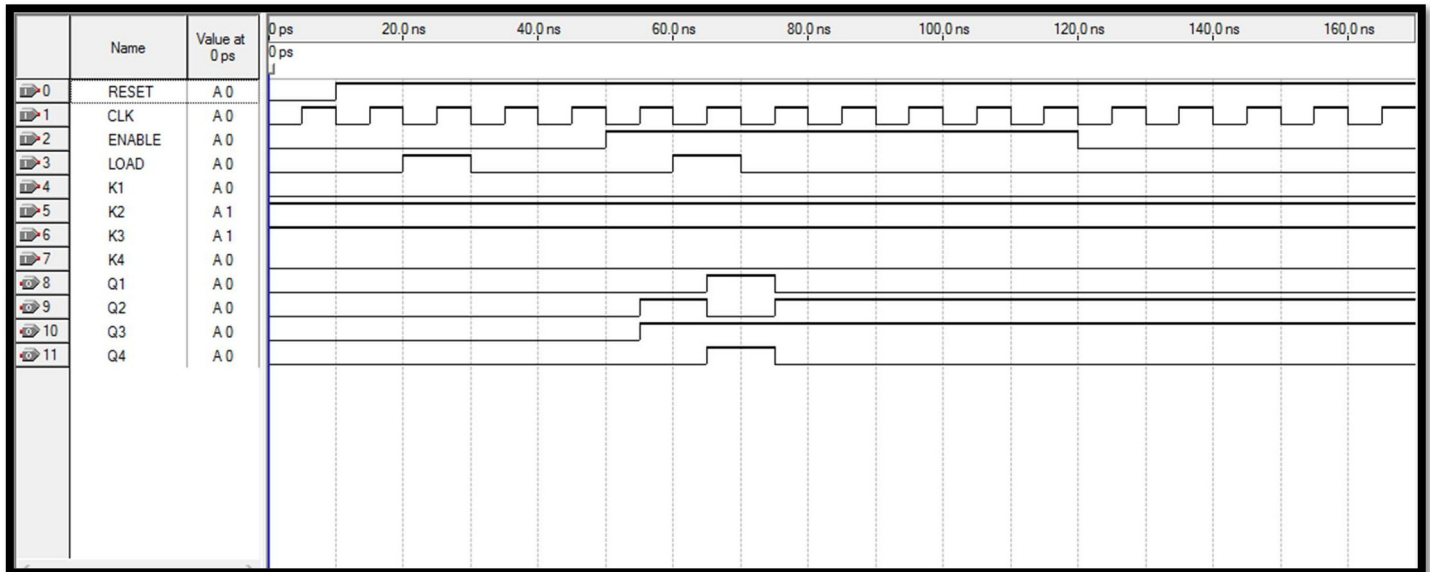


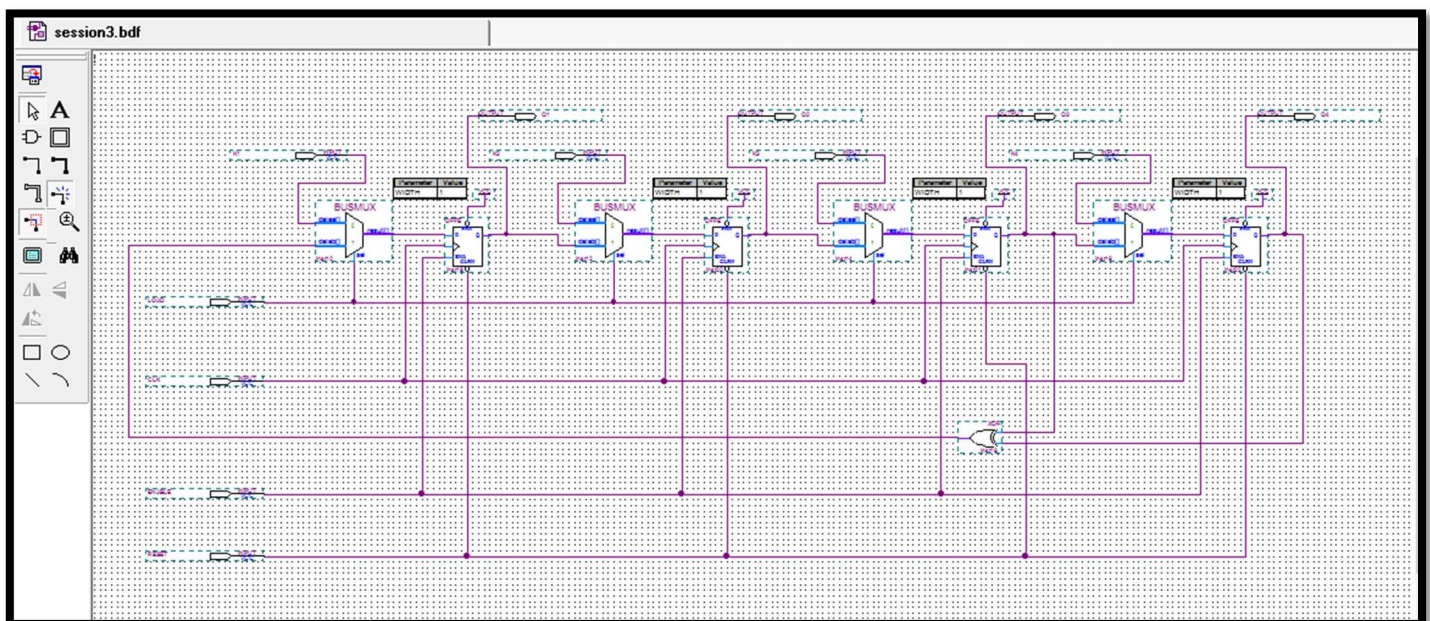
Sesión 1: LFSR

ESTUDIO PREVIO

1. Rellene el siguiente cronograma.



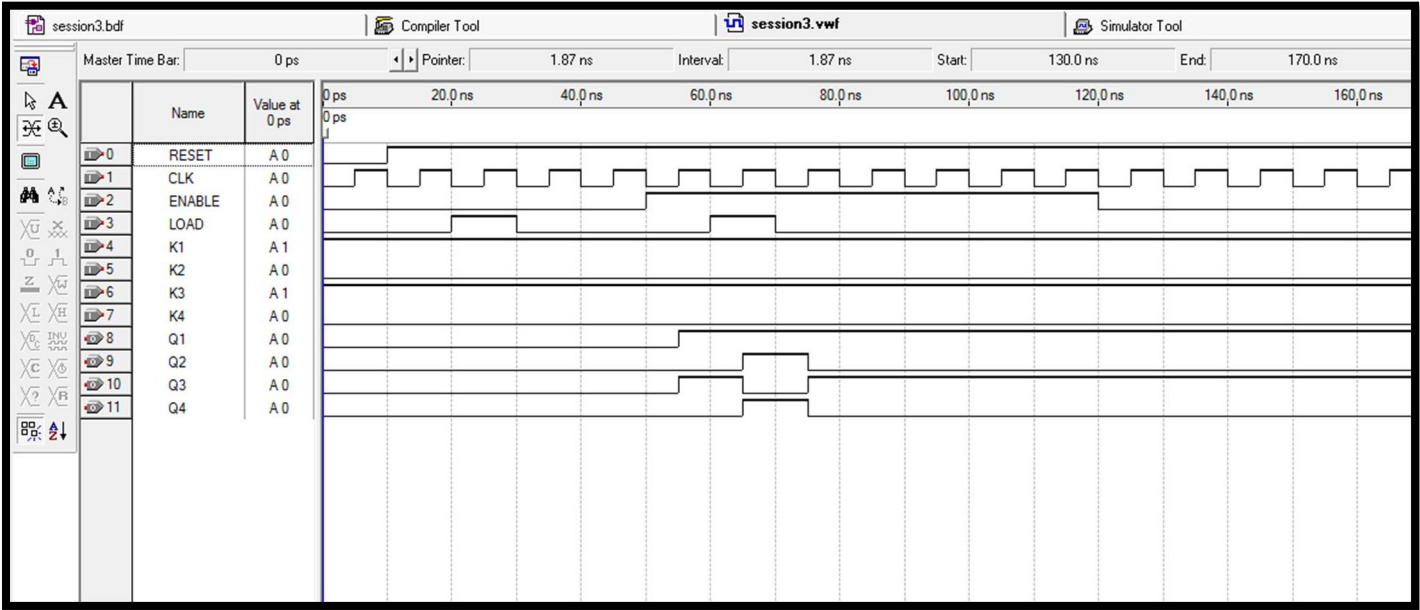
2. Cree el esquemático del circuito LFSR y simúlelo. La simulación deberá comprender un reset inicial, una carga de clave ((K1 – K4) = BCD (LSB DNI)) y al menos 5 ciclos de desplazamiento después de la carga.



Siguiendo la siguiente tabla, podremos hacer la simulación con la carga de clave pedida en el apartado 2 (mediante el cambio de BCD a decimal):

K4	K3	K2	K1	DECIMAL
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Seleccionamos la carga de clave 5 (LSB DNI). La simulación tiene al menos 5 ciclos de desplazamiento después de la carga.



3. Obtenga la frecuencia de oscilación de la señalCLK.

La frecuencia de oscilación de la señal CLK es 100.00 Hz (siendo el periodo de oscilación de la señal 10.000 ns). Todo ello viene descrito en el fichero *.rpt generado durante el proceso de compilación.

4. Número de los pines de la CPLD correspondientes a las entradas ENABLE, LOAD, RST, clave y CLK.
- ENABLE: 37
 - LOAD: 41
 - RST: 1
 - CLK: 43
 - K1: 40
 - K2: 17
 - K3: 16
 - K4: 18
 - Q1: 8
 - Q2: 12
 - Q3: 11
 - Q4: 9