

## Esame di Architetture – Canale MZ – 31/1/17

### Esercizio 4 (14 punti).

Considerate un sistema con due livelli di cache: **CPU <=> L1 <=> L2 <=> RAM**

- L1 è una cache **2-way** set-associativa con **8 set** e blocchi grandi **4 word** e strategia di rimpiazzo **LRU**.
- L2 è una cache **1-way** set-associativa con **4 set** e blocchi grandi **16 word** e strategia di rimpiazzo **LRU**.

1) Supponendo che gli indirizzi siano da 32 bit (indirizzamento al byte) e che all'inizio nessuno dei dati sia in cache, indicate quali degli accessi in memoria più sotto sono hit o miss in ciascuna delle due cache

2) per ciascuna MISS indicate se è di tipo **Caricamento (L)**, **Capacità (Cap)** o **Conflitto (Conf)**

	Address	1120	545	129	1099	1100	2056	319	445	2060	538	131	318	130	528
L1	Block#	70	34	8	68	68	128	19	27	128	33	8	19	8	33
	Index	6	2	0	4	4	0	3	3	0	1	0	3	0	1
	Tag	8	4	1	8	8	16	2	3	16	4	1	2	1	4
	Hit/Miss	M	M	M	M	H	M	M	M	H	M	H	H	H	H
	Tipo miss	L	L	L	L		L	L	L		L				
L2	Block#	17	8	2	17		32	4	6		8				
	Index	1	0	2	1		0	0	2		0				
	Tag	4	2	0	4		8	1	1		2				
	Hit/Miss	M	M	M	H		M	M	M		M				
	Tipo miss	L	L	L			L	L	L		Cap.				

**La ultima miss in L2 è di Capacità perché anche se L2 fosse fully associative non sarebbe possibile ricordare più di 4 accessi e l'accesso precedente al blocco 8 è avvenuto 6 accessi (a blocchi diversi) prima.**

3) calcolate le dimensioni in bit delle due cache L1, L2 compresi i bit di controllo

Scrivete le soluzioni CON I PASSAGGI qui sotto continuando se necessario sul retro del foglio

#### Dimensioni L1:

dim. blocco = 4 word \* 4 byte = 16 byte \* 8 bit = 128 bit

offset =  $\log_2(16) = 4$  bit

index =  $\log_2(8) = 3$  bit

tag = 32 – offset – index = 32 – 4 – 3 = 25 bit

**dimensioni L1** = 2 ways \* 8 set \* [ V + D + U + blocco + tag ] = 2 \* 8 \* [ 3 + 128 + 25 ] = 16 \* 156 = **2496 bit**

#### Dimensioni L2:

dim. blocco = 16 word \* 4 byte = 64 byte \* 8 bit = 512 bit

offset =  $\log_2(64) = 6$  bit

index =  $\log_2(4) = 2$  bit

tag = 32 – offset – index = 32 – 6 – 2 = 24 bit

**dimensioni L2** = 1 ways \* 4 set \* [ V + D + blocco + tag ] = 1 \* 4 \* [ 2 + 512 + 24 ] = 4 \* 538 = **2152 bit**

NOTA: il bit USED non è presente nelle cache direct-mapped

4) assumendo che il processore vada a **5Ghz** con **4 CPI** (Clock Per Instruction), che gli accessi in memoria impieghino **25ns**, che gli hit nella cache L1 impieghino **1ns** e gli hit nella cache L2 impieghino **5ns**, calcolate il **tempo medio** per questa sequenza di accessi e **quante istruzioni** vengono svolte nel tempo calcolato.

Scrivete le soluzioni CON I PASSAGGI qui sotto continuando se necessario sul retro del foglio

#### Tempo totale:

6 hit L1 + 1 hit L2 + 7 miss L2 = 6 \* 1ns + 1 \* 5ns + 7 \* 25ns = 6ns + 5 ns + 175ns = **186 ns**

#### Tempo medio per accesso:

186 ns / 14 = **13.28 ns**

#### Numero di istruzioni eseguite nel tempo medio:

Se la frequenza di clock è 5 GHz il periodo è  $1/5 \cdot 10^9 = 0.2$  ns, e una istruzione impiega  $4 \cdot 0.2$  ns = 0.8 ns quindi in 13.28 ns vengono svolte **13.28/0.8 = circa 17 istruzioni**