

## Esame di Architetture – Canale MZ – Prof. Sterbini – 8/6/15

### Esercizio 4 (14 punti). cache a due livelli

Sia data una gerarchia di memoria con due livelli di cache come in figura,

- La **cache L1** è

**set-associativa a 2 vie**

con **blocchi da 2 word**

**4 set** per ogni via

politica di sostituzione **LRU**

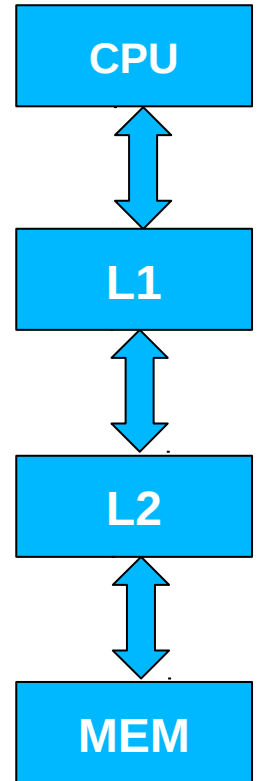
- La **cache L2** è

**set-associativa a 4 vie**

con **blocchi da 16 word**

**2 set** per ogni via

politica di sostituzione **LRU**



1) Per la seguente sequenza di accessi si determinino quali sono gli HIT/MISS sui due livelli di cache

2) per ciascuna MISS indicate se è di tipo **Caricamento (L)**, **Capacità (Cap)** o **Conflitto (Conf)**

3) calcolate le dimensioni in bit delle due cache compresi i bit di controllo

4) calcolate il tempo medio di accesso (su questa sequenza) se:

- tempo di HIT su L1 = **1.5 ns**

- tempo di HIT su L2 = **15 ns**

- tempo di accesso a RAM = **75 ns**

5) calcolate il numero di istruzioni corrispondente al tempo medio di accesso, se il processore ha una frequenza di clock di **2 GHz** e completa una istruzione ogni **3 colpi** di clock.

Indirizzo	27	330	123	333	155	91	126	190	107	95	331	812	163
#blocco L1	3	41	15	41	19	11	15	23	13	11	41	101	20
Tag	0	10	3	10	4	2	3	5	3	2	10	25	5
Index	3	1	3	1	3	3	3	3	1	3	1	1	0
HIT/MISS	M	M	M	H	M	M	M	M	M	M	H	M	M
Tipo MISS	L	L	L		L	L	Conf	L	L	Conf		L	L
#blocco L2	0	5	1		2	1	1	2	1	1		12	2
Tag	0	2	0		1	0	0	1	0	0		6	1
Index	0	1	1		0	1	1	0	1	1		0	0
HIT/MISS	M	M	M		M	H	H	H	H	H		M	H
Tipo MISS	L	L	L		L							L	

Tempo:  $2 \times \text{Hit1} + 6 \times \text{Hit2} + 5 \times \text{RAM} = 2 \times 1.5 + 6 \times 15 + 5 \times 75 = 468 \text{ ns}$

Tempo medio di accesso:  $468/13 = 36 \text{ ns}$

Periodo di clock:  $1/2 \times 10^9 \text{ s} = 0.5 \text{ ns}$

Tempo di una istruzione:  $3 \times 0.5 = 1.5 \text{ ns}$

Tempo di accesso medio misurato in numero di istruzioni:  $36 / 1.5 = 24 \text{ istruzioni}$