

Universidade do Estado do Amazonas
Escola Superior de Tecnologia
Engenharia da Computação

Relatório Máquina de Estados

Aluno: Adriana Raffaella dos Santos Fonseca

Professor orientador: Edgard Luciano Oliveira da Silva

Março
2025

Conteúdo

1	Resumo	1
2	Apresentação	1
3	Descrição de Atividades	1
4	Análise dos Resultados	3

1 Resumo

O projeto consistiu na modelagem e simulação de duas máquinas de estados finitos: Mealy e Moore, que têm como objetivo reconhecer o primeiro zero após a ocorrência de três ou mais uns consecutivos. Os circuitos foram inicialmente projetados com diagramas lógicos e posteriormente implementados na linguagem Verilog. As simulações foram realizadas utilizando arquivos de waveform (`.wvf`) para análise temporal do comportamento dos sistemas.

2 Apresentação

As máquinas de estados Mealy e Moore foram desenvolvidas com flip-flops JK e portas lógicas. A saída da máquina de Mealy depende tanto da entrada quanto do estado atual, enquanto na de Moore depende exclusivamente do estado atual. O projeto está disponível no repositório GitHub: [Maquina-de-Estados—Mealy-x-Moore](#)

O projeto foi dividido em:

- Criação dos diagramas de estados lógicos.
- Implementação em Verilog.
- Simulação com arquivos `.wvf`.
- Análise dos diagramas de tempo.

Os códigos Verilog utilizados foram:

- `mealy_FFJK.v`
- `mooreJK.v`

3 Descrição de Atividades

As seguintes atividades foram desenvolvidas:

1. Projeto dos circuitos sequenciais em nível lógico com flip-flops JK.
2. Implementação do comportamento das máquinas em Verilog.
3. Simulação dos circuitos usando arquivos de waveform (`.wvf`).
4. Comparação visual e funcional entre os modelos Mealy e Moore.

Máquina de Estados Mealy

- Diagrama lógico:

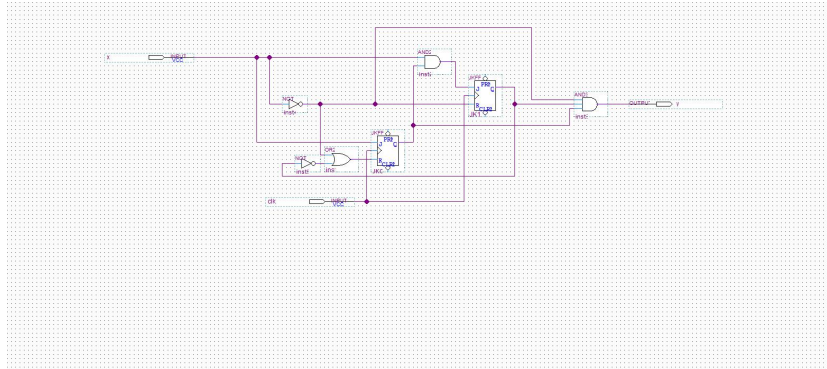


Figura 1: Diagrama lógico da máquina de Mealy

- Diagrama de tempo – versão em blocos:

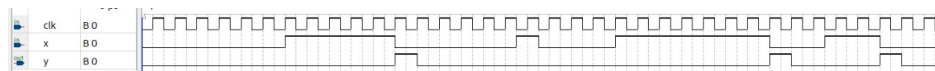


Figura 2: Diagrama de tempo da máquina de Mealy (bloco)

- Diagrama de tempo – versão Verilog:

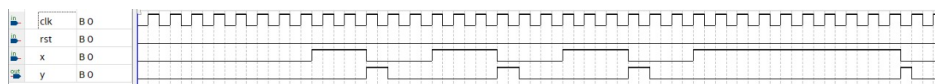


Figura 3: Diagrama de tempo da máquina de Mealy (Verilog)

Máquina de Estados Moore

- Diagrama lógico:

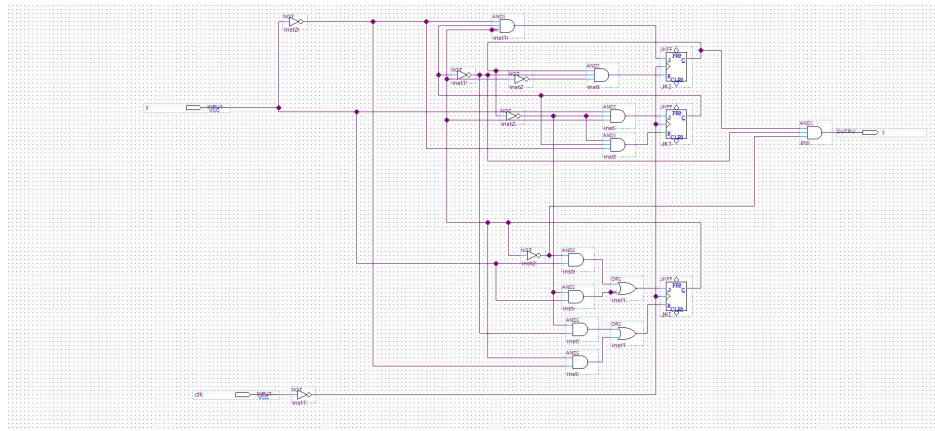


Figura 4: Diagrama lógico da máquina de Moore

- Diagrama de tempo – versão em blocos:

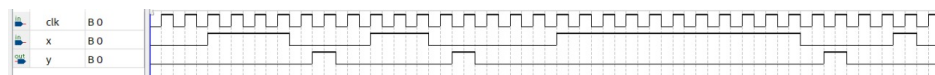


Figura 5: Diagrama de tempo da máquina de Moore (bloco)

- Diagrama de tempo – versão Verilog:

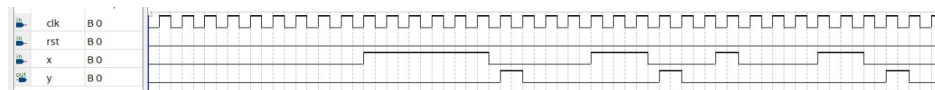


Figura 6: Diagrama de tempo da máquina de Moore (Verilog)

4 Análise dos Resultados

Comportamento

Mealy: A saída muda instantaneamente conforme a entrada muda, mesmo sem alteração de estado. Isso proporciona maior velocidade de resposta.

Moore: A saída muda apenas na transição de estados, tornando o sistema mais previsível e com menor risco de glitches.

Verificação com Simulação

As simulações em waveform demonstram com clareza as diferenças no tempo de resposta entre os dois tipos de máquinas. O comportamento nos diagramas de tempo confirmam:

- Para Mealy, a saída acompanha diretamente as mudanças na entrada.
- Para Moore, a saída depende exclusivamente da transição de estados.