

***2***

***0***

***2***

***1***

**数字电路与逻辑设计**

**课程实验报告**

**多功能电子钟系统设计**

|  |  |
| --- | --- |
| 姓 名： |  |
| 学 号： |  |
| 班 级： |  |
| 专 业： | 计算机科学与技术专业 |
| 完成日期： | 2021年12 月 12日 |

实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分“计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间后提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或者二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或者二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或者24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，输出状态为12小时计时；当Set=1时，输出状态为24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；注意，这里应该通过控制信号，使用**Adj0**和**Adj1**实现闹钟的设置，使用输出时间显示屏作为闹钟设置的时间显示。
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，需要增加相关的输入和输出端口，至少需要闹钟的开关控制（输入）和闹钟的输出，其它端口可以自行按照要求设计；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

6. 实验方案设计

（1）设计思路

1）四位二进制可逆计数器

计数器需要有记忆功能，采用D触发器完成反馈电路。

①CLR功能的实现

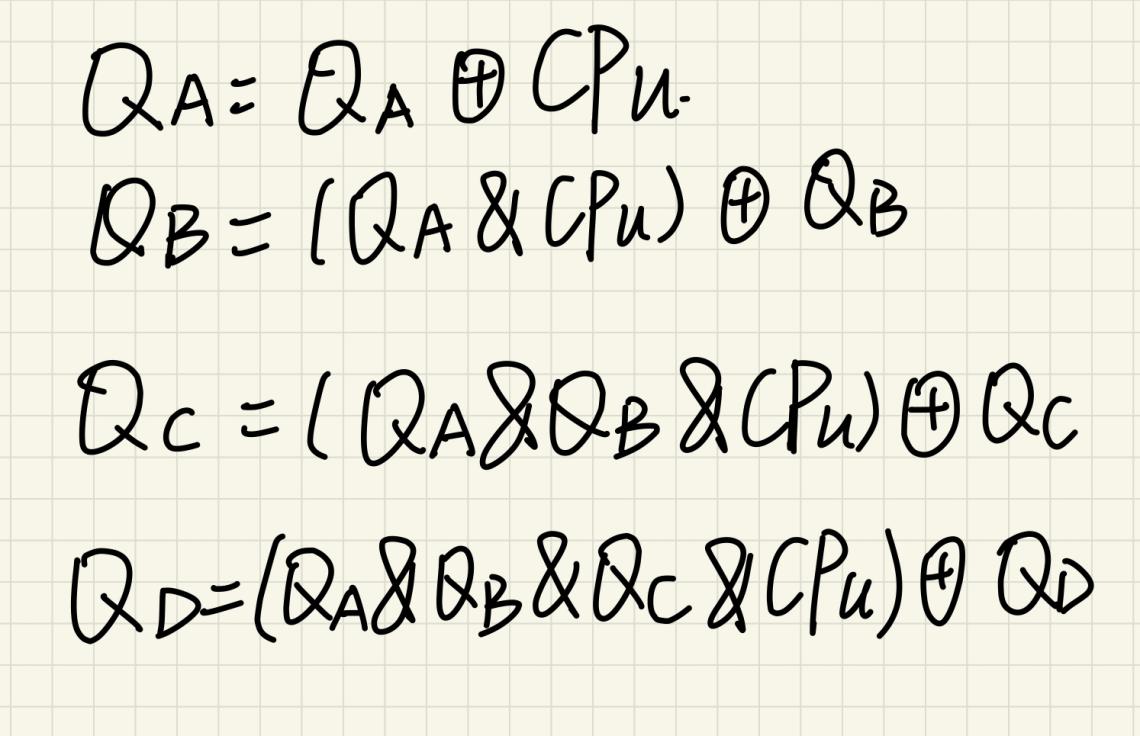
CLR是清除操作，可以选择将其与直接置零端相连接来使得结果直接清零。

②LD功能的实现

LD为初始化的标志，当LD为0时，可以对结果直接置初始的结果，因此也可以通过直接置零端和直接置一端进行初始化。以A与Qa为例，LD为0时，A为0，那么Qa直接为0，则可以将LD与A同时为0的或非逻辑的结果传递给直接置0端，使结果为0；A为1，Qa直接为1，则可以通过LD为0与A为1的LD非和A的与逻辑传给直接置1端，使结果为1。其他B、C、D的作用方法与A相同。

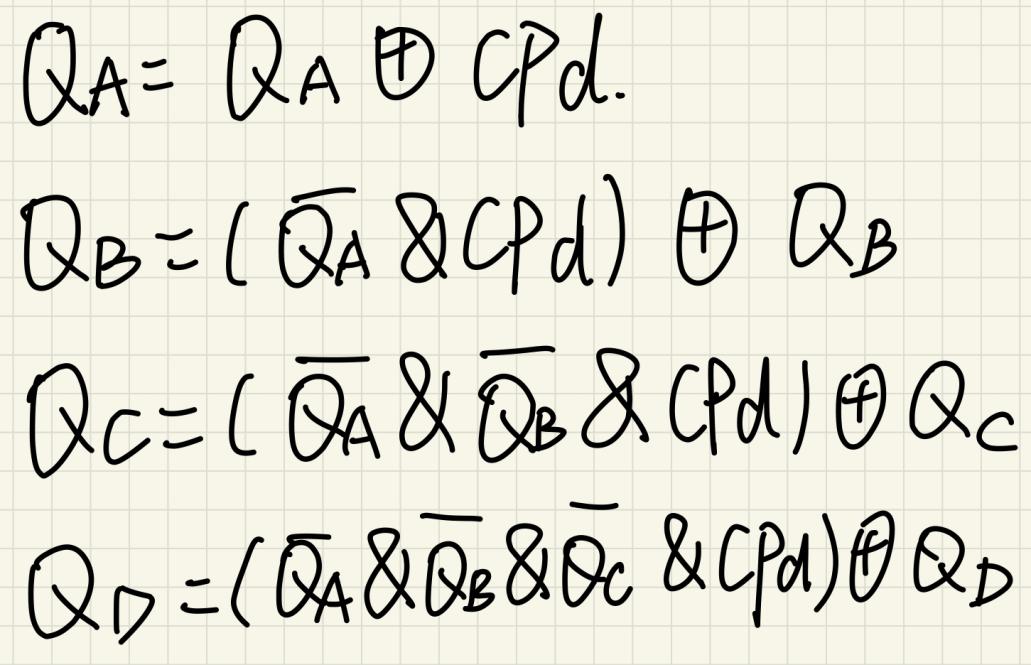
③CPu功能的实现

CPu为加一操作，也就是在原结果的基础上加一。经分析可以得到从低位到高位的逻辑表达式（如下图所示）。D触发器的功能为Q=D，因此可以将下面的每一项逻辑表达式用与门和与或门表达出来连接在D触发器的D接口上，D触发器的时钟控制端由CPu和CPd控制，如果有输入将触发时钟控制器使得结果可以发生变化。



④CPd功能的实现

CPd为减一操作，也就是在原结果的基础上减一。经分析可以得到从低位到高位的逻辑表达式（如下图所示）。D触发器的功能为Q=D，因此可以将下面的每一项逻辑表达式用非门和与门和与或门表达出来连接在D触发器的D接口上，D触发器的时钟控制端由CPu和CPd控制，如果有输入将触发时钟控制器使得结果可以发生变化。



1. 六十进制计数器

60进制计数器需要实现简单的二进制可逆计数器功能，此外需要①计时到60后清零重新开始，②输出的结果用8421码表示，③计时到60进一。

采用四位二进制可逆计数器对其进行计数，四位计数最多只能为31，因此需要两个四位二进制可逆计数器组装成“八位二进制可逆计数器”，将两个计数器低位和高位进行区分，低位计数器接受CPu和CPd的信息进行加减操作，高位计数器接受低位计数器的进位信息进行加减操作，将这两个计数器的结果通过分线器合起来得到一个完整的数，这个数便是当前的计数的结果。

①得到的八位二进制计数与60比较，如果结果等于60，就将信号传递给CLR使计数器清0，即该信号和CLR的信号采用或逻辑门输入信号。

②要求用8421码表示数值，将得到的八位二进制数进行除以10的操作，得到的商为高位的8421码，得到的余数为低位的8421码。

③进一操作需要在adj为0的情况下，因此可以采取比较结果和adj与逻辑的操作产生进位的信号。

1. 十二进制计数器或二十四进制的计数器

12/24进制计数器需要实现简单的二进制可逆计数器功能，此外需要①可以选择12进制或者24进制，②输出的结果为用8421码表示，③计数到12（12进制）或24（24进制）时清零重新计数，④计数到12（12进制）或24（24进制）时进一。

①可以引入四位二进制可逆计数器进行计数，虽然是需要可以选择12/24进制进行计数，但是我们可以将其简化成12进制计数并在选择24进制的时候将其转换成24进制的计数，也就是记录当前是上午还是下午，在下午的时候选择将当前的12进制的数加12，在上午的时候24进制的计数和12进制的计数相同。以此选择12/24进制的选择。

②输出结果用8421码表示与六十进制的计数器相同，采用除以10的方法得到商和余数，将其作为二位数的8421码输出。

③计数到12的时候清零，将结果与12比较，该信息与CLR共同采用或逻辑输入到四位二进制可逆计数器的清零信息中去。

④计数到12/24的时候进一，在12进制的情况下，如果是调整数值的话，不能进位，但是在24进制的情况下，由于是12进制转换成24进制，因此可以在24进制的情况下一直可以进位，因此进位信息相较于60进制计数器调整为24进制情况和12进制并且非调整状态下进行或逻辑运算得到都可以进位。

1. 上下午文字显示电路

上下午显示需要用一个4\*5的显示器表示。我们需要先总结出“上”的编码和“下”的编码，上的编码为00001，11111，00101，00001；“下”的编码为10000,11111,10100,10000;24进制的情况下为4个00000。

根据三种情况的编码，我们可以得到每一位的逻辑表达式，之后利用分线器得到一个五位的编码将其与显示器的接口对应。

1. 电子钟整点报时

电子钟整点报时要求在整点前10秒开始变亮，也就是在59分50秒开始变量，直到分秒变成00：00再不亮。

因此可以用两个比较器表示，第一个比较器比较分，与59相等的话为1，第二个比较器比较秒，比50大的时候为1，当二者都为1（与逻辑）的时候亮灯。

1. 秒脉冲产生电路

秒脉冲产生电路要求8Hz为1秒，也就是时钟变化了8次才变化一次。

D触发器的特点是在CP=1的时候Q=D，在CP=0的时候Q不发生变化，我们需要做到8Hz下的Q的0与1交替变化，而Q与Q的非正好是0/1或者1/0相反，因此可以将Q的非连接到D处作为输入，那么Q一定是交替变化的，而Q在CP=0的时候是不会发生变化的，那么当CP周期性0/1变化的时候，一个周期下Q才会变化，那么CP变化两次的时候Q才会变化，那么8Hz作为1秒便可以用三个串起来的D触发器达到8次变化输出0/1交替一次的效果。

1. 多功能数字钟

多功能数字钟需要实现的功能为①时钟脉冲8Hz下计时，逐秒计时，进位分，分进位秒，②显示时分秒并且可以调节12/24进制，12/24进制可以相互转换③可以做到清零，④可以调整分或者时，⑤整点前报时。

①计时功能需要时分秒都计时，需要两个六十进制计数器和一个12/24进制计数器，区分为秒计数器（60进制）、分计数器（60进制）和时计数器（12/24进制）。时钟信号经过秒脉冲产生电路后输入给秒计数器的计时统计（也就是加一操作），秒计数器的进位信号作为加一信号输入到分计数器中去，分计数器的进位信号作为加一信号输入到时计数器中去。以此实现进位功能。

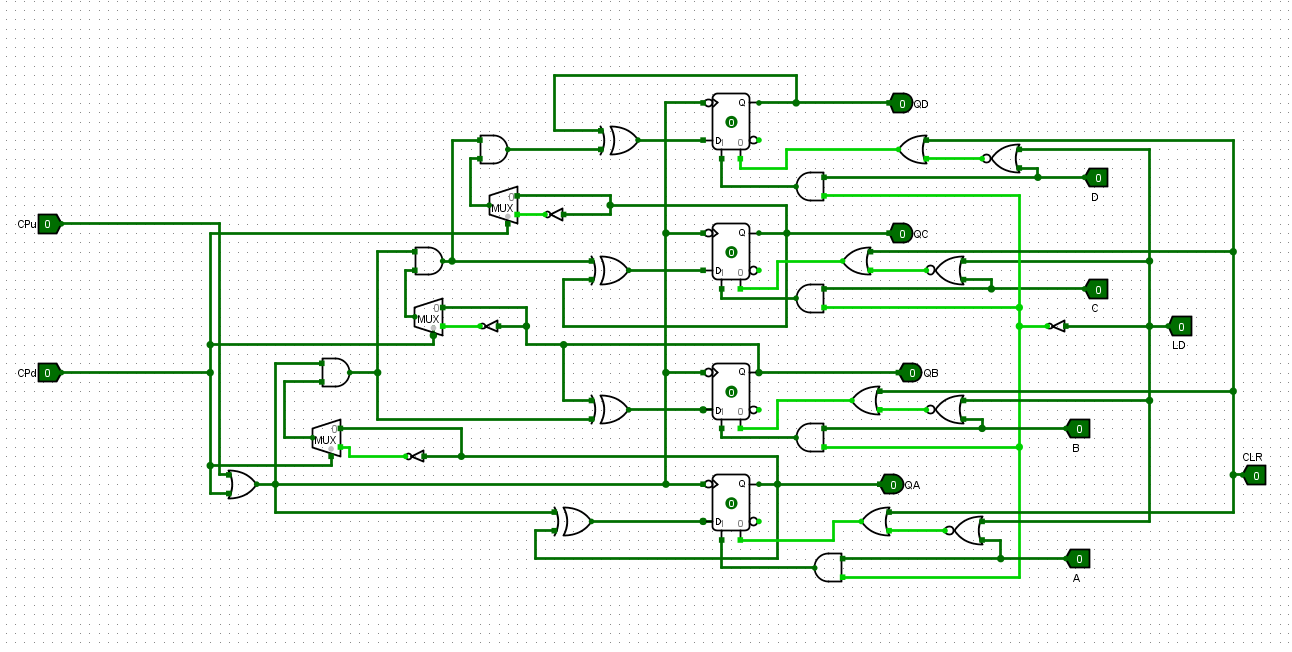
②显示时分秒采用十六进制显示器，将时分秒中的高位和低位的用8421码表示的数值显示出来，直接连接即可。而12/24进制的显示的转换由计数器完成，计数器计数的时候便将12/24进制可以转换了。

③清零操作，将CLR与时计数器、分计数器、秒计数器的清空功能的按键连接，对所有直接清零。

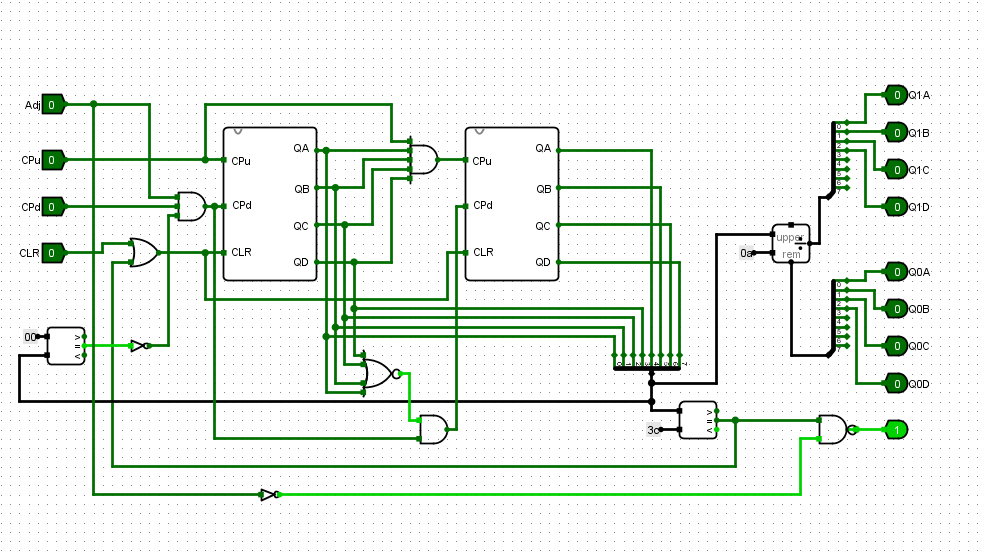
④调整时分的时候需要各个计数器停止进位，那么就要将Adj0的信息传递给各个计数器的Adj位，同时需要Adj1选择调整时还是调整分，因此可以参与Adj0和Adj的非逻辑和与逻辑实现该功能。

⑤整点报时，需要将分的数值和秒的数值拿出来与59分50秒比较，由于时8421码表示的数值，因此需要将高位×10+低位来确定该项的数值。

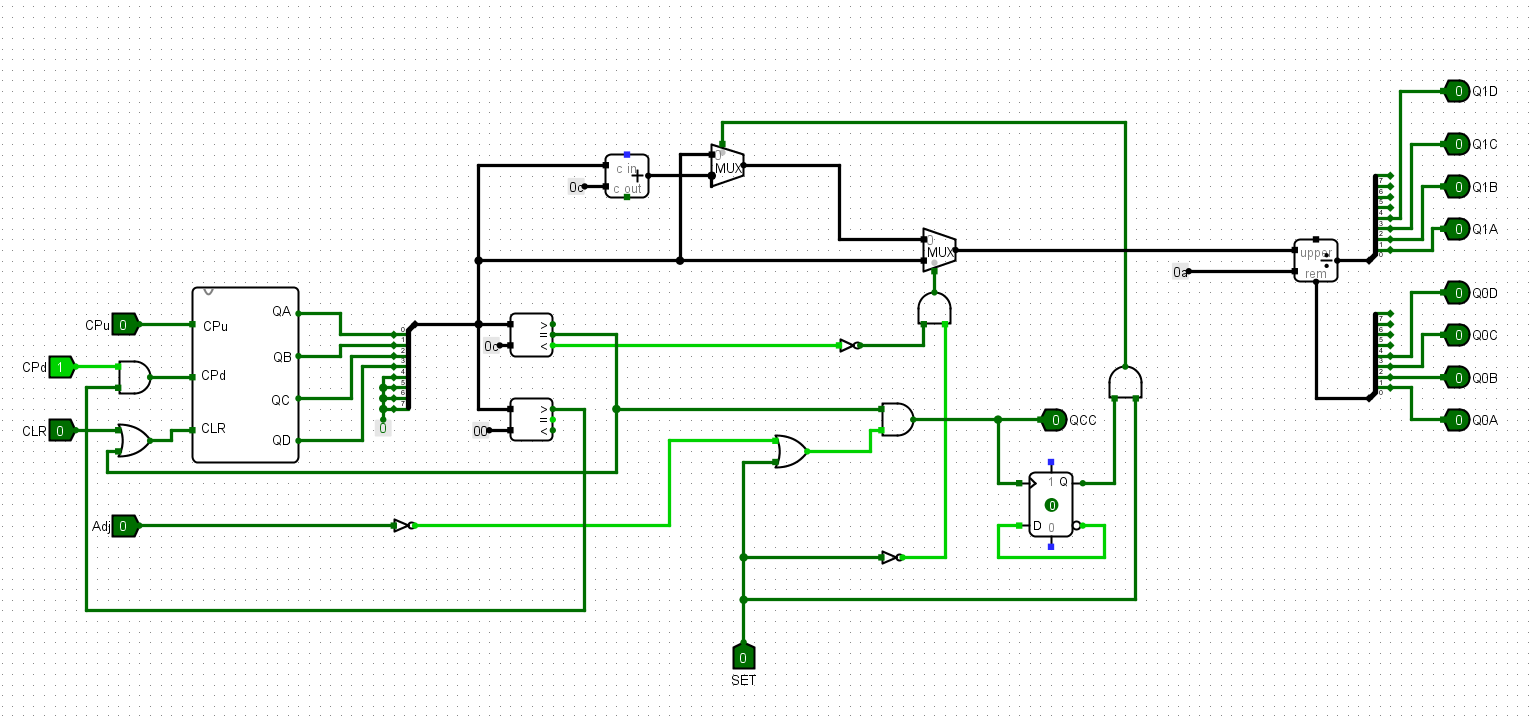
1. 画出电路图
2. 四位二进制可逆计数器



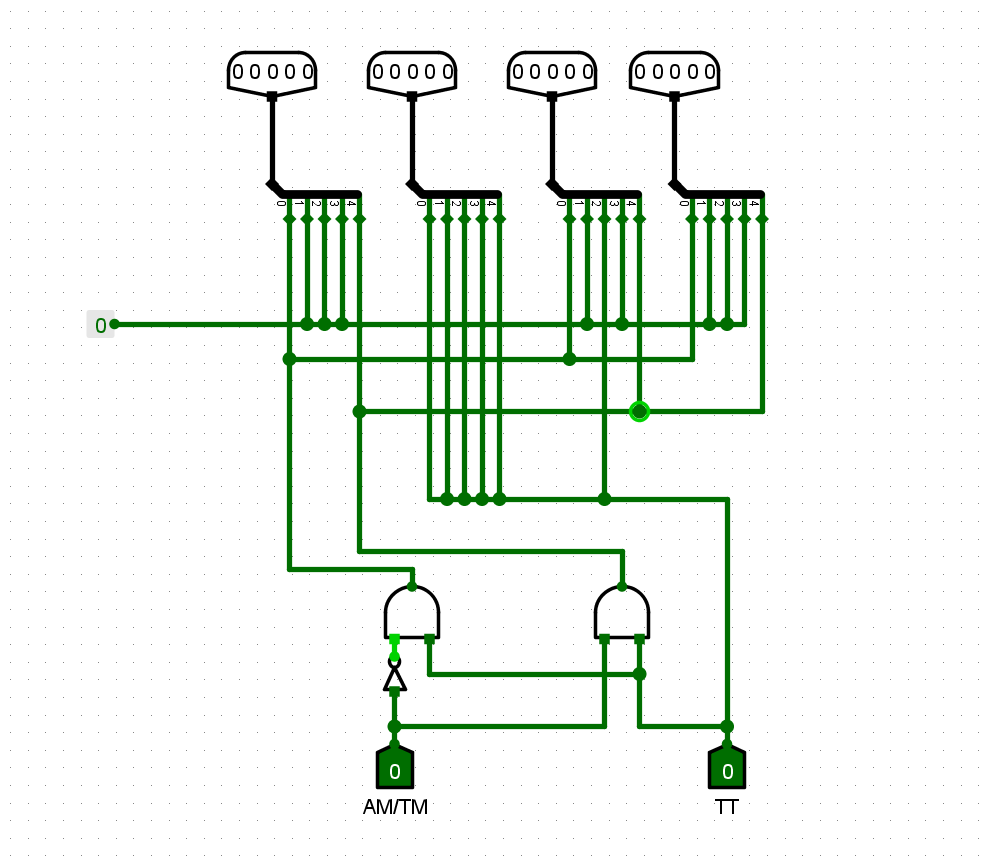
1. 六十进制计数器



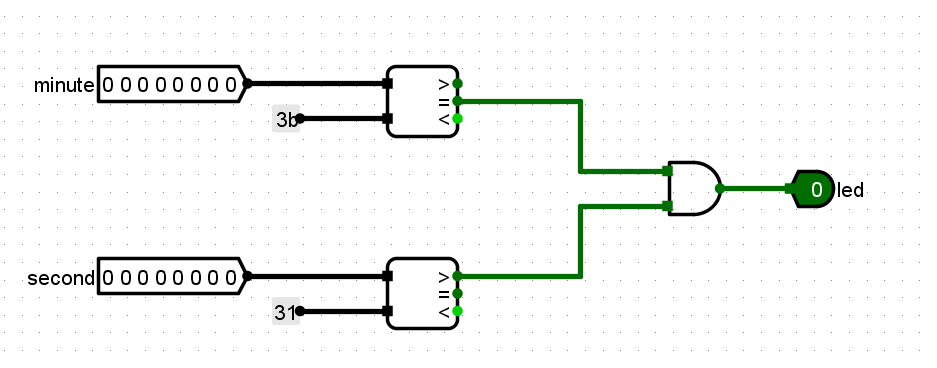
1. 十二进制计数器或二十四进制的计数器



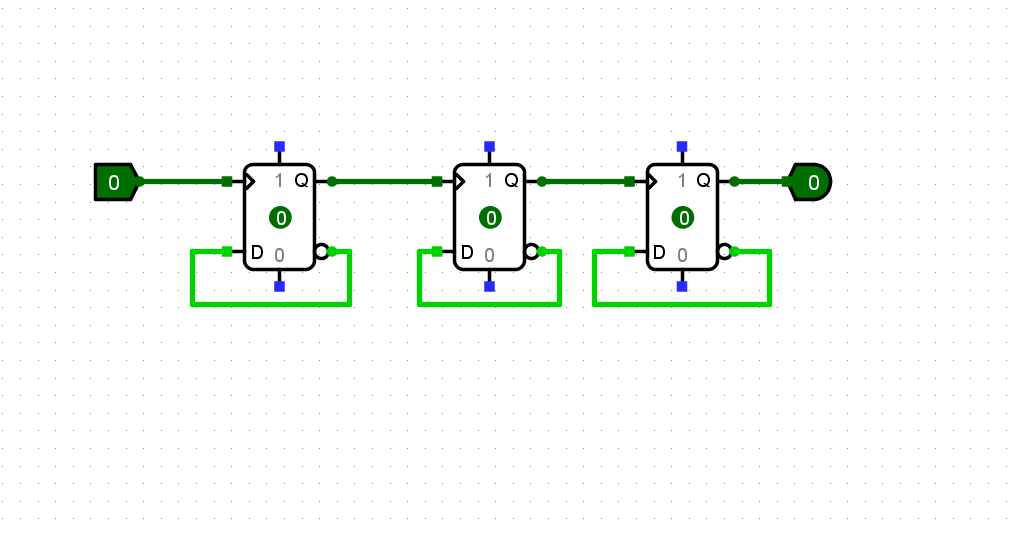
1. 上下午文字显示电路



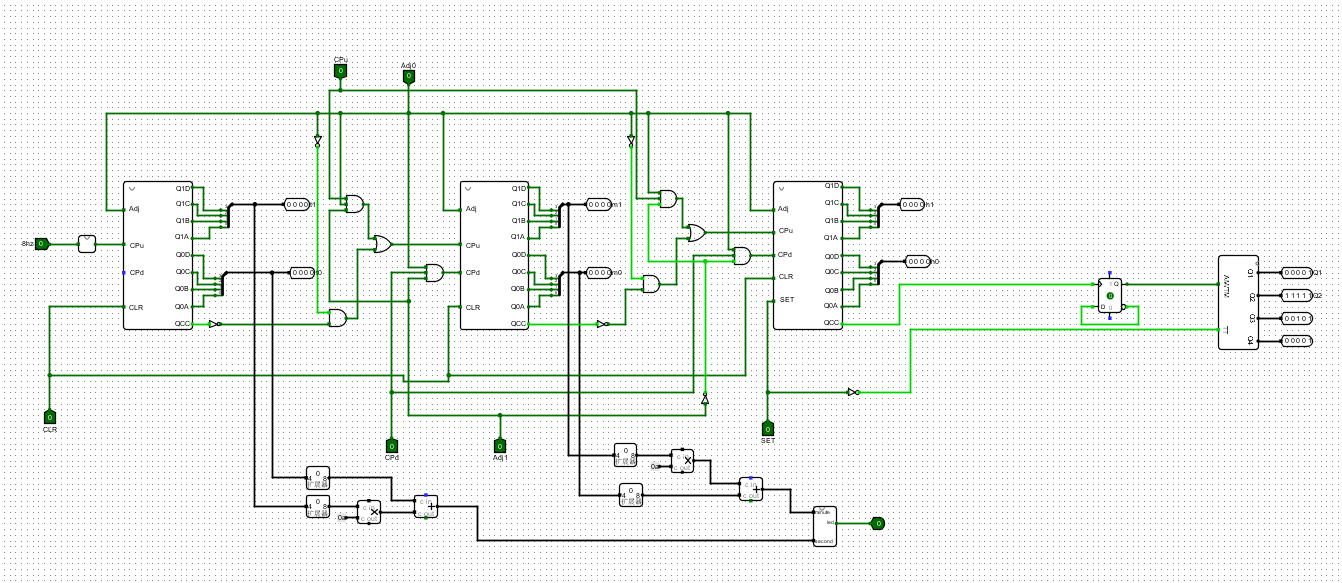
1. 电子钟整点报时



1. 秒脉冲产生电路

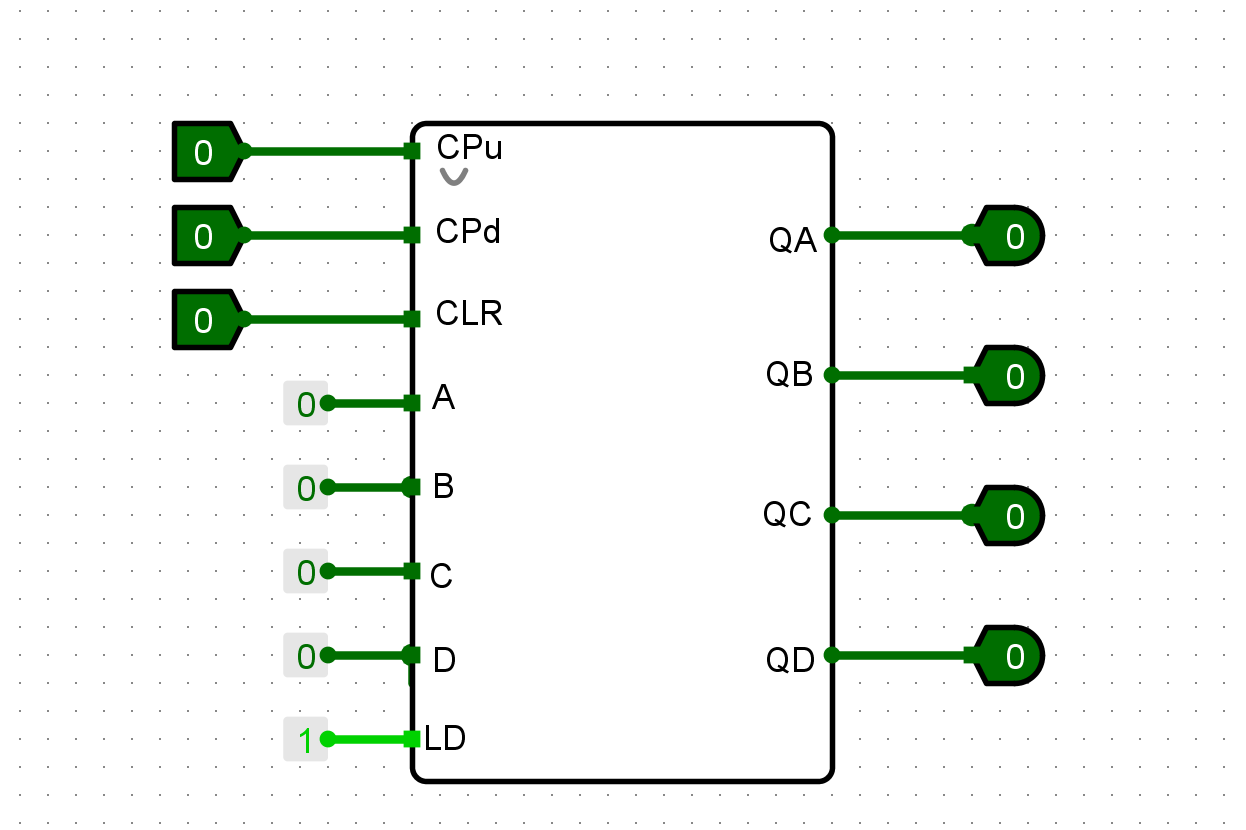


7）多功能数字钟

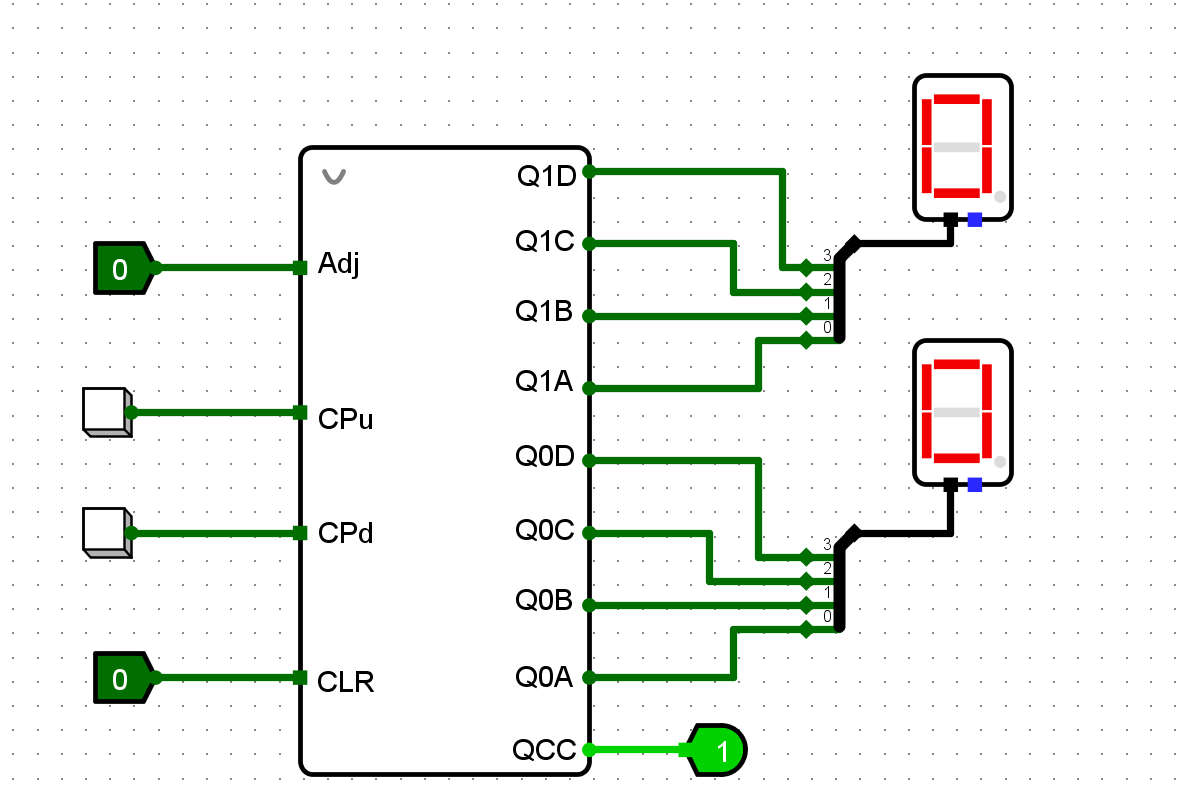


7. 实验结果记录

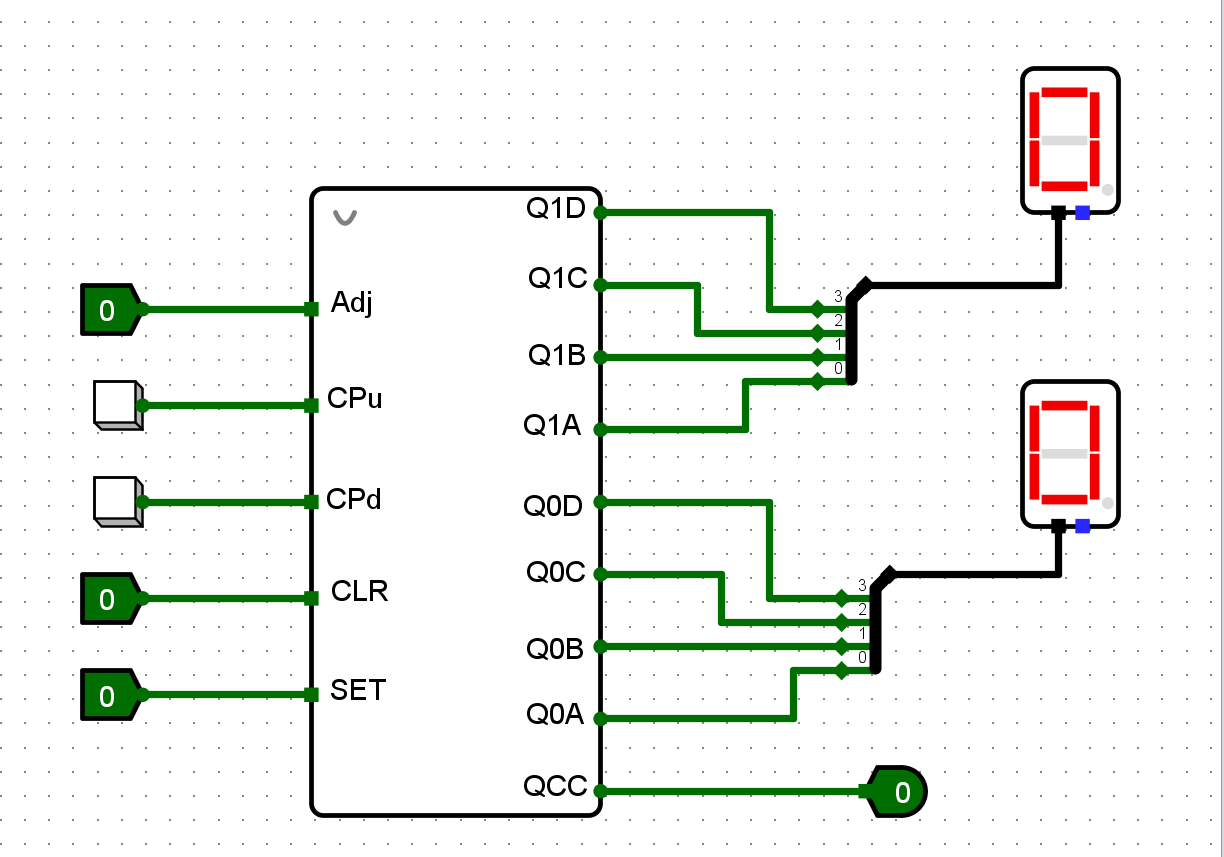
（1）四位二进制可逆计数器



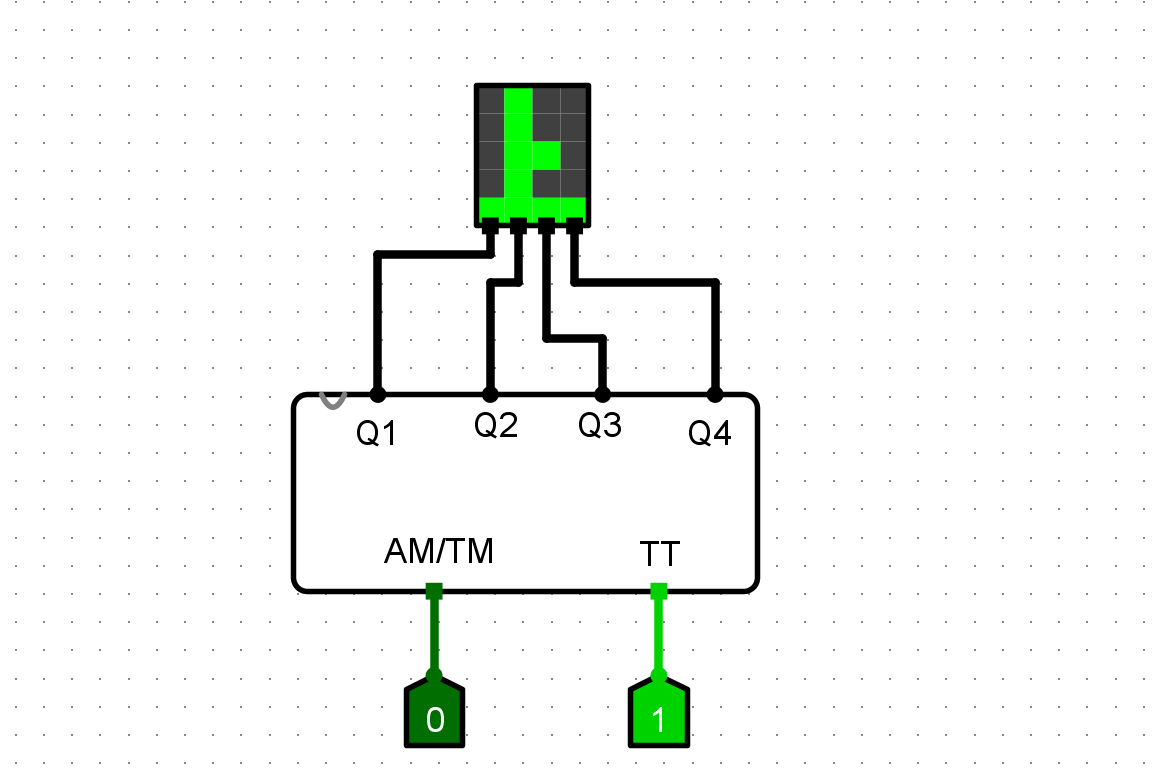
（2）六十进制计数器



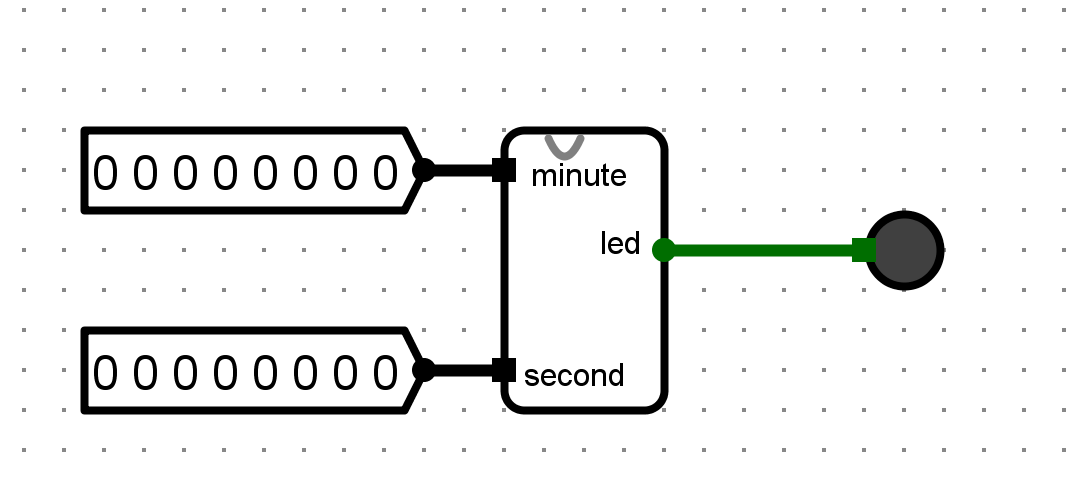
（3）十二进制计数器或二十四进制的计数器



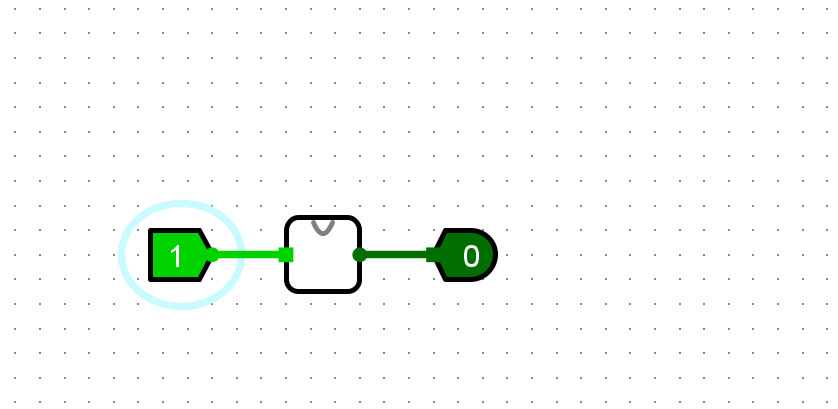
（4）上下午文字显示电路



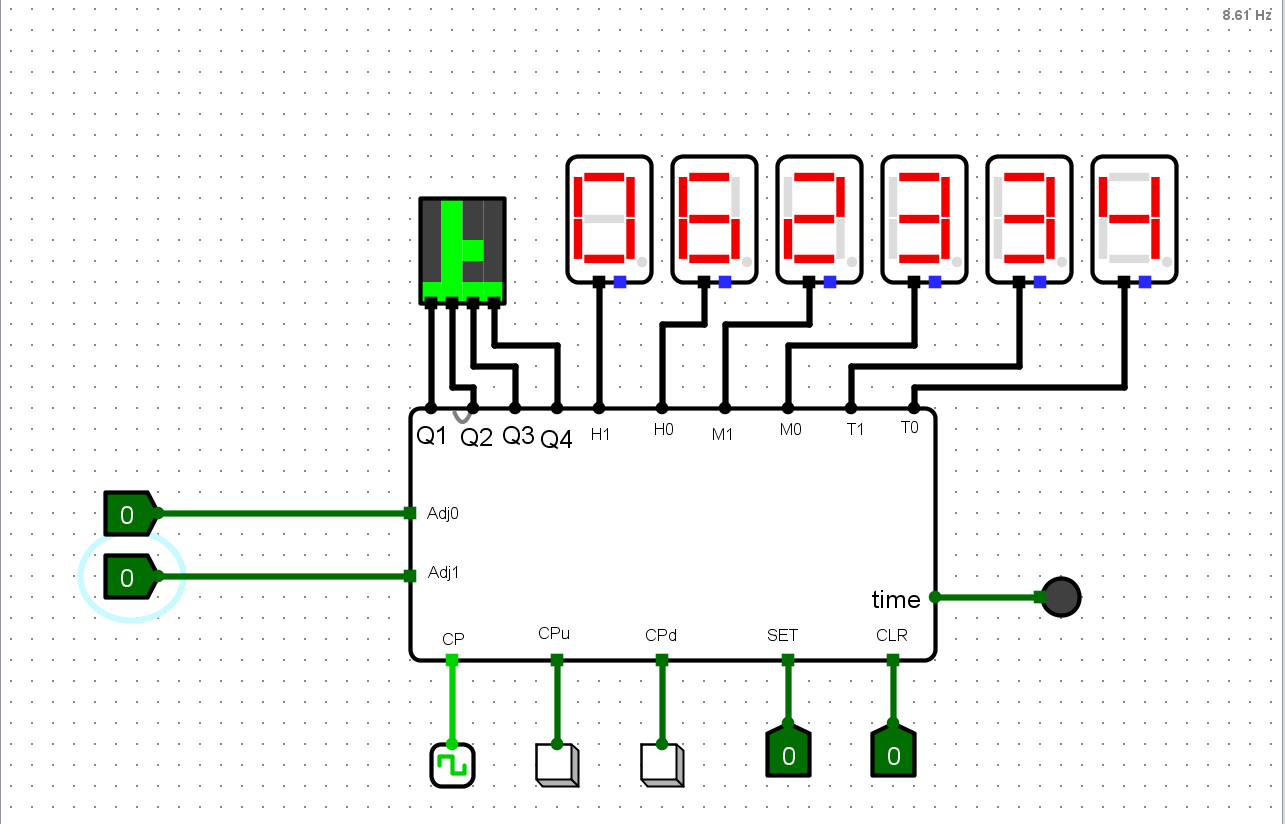
（5）电子钟整点报时



（6）秒脉冲产生电路



（7）多功能数字钟



8. 实验后的思考

（1）实验的难点在哪些方面？

在本次实验中，我认为，难点主要在第一个计数器的设置和12/24进制转换这两个方面。

计数器的设计基本上思路是一样的，因此，解决了一个计数器就能解决其他的计数器，而一开始在设计计数器的时候，在初始化值的时候耗费了很多时间，因为这部分与清零的功能有一部分相重合，本质上都是直接得到结果的值。

第二个方面是12/24进制转换的问题，因为24进制包含了上午和下午两个时间段，而在转换成12进制的时候，需要将24进制的下午时间段减12并且表示出来下午，在用12进制表示上午下午的时间点转换程24进制的时候可能要加12，这个需要有上午下午的判断和相应的操作，一开始把这个功能给漏掉了，导致下午时间的12进制和24进制表示不对等。

（2）如何解决这些难点？

对于计数器，就是需要理清楚所有的逻辑结构，将所有的直接置0和直接置1的情况考虑清楚，将他们之间的逻辑关系搞清楚，比如CLR与其他的是或逻辑关系，而LD和A/B/C/D是与逻辑关系，在冷静理清这些逻辑之后就可以完美的画出电路图，此外，还有加减的操作，解决办法就是根据数学运算找出这些输入和输出的逻辑关系，这样的话就能根据逻辑关系去运用逻辑门解决这个问题。

对于12/24进制转换，这个的解决办法就是将它化简为12进制计数，然后转换成24进制，然后考虑其他的一些特殊情况，比如进位等问题。

因为不管是12进制还是24进制，本质就是计数然后输出想要的信息，因此可以先将其用一个方法计数然后根据SET的取值来选择输出的值，这样问题就可以得到简化，就是一个计数器再增添一些功能。

比如下午的时间段，用12进制表示是一个小于12的数值，而用24进制表示是一个大于12的数值，那么这个时候就可以根据下午这个信息将原来的数字加12，而获取下午这个信息就是进位。在计数不断累加的过程中会产生进位，将进位作为一个信息计数的话，偶数就是上午，奇数就是下午，因此我们所需要的就只有奇偶这个信息，那么对于二进制数来说就是最后一位是0还是1的问题，根据前面的计数器的原理，这里可以采用D触发器来记录和，满2进一，看个位的数值，0表示上午，1表示下午，那么1的情况下转换成24进制的时候就要加12，这样12进制和24进制相互转换的问题就被解决了。