

实验四 时序器件实验

一、实验目的

1. 掌握常见时序器件的逻辑功能和使用方法。
2. 掌握时序器件的级联扩展的方法。
3. 掌握使用时序器件实现数字系统设计的步骤。

二、实验设备与器材

1、数字逻辑电路实验箱。

2、芯片

74HC00	四路两输入与非门	1 片
74HC02	四路两输入或非门	1 片
74HC74	双 D 触发器	2 片
74HC161	四位二进制异步清零计数器	1 片
74HC163	四位二进制同步清零计数器	1 片
74LS194	双向移位寄存器	2 片

三、实验内容及实验步骤

1、分别利用 1 片 74 HC161 清零端加一个逻辑门电路设计并实现 0, 1, ..., 11 模 12 的计数器；以及 1 片利用 74HC163 的置数端加一个逻辑门电路，设计并实现 3, 4, 5, ..., 14 模 12 的计数器，分别将输出连接到一个 7 段数码管显示。

1). 写出设计步骤.

- a) 异步清零实现 12 进制, $12_{10} = (1100)_2$, 通过与非门接到 CLR。
- b) 同步置数实现, $14_{10} = (1110)_2$, 通过与非门接 LD, 载入 $3_{10} = (0011)_2$ 。

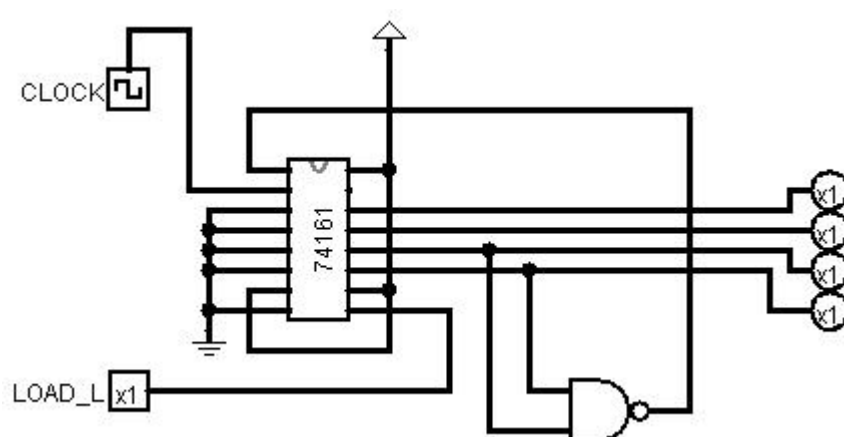
2). 写出状态转移表

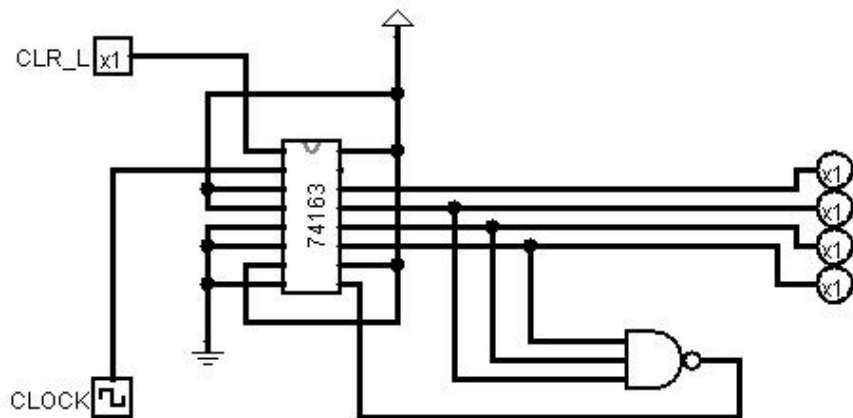
- a) 0000-0001-0010-0011-0100-0101-0110-0111-1000-1001-1010-1011-1100-0000
- b) 0011-0100-0101-0110-0111-1000-1001-1010-1011-1100-1101-1110-0011

3). 写出逻辑表达式.

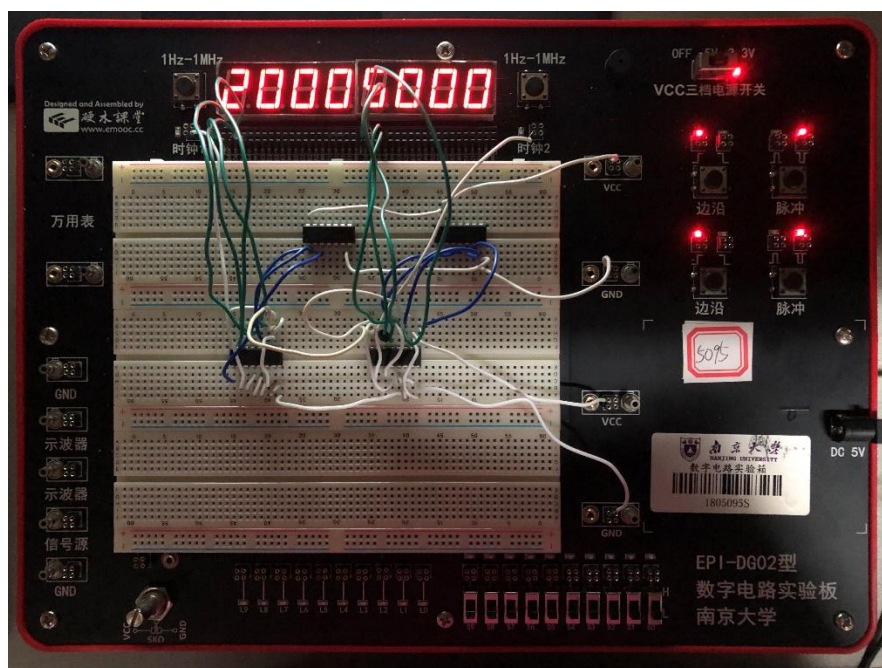
- a) $A=0, B=0, C=0, D=0, \sim\text{CLR} = \sim(QD \cdot QC)$
- b) $A=1, B=1, C=0, D=0, \sim\text{LD} = \sim(QD \cdot QC \cdot QB)$

4). 画出电路图，并在 logisim 中模拟验证，提交 logisim 电路源程序。





5). 通过实验分析验证所设计的电路是否正确



实验中 7 段数码管的显示结果正确。

2、利用 3 片 74HC163 (74HC161) 及少量逻辑门电路，设计自己学号后 3 位 (如果后 3 位学号小于 100 的，则加上 100 后，进行计数) 的 BCD 加法计数器，输入 1Hz 的连续脉冲累加计数，并将输出连接到三个 7 段数码管显示。

1). 写出设计步骤。

选择使用 74HC163，学号后三位为 154，即个位 0100，十位 0101，百位 0001 时将输入置为 0001，0000，0000，个位为 1001 时通过 ENP 设置十位的进位，个位和十位均为 1001 时通过 ENP 设置百位的进位，得到从 1 计数到 154 的循环计数器。

2). 写出状态转移表

个位：0001-0010-0011-0100-0101-0110-0111-1000-1001-0000 (进位) -0001

十位：0000-0001-0010-0011-0100-0101-0110-0111-1000-1001-0000 (进位)

百位：0000-0001-0000 (0001 0101 0100 - 0000 0000 0001)

3). 写出逻辑表达式.

输入 D0=1, D1—D11=0。

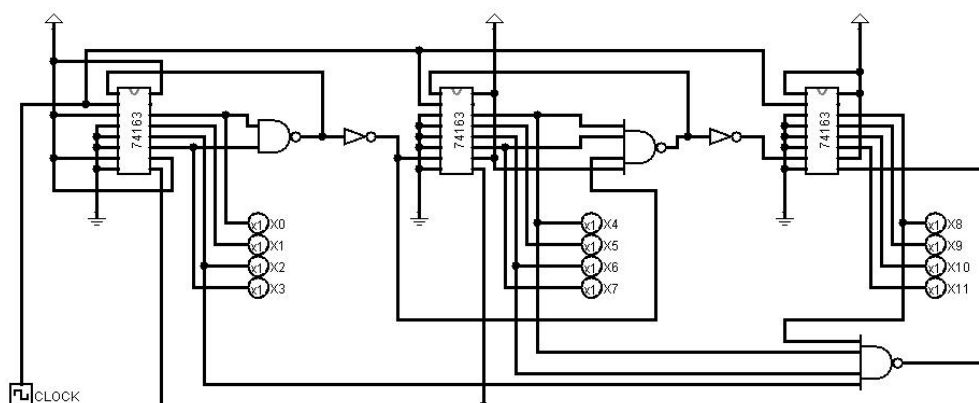
个位：CLR_L = $\sim(X0 \cdot X3)$, ENP=ENT=1,

十位：ENP = $X0 \cdot X3$, CLR_L = $\sim(X0 \cdot X3 \cdot X4 \cdot X7)$, ENT=1,

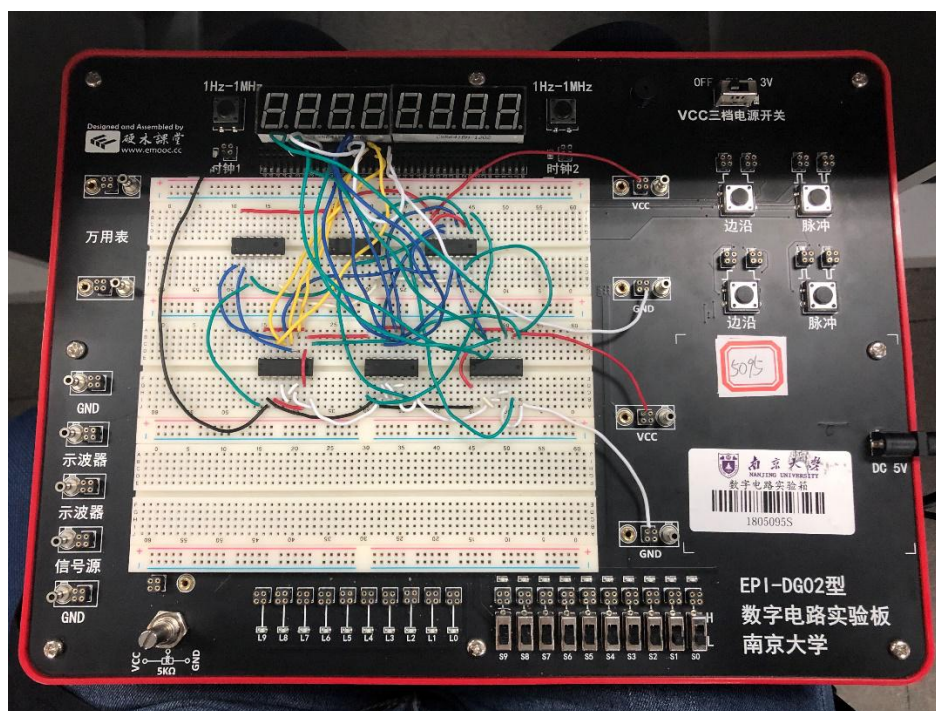
百位：ENP = $X0 \cdot X3 \cdot X4 \cdot X7$, CLR_L=1, ENT=1,

LD_L = $\sim(X2 \cdot X4 \cdot X6 \cdot X8)$

4). 画出电路图，并在 logisim 中验证，提交 logisim 电路源程序。



5). 通过实验分析验证所设计的电路是否正确



实验中 7 段数码管确实出现了 1~154 循环计数。

3、利用一片 74LS194、74HC86 和 74HC02，利用 74LS194 左移功能，实现一种 4 位的包含全 0 状态的线性反馈移位计数器 LSFR。观察输出端的状态变化，将结果记录下来，并连接到 7 段数码管显示。

1). 写出设计步骤.

选择反馈方程 $LIN=QA \oplus QB$ ，得序列 0001-0010-0100-1001-0011-0110-1101-1010-0101-1011-0111-1111-1110-1100-1000-0001，可见不含 0000，0000 下一位 1000，则将 0000 插入到 0001 后面，修改反馈方程为 $LIN=(QA \oplus QB) \oplus \sim(QB+QC+QD)$

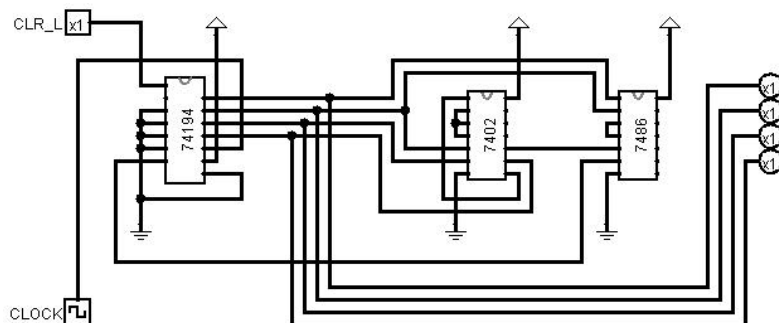
2). 写出状态转移表

0001/0—0010/0—0100/1—1001/1—0011/0—0110/1—1101/0—1010/1—0101/1—1011/1—0111/1—1111/0—1110/0—1100/0—1000/1—0001/0

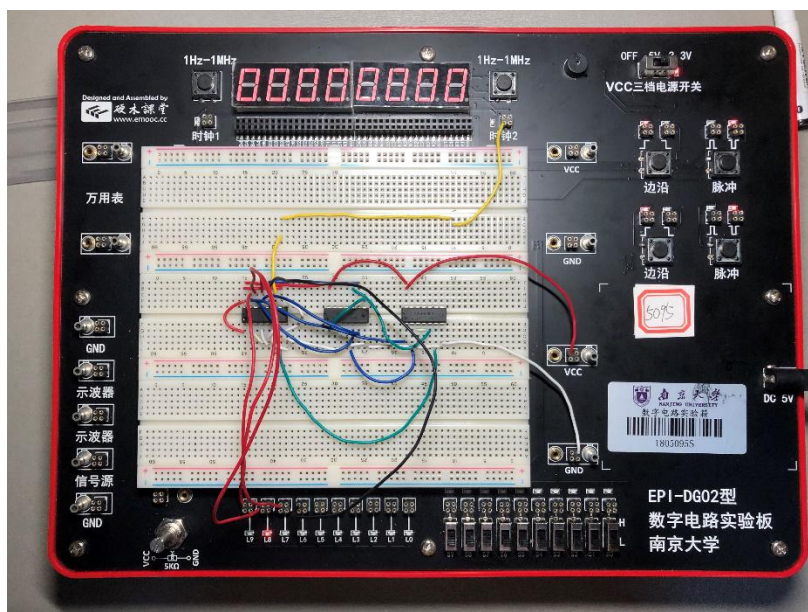
3). 写出逻辑表达式.

$$LIN = (QA \oplus QB) \oplus \sim(QB+QC+QD) = (QA \oplus QB) \oplus \sim(\sim\sim(QB+QC)+QD)$$

4). 画出电路图，并在 logisim 中验证，提交 logisim 电路源程序。



5). 通过实验分析验证所设计的电路是否正确



实验中循环出现了预想的序列。

4、利用 74LS194 左移功能和少量门电路，完成二进制序列“1000111101”的循环生成，并通过 L0-L9 指示灯显示。

1). 写出设计步骤.

根据需实现的二进制序列可得状态转移图: 1000/1—0001/1—0011/1—0111/1—1111/0—1110/1—1101/1—1011/0—0110/0—1100/0—1000/1

2). 写出状态转移表

Q3	Q2	Q1	Q0	*Q3	*Q2	*Q1	*Q0	Y
1	0	0	0	0	0	0	1	1
0	0	0	1	0	0	1	1	1
0	0	1	1	0	1	1	1	1
0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0	0
1	1	1	0	1	1	0	1	1
1	1	0	1	1	0	1	1	1
1	0	1	1	0	1	1	0	0
0	1	1	0	1	1	0	0	0
1	1	0	0	1	0	0	0	0

3). 写出逻辑表达式.

Q1Q0				
Q3Q2	00	01	11	10
	d	1	1	d
	d	d	1	0
	0	1	0	1
	1	d	0	d
				00
				01
				11
				10

由卡诺图化简得 $LIN = Q2' Q1' + Q3' Q0 + Q1' Q0 + Q3Q1Q0'$ 。

经检验 0000→0001, 0010→0100→1000, 1010→0101→1011, 1001→0011, 未用

状

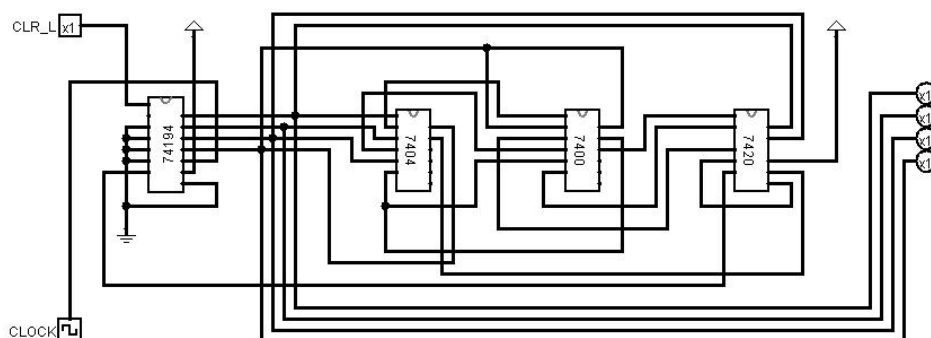
态均可顺利进入可用状态，是自启动的。

化为 $LIN = \sim(\sim(Q2' Q1') \cdot \sim(Q3' Q0) \cdot \sim(Q1' Q0) \cdot \sim(1 \cdot Q3Q1Q0'))$ ，即可用

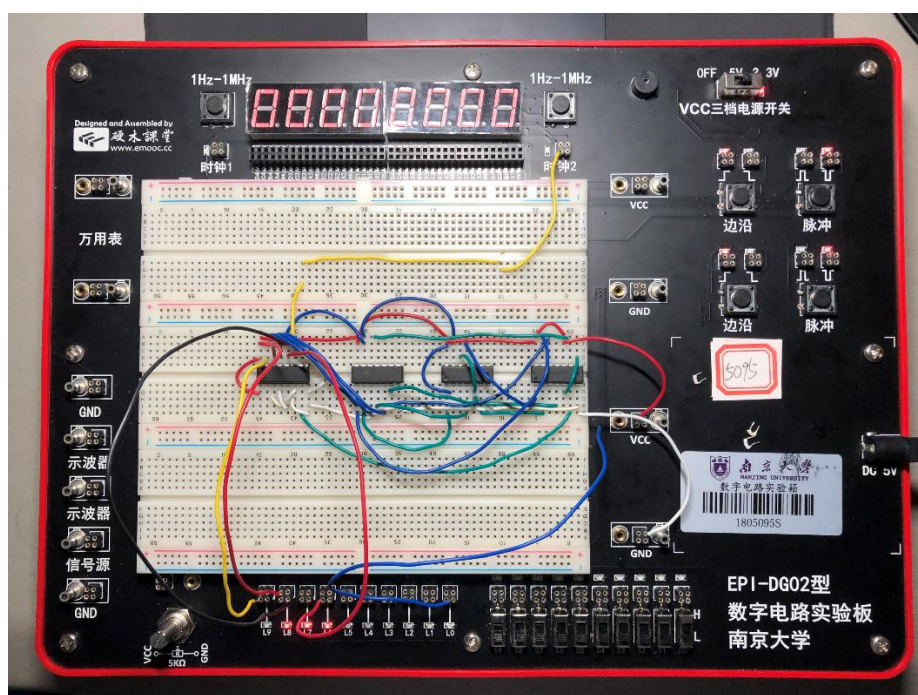
反

相器*4, 2 输入与非门*3, 4 输入与非门*1 即 74x00, 74x04, 74x20 各一实现。

4). 画出电路图，并在 logisim 中验证，提交 logisim 电路源程序。



5). 通过实验分析验证所设计的电路是否正确

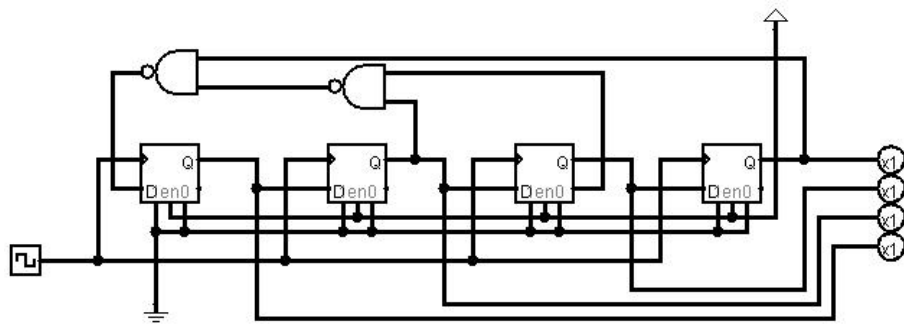


实验中循环出现了预想的序列。

四、实验报告要求

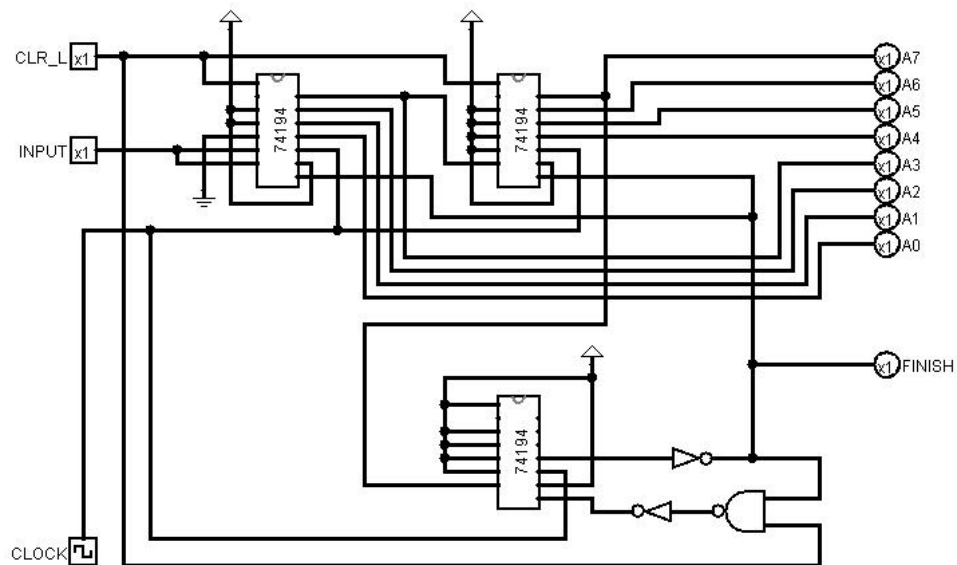
- 比较反馈清零法和反馈置数法的异同
 同：①都是循环计数；②计数时都是每次加1；
 异：①反馈清零法用计数过程中所得特定状态控制清零端，置数法控制置数端；
 ②反馈清零法输入端可全部接地，置数法输入端需要预置数。
- 总结利用计数器实现任意进制计数器的方法。
 ①直接运用反馈清零法；
 ②直接运用反馈置数法；
 若计数器多于一位，则通过级联扩展实现不同进制的计数，
 低位计数器发生进位时，高位计数器使能端被激活。

3. 设计一个自启动 4 位扭环计数器的原理图。



4. 利用 74LS194 设计实现八位二进制数数据的并行/串行转换原理图。

1) 串行->并行:



2) 并行->串行:

