

3. (1) $512MB / (64M \times 8位) = 8片$

(2) $2GB / 512MB = 4个$

(3) 按字节编址, 最大寻址空间为 $4GB$, 则主存地址共有 32 位, 设 $A_{31} \sim A_{16}$,

内存容量为 $512MB$, 则 DRAM 芯片内地址为 28 位, 为 $A_{27} \sim A_{0}$,

8 个芯片同时读写, 每个有 8 个位平面, 同时读写 64 位数据,

则行地址为 $A_{27} \sim A_{16}$, 列地址为 $A_{15} \sim A_1$, $A_{27} \sim A_{16}$ 共同确定

芯片内存储单元的地址, $A_{31}A_{16}$ 用于选择芯片,

5. 磁盘旋转一周的周期为 $1 / (7200RPM / 6000) = 8.33ms$,

则平均旋转等待时间为 $8.33ms / 2 = 4.17ms$,

数据块的传输时间为 $4KB / 40MB/s = 0.0977ms$,

~~则平均寻址一次“读-写-处理”操作需 $2 + 10 + 4.17 + 0.0977 = 16.27ms$~~

数据块的处理时间为 $20000 / 500MHz = 0.04ms$,

完成一次“读-写-处理-写回”操作需 $2 + 10 + 4.17 + 0.0977 + 0.04 = 32.58ms$,

每秒可以完成 $1000 / 32.58 = 30$ 次这样的操作,

8. (1) 主存地址为 30 位 (寻址大小为 $1GB$), 块大小为 128 字节, 则按字节编址

块内地址为 7 位, cache 有 $64KB / 128B = 512$ 行, 则行号占 9 位,

标记即为 $30 - 9 - 7 = 14$ 位, 即主存地址划分为 3 个字段, 设 $A_{29} \sim A_{16}$,

其中 $A_{29} \sim A_{16}$ 为标记, $A_{15} \sim A_7$ 为 cache 行号, $A_6 \sim A_0$ 为块内地址

(2) 直接映射时说明 cache 行中设有用于替换的控制位,

直写方式说明行中没有修改位, 综上, 每个 cache 行只有 1 位有效位,

14 位标记位和 128B 数据, 总容量为 $512 \times (14 + 128 \times 8) = 519.5Kb$,

12. (1) 访问数组 x 和 y 时都为按存放顺序访问, 每个元素都只访问一次,

故空间局部性很好, 看 p 不存在时间局部性,

命中率的高低与 cache 容量, 块大小, 映射方式有关, 仅凭题中信息无法判断,

(2) cache 有 $32 / 16 = 2$ 行, 每个主存块能放 4 个数组元素,

$x[0] \sim x[3]$ 与 $y[0] \sim y[3]$ 都映射到 cache 第 0 行,

XZ4~XZ72与YZ4~YZ72都映射到cache第1行。

则每次访问XZ后访问YZ都进行替换，命中率为0。

(3) cache有4行，每组2行，共2组，每2行有块能放两个数组元素。

XZ与YZ可以存放在同一组的不同行，不用替换，命中率为50%。

(4) XZ与YZ也不会映射到同一行中，每块只有一个元素不命中，命中率为75%。

23. (1) `addl (%edx, %ecx, 4), %eax`，存储器操作数是“基址+比例变址+偏移量”。

(2) $PPL = CPL = 2$ ，未发生存储保护错，则线性地址为

将段描述符中基址与指令偏移地址相加， $0xD + 0x8049C08 = 0x8049C08$ 。

$PPL = CPL = 3$ ， $RI_{edx} + RI_{ecx} \times 4 + 0 = 0x804D0000 + 50 \times 4 = 0x804D0C8$ 。

线性地址为段描述符中基址与操作数有效地址相加， $0x0 + 0x804D0C8 = 0x804D0C8$ 。

(3) `movl $0, %ecx`。

`, LOOP`

(4) 保护模式+分页虚拟管理。

`cmpl %ebx, %ecx`

则CR0中有 $PE=1$ ， $PG=1$ 。

`jge .EXIT`

`addl (%edx, %ecx, 4), %eax`

`incl %ecx`

`jmp .LOOP`

`.EXIT`

(5) 不系，因为指令I前面有其他指令，不在页面起始处，执行到I之前已调入内存了。

QZ02地址为 $0x804D000$ 位于页面起始处，可能访问QZ02时发生缺页。

即它所在页内数据访问之前未访问过，故线性地址 $0x804D000$ 保存在CR2中。

(6) 指令I的线性地址为 $0x8049C08$ ，其中低12位为页内偏移量，高20位为虚页号，则

页目录索引为0000 1000 00，页表索引为00 0100 1001，页内偏移量为1100 0000 1000。

第一次执行指令I时，I所在页对页表项有：

$P=1$ (页在内存中)， $R/W=0$ (只读不写)， $U/S=1$ (允许用户程序访问)，

$A=1$ (可访问)， $D=0$ (代码页禁止修改)。

(7) 因此, 指令2第次执行过程中取指令时不会发生TLB缺失。

取操作数A20J时可能发生, TLB缺失7页项, 采用4路组相联。

则20位虚拟页号中有18位为TLB标记, 低2位为TLB索引。

指令2的线性地址为 $0x8049c08$, 将标记 $0000\ 0000\ 0000\ 10\ (02012H)$

与第01组所有标记一一比对, 找到相等且有效位为1的。

取该页表项中页框号 $028B0H$, 得主存地址 $028B0008H$ 即 $0x28b0c08$ 。

(8) 指令cache共 $8KB/32B = 256$ 行, 采用2路组相联, 则有 $256/2 = 128$ 组。

主存地址中有20位为标记, 中间7位为组索引, 最低5位为块内地址。

指令2的线性地址为 $0x8049c08$, 其中低12位为页内偏移量。

组索引为 1100600 , 块内地址为 01000 , 显然指令2不在主存块起始位置, 不发生缺失。

指令2所在主存块映射到cache第 110000 组 (第96组) 中。

(9) $N=2000$, 数组所需空间为 $4 \times 2000 = 8000$ 字节。

链接后A的首址为 $0x804d000$, 段基址为D, 线性地址为 $0x804d000$ 。

是第几个页面的起始位置, 需取页面个数为 $\lceil 8000/4KB \rceil = 2$ 个。

它们的虚拟页号分别是 $000b1000\ 000\ 0100\ 1101$ 和 $00001000\ 0000\ 0100\ 1110$ 。

$1200 > 4KB/4B = 1024$, 则 $0x2001$ 在最后一个页。