

面包板实验 2 组合电路实验

一、实验目的

1. 掌握利用基本门电路实现组合逻辑电路的方法
2. 掌握使用组合器件实现组合逻辑电路的方法
3. 掌握组合器件的级联扩展的方法。

二、实验设备和环境

1. 数字电路实验箱 1 个
2. 数字万用表 1 个
3. 集成电路

74HC00	四路 2 输入与非门	4 片
74HC02	四路 2 输入或非门	2 片
74HC04	六路反向器	1 片
74HC10	三路 3 输入与非门	1 片
74HC86	四路 2 输入端异或门	1 片
74HC20	2 路 4 输入与非门	1 片
74HC04	反相器	1 片
74HC139	2-4 译码器	1 片
74HC153	双四选一数据选择器	1 片

三、实验内容和步骤

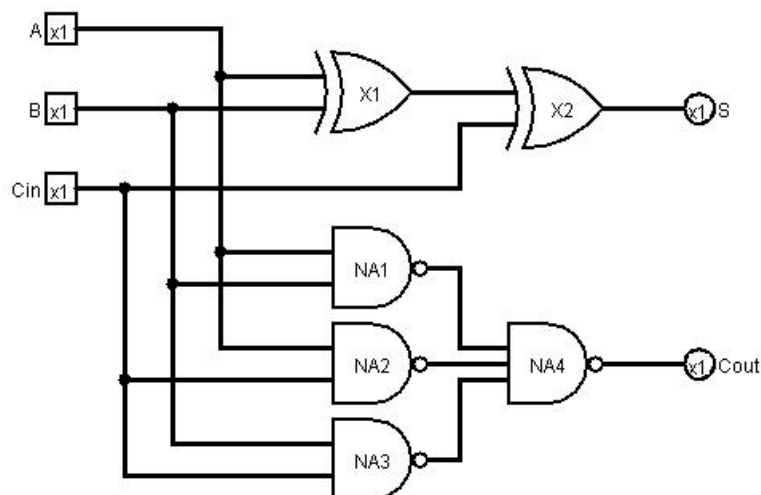
1. 利用基本逻辑门电路器件实现 1 位二进制数的全加器

(1)、列出真值表，化简后分别写出求和位和进位的逻辑表达式。

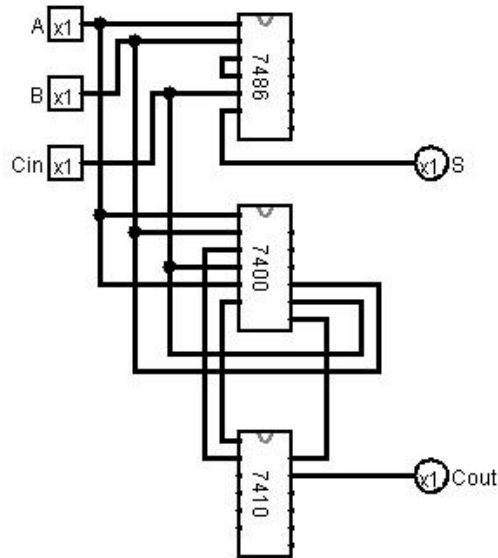
$$S = A \oplus B \oplus \text{Cin}$$

$$\text{Cout} = AB + AC_{\text{in}} + BC_{\text{in}} = \sim(\sim(AB) \cdot \sim(AC_{\text{in}}) \cdot \sim(BC_{\text{in}}))$$

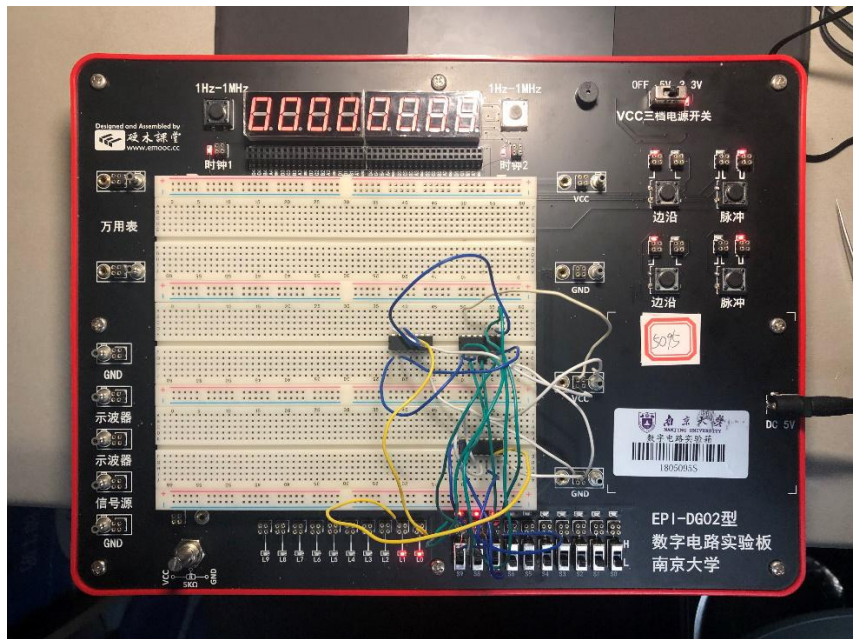
(2)、画出电路原理图，要求标注器件编号、引脚号、输入输出信号名称等。



(3)、在 logisim 软件中，实现该电路原理图，验证电路功能，保存设计文件并导出电路图，并插入到实验报告中。



(4)、在面包板实验箱上实现该电路，填写真值表。



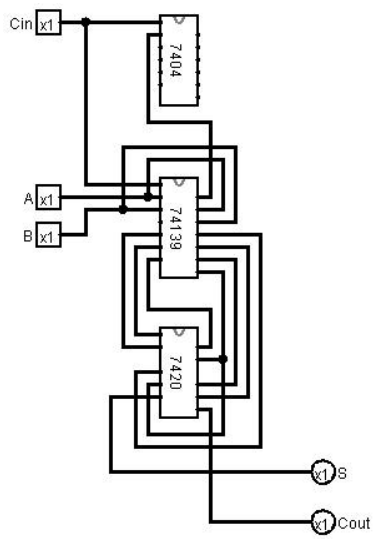
输入			输出	
A	B	C _{in}	S	C _{out}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

2、分别以 1 片 2-4 译码器 74HC139 和 1 片 4 选 1 多路选择器 74HC153 为主加上尽可能少的逻辑门电路实现一位二进制数全加器。

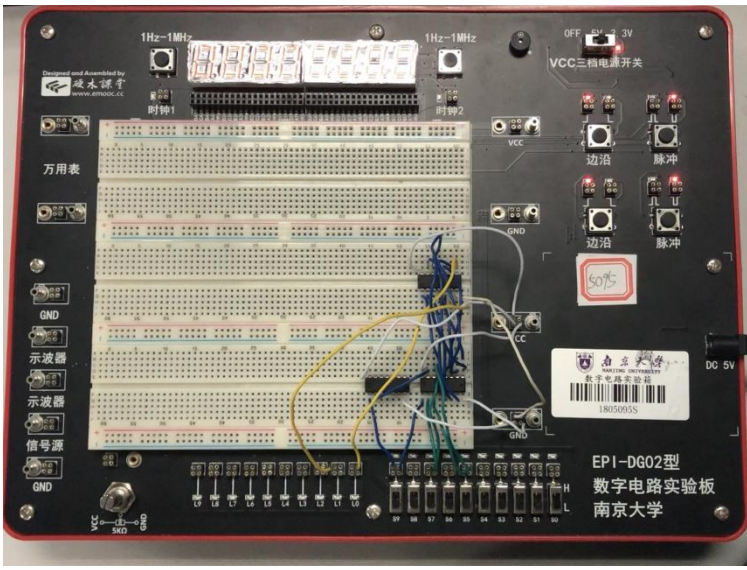
$$S = AB' C_{in}' + A' BC_{in}' + A' B' C_{in} + ABC_{in}$$

$$C_{out} = ABC_{in}' + AB' C_{in} + A' BC_{in} + ABC_{in}$$

(1)、画出电路原理图，要求标注器件编号、引脚号、输入输出信号名称等。



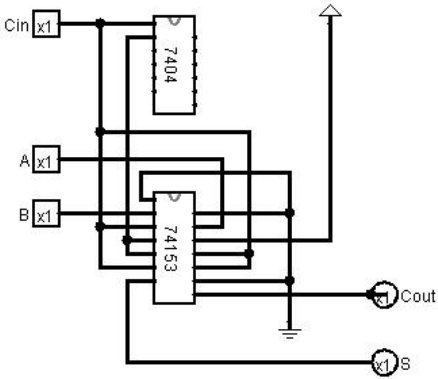
(2)、在面包板实验箱上实现该电路，填写真值表。



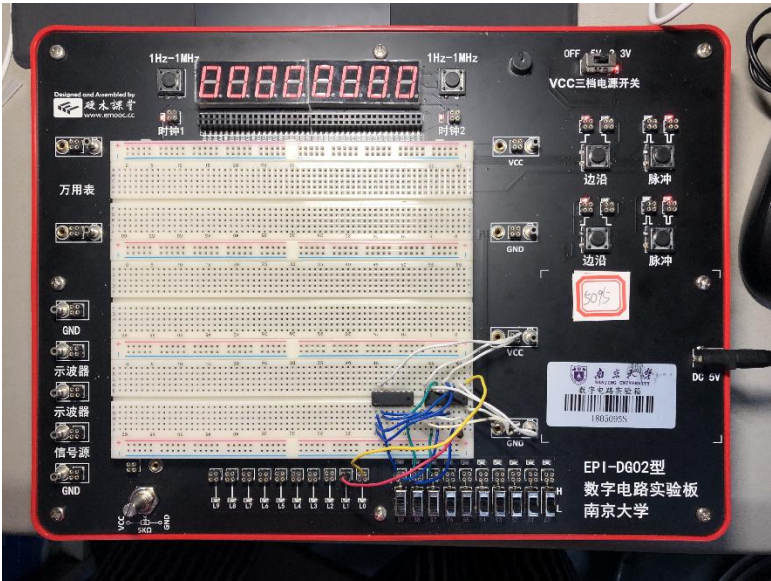
输入			输出	
A	B	C _{in}	S	C _{out}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

输入		输出			
A	B	S	1Q	C _{out}	2Q
0	0	C _{in}	1D0	0	2D0
1	0	~C _{in}	1D1	C _{in}	2D1
0	1	~C _{in}	1D2	C _{in}	2D2
1	1	C _{in}	1D3	1	2D3

(1)、画出电路原理图，要求标注器件编号、引脚号、输入输出信号名称等。



(2)、在面包板实验箱上实现该电路，填写真值表。

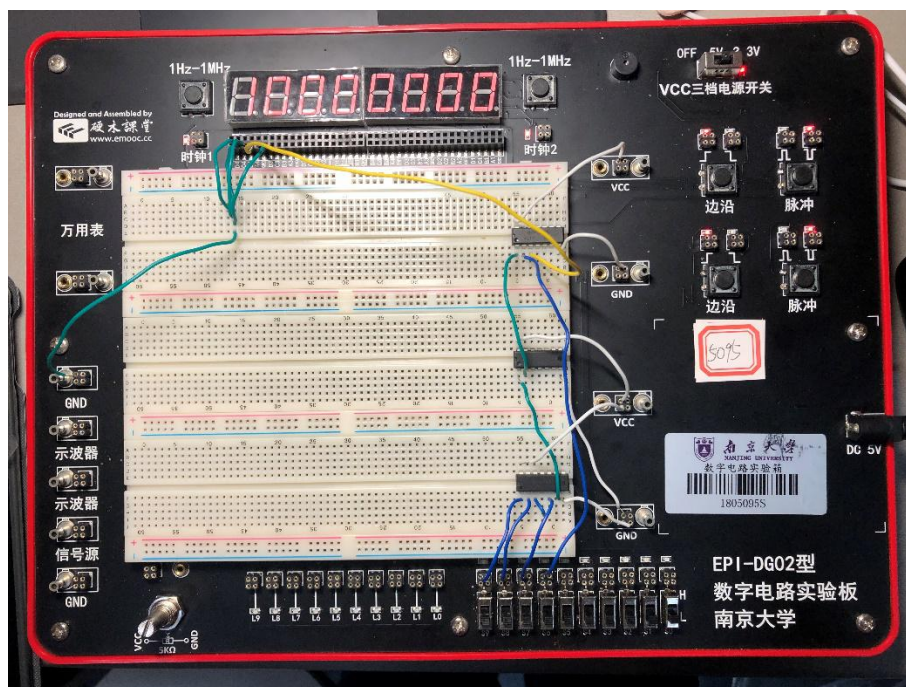
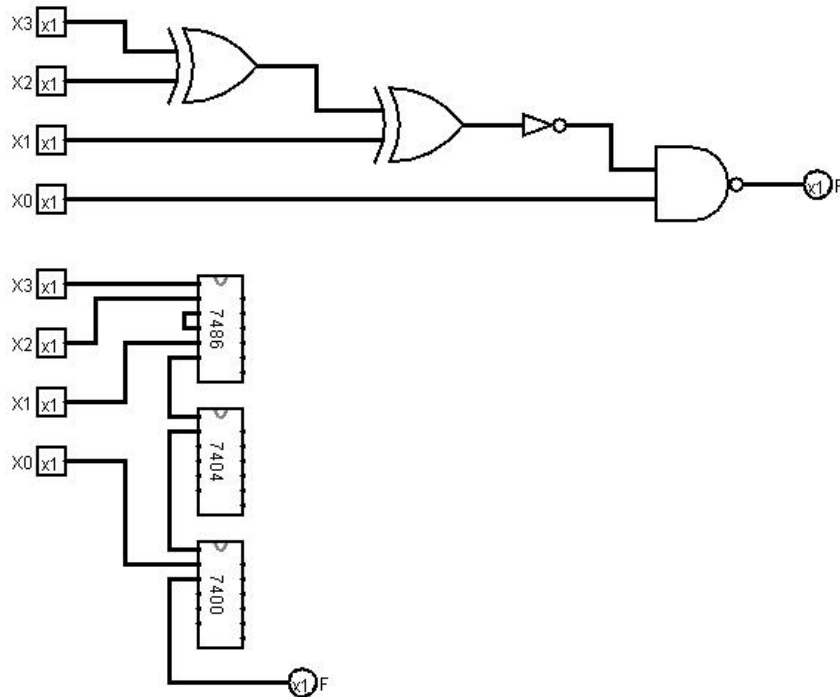


输入			输出	
A	B	C _{in}	S	C _{out}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

3、利用基本逻辑门电路设计一个 4 位二进制数的检测电路，当输入无符号二进制数为 2、3、5 的倍数时，输出 1。将输入、输出端分别接入到 1 只 7 段数码显示管上，当输出为 1 时，数码管显示 1，输出为 0 时，数码管显示 0。

要求：设计出最简的逻辑电路图。并在 Logisim 中实现，保存电路设计文件、导出电路图，并粘贴到实验报告中；在面包板实验箱中实现该电路，列出真值表，验证设计电路的逻辑功能（提示可以使用 4 输入与非门 74X20）。

4 位二进制数为 0000~1111，即 0~15，其中输出为 1 的有 0,2,3,4,5,6,8,9,10,12,14,15。观察可得 2 的倍数最低位为 0，则还剩下 3,5,9,15，即 0011,0101,1001 和 1111。4 位二进制数从高到低表示为 $X_3X_2X_1X_0$ ，则输出 $F = \sim X_0 + \sim X_3 \sim X_2 X_1 X_0 + \sim X_3 X_2 \sim X_1 X_0 + X_3 \sim X_2 \sim X_1 X_0 + X_3 X_2 X_1 X_0 = \sim X_0 + \sim X_3 \sim X_2 X_1 + \sim X_3 X_2 \sim X_1 + X_3 \sim X_2 \sim X_1 + X_3 X_2 X_1 = \sim(X_0 \cdot \sim(X_1 \oplus X_2 \oplus X_3))$ 。



输入				输出
X3	X2	X1	X0	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

4、利用 logisim 实现课本图 6-73 的 7 位汉明码纠错电路，要求：输入一个错误汉明码验证电路正确性，保存电路设计源文件，导出电路图到实验报告中。

