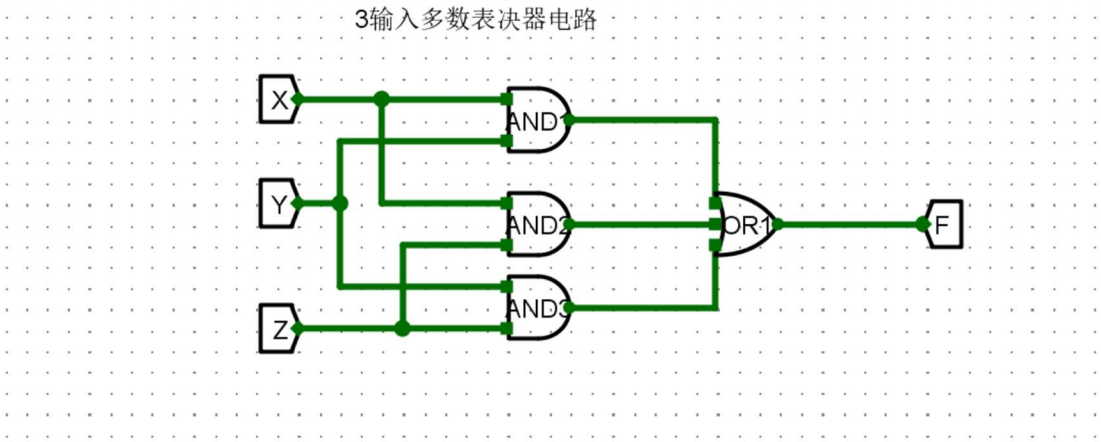
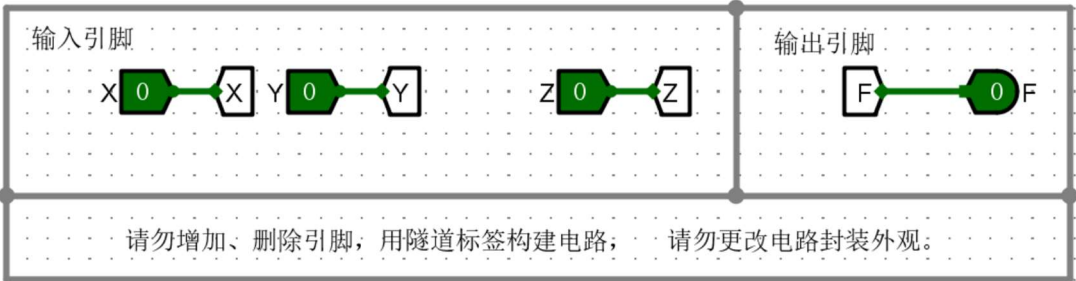


实验报告一：基本逻辑元件的构造

本实验报告仅作学习使用，不得直接提交！

1. 三输入多数表决器
实现目标：根据多数的选择输出。

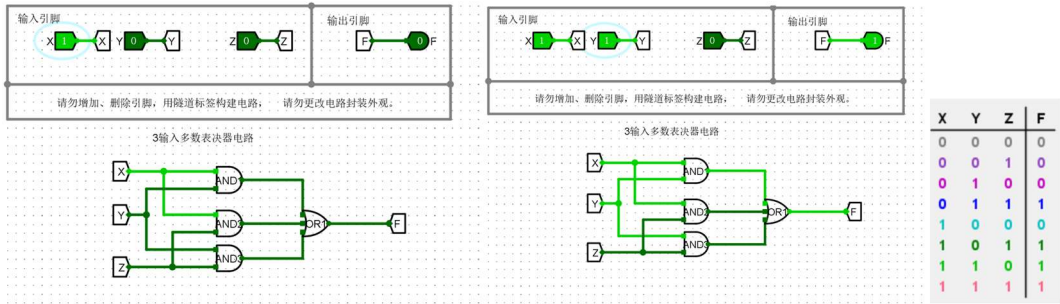


电路设计

输入输出引脚
XYZ 表示输入，可为 0 或 1； F 为输出，0 表示多数输入为 0，1 表示多数输入为 1。

原理表达式
 $F = YZ + XZ + XY$

部分仿真测试和真值表



错误现象及分析

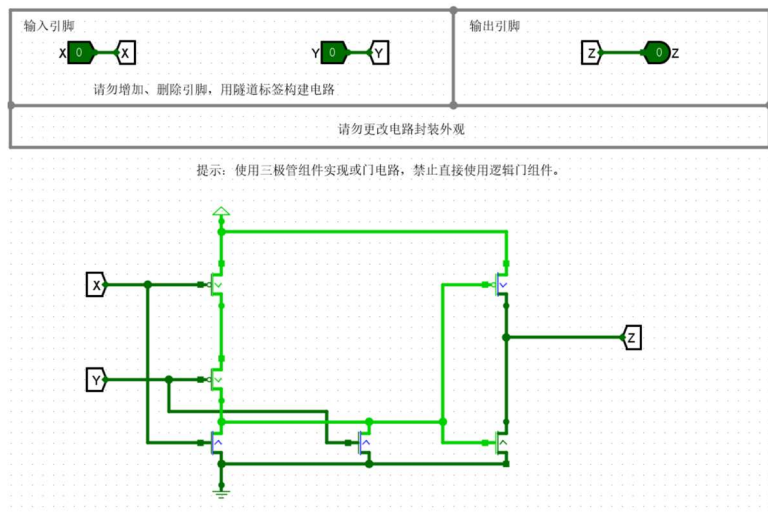
在完成实验的过程中，没有遇到任何错误。

2. 三极管构建或门

构建或门需要使用三组 CMOS。

首先构建或非门，使用两组 CMOS，其中 PMOS 串联，NMOS 并联。

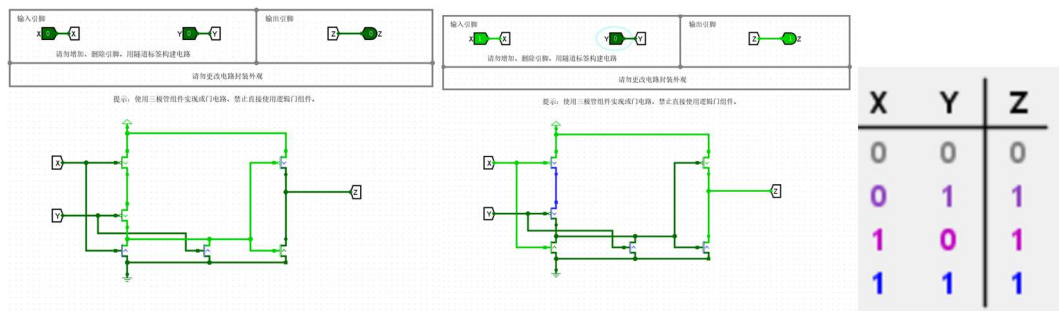
最后在或非门末端串联一对 CMOS（非门）即可。



电路设计

输入引脚：X, Y 输出引脚：Z

部分仿真测试及真值表



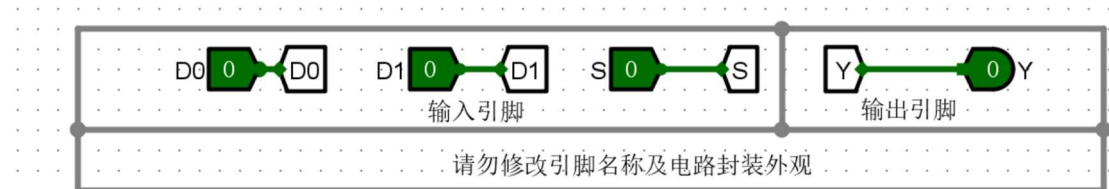
错误现象及分析

在完成实验的过程中，没有遇到任何错误。

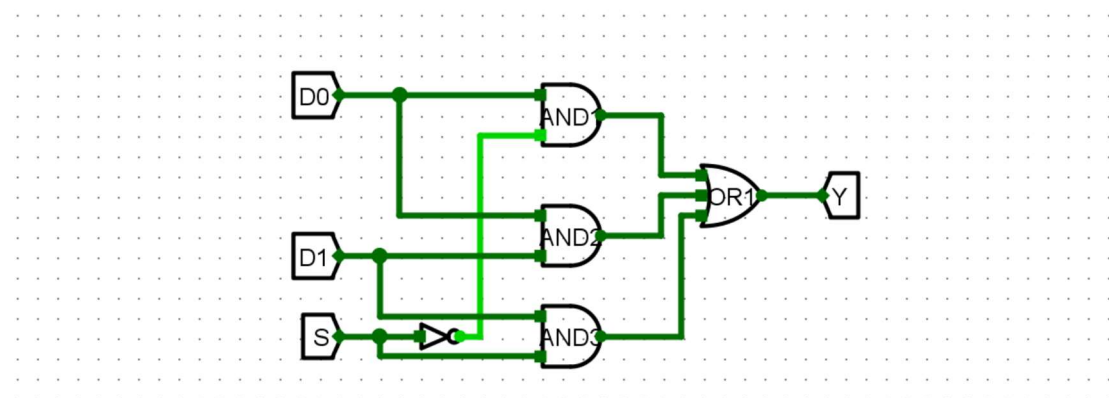
3. 门电路实现 2-1MUX

S=0,输出 D0。S=1, 输出 D1。

表达式： $Y = D1 S + D0 \sim S$

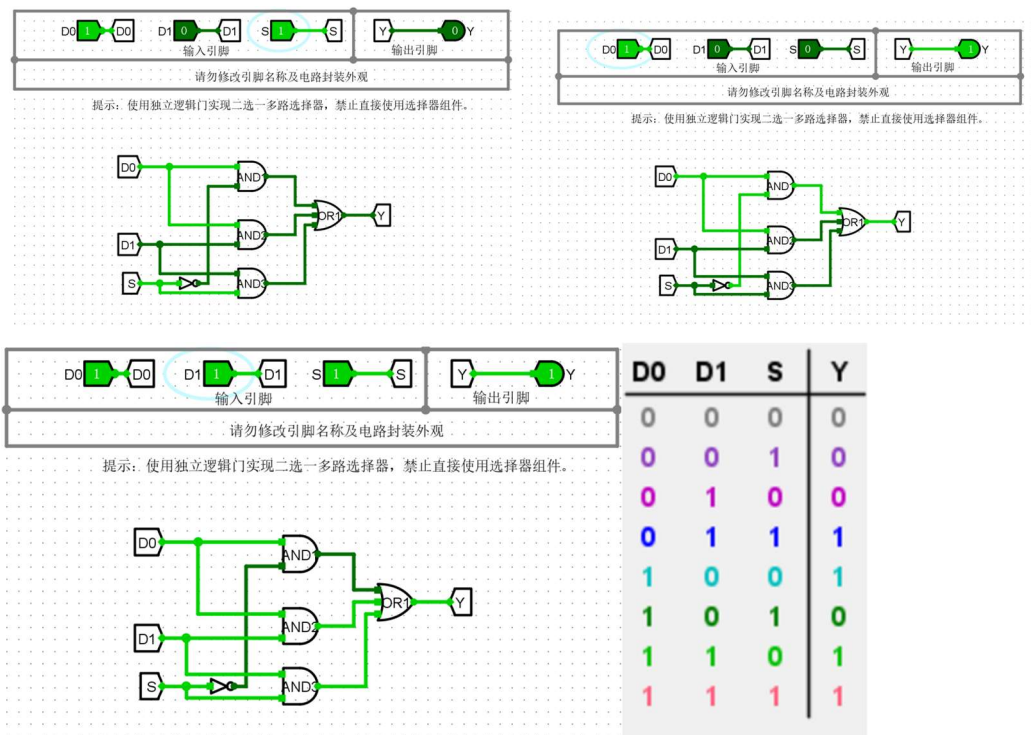


提示：使用独立逻辑门实现二选一多路选择器，禁止直接使用选择器组件。



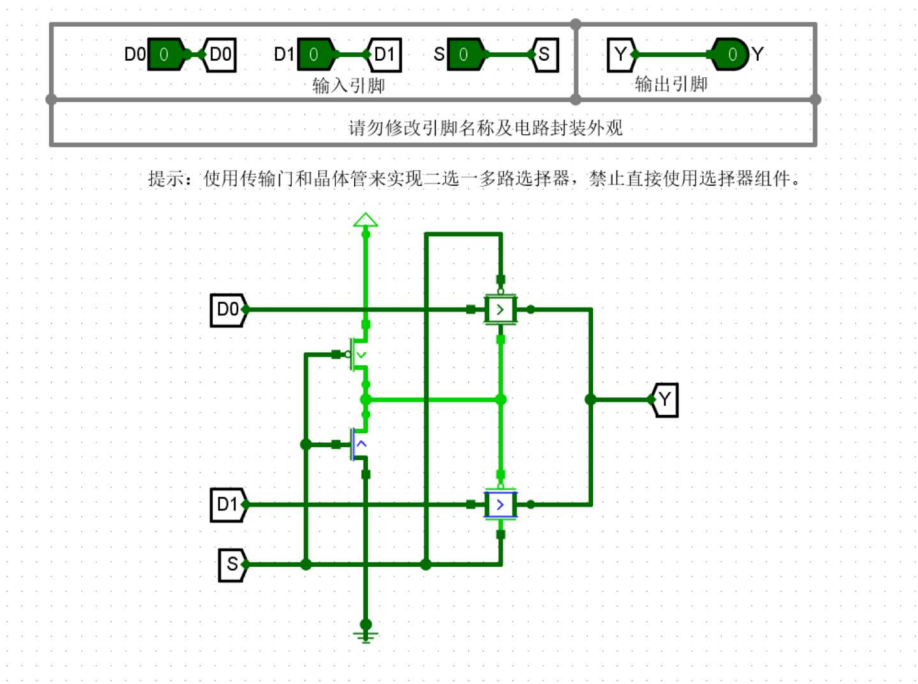
电路设计

部分仿真测试及真值表



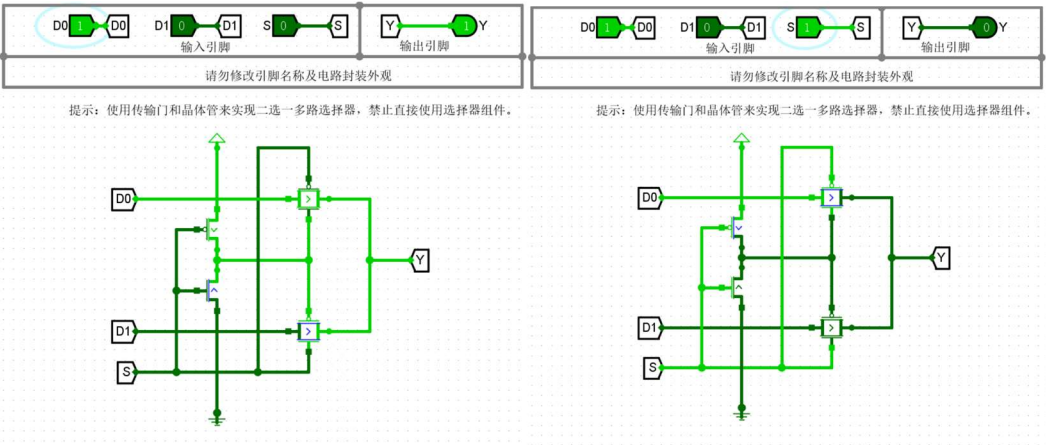
错误现象及分析
在完成实验的过程中，没有遇到任何错误。

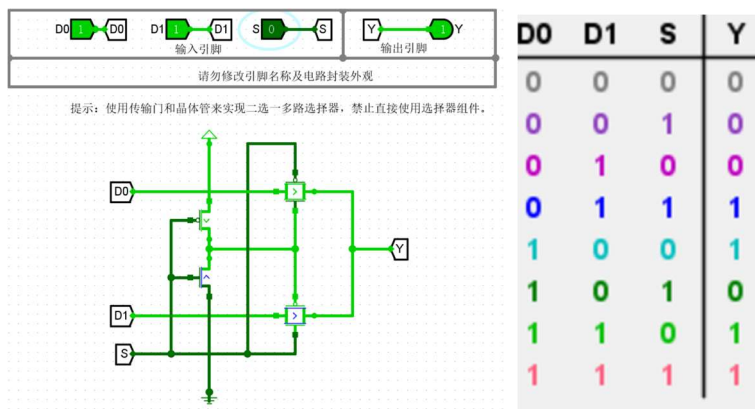
4. 传输门与三极管实现 2-1MUX
原理：传输门的两个端口可以控制信号是否传输。通过使用一对 CMOS 接入相对的两个传输门接口，即可实现在 S 为 0 时输出一个信号，S 为 1 时输出另一个信号。



电路设计

部分仿真测试及真值表





错误现象及分析

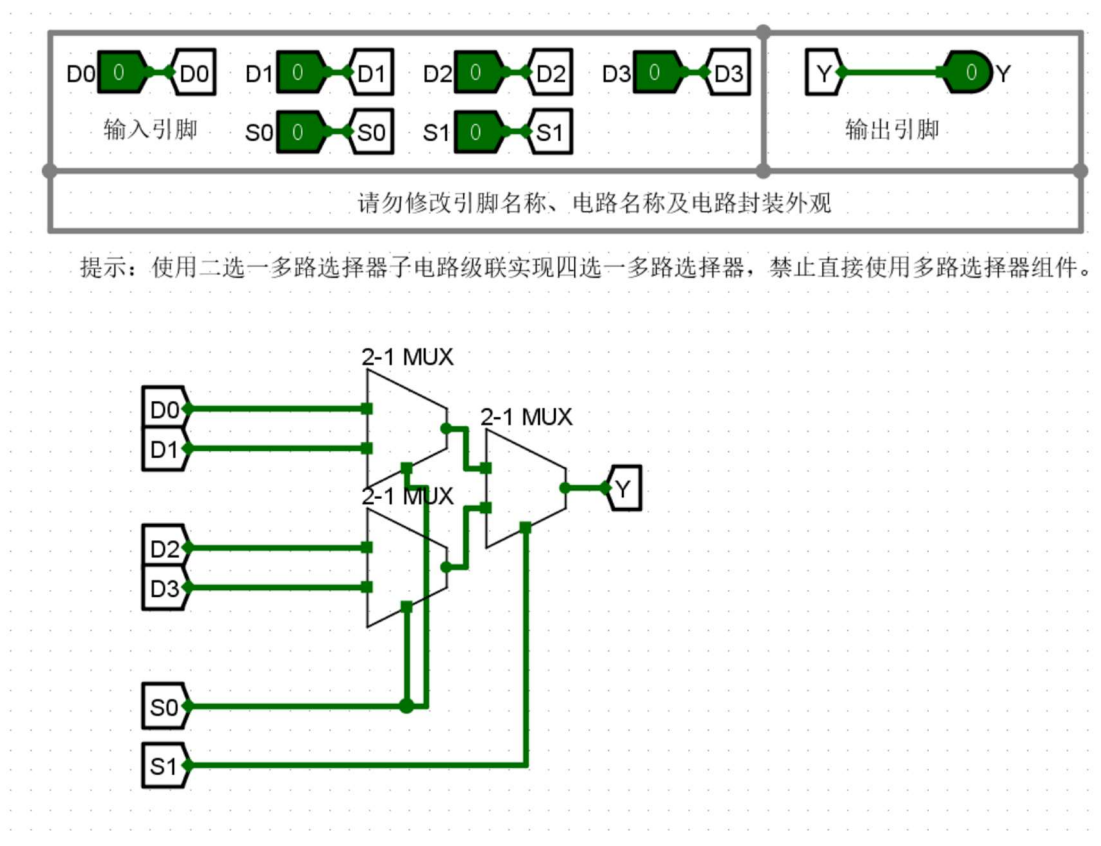
在完成实验的过程中，没有遇到任何错误。

5. 使用 2-1MUX 构建 4-1MUX

电路分为两个部分。第一个部分由两个 2-1MUX 构成，负责选择两个输入信号中的 S0 信号；其输出送入第二部分的 2-1MUX，进行对 S1 的选择。最终实现 4 条路径的选择。

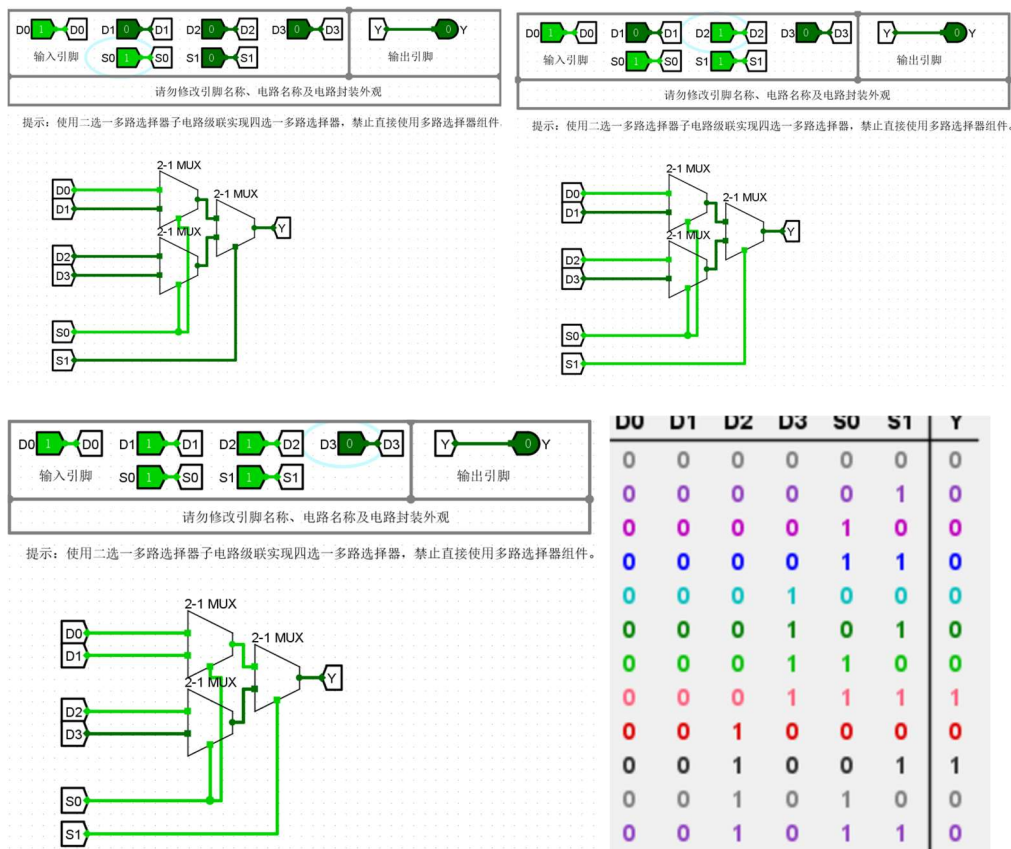
实验中需要注意，要先将给出的 2-1MUX 进行设计封装，才可以在后续电路中使用。否则会报错。

表达式： $Y = D3 S0 S1 + D2 \sim S0 S1 + D1 S0 \sim S1 + D0 \sim S0 \sim S1$



电路设计

部分仿真测试及部分真值表



错误现象及分析

如果没有事先完成 2-1 选择器的封装，由于此电路中使用到了 2-1 选择器，就会因为 2-1 选择器内部电路为空而报错。

思考题

1. 使用与非门重构 4-1 多路选择器。

通过“工程-分析组合逻辑电路-表达式”，获取到 4-1MUX 的函数表达式。随后如图 1，使用两次取反、德摩根律改写表达式为与非形式，然后实现电路如图 2。

$$\begin{aligned}
 Y &= D_3 S_0 S_1 + D_2 \bar{S}_0 S_1 + D_1 S_0 \bar{S}_1 + D_0 \bar{S}_0 \bar{S}_1 \\
 &= \overline{\overline{D_3 S_0 S_1 + D_2 \bar{S}_0 S_1 + D_1 S_0 \bar{S}_1 + D_0 \bar{S}_0 \bar{S}_1}} \\
 &= \overline{\overline{D_3 S_0 S_1} \cdot \overline{D_2 \bar{S}_0 S_1} \cdot \overline{D_1 S_0 \bar{S}_1} \cdot \overline{D_0 \bar{S}_0 \bar{S}_1}}
 \end{aligned}$$

图 1

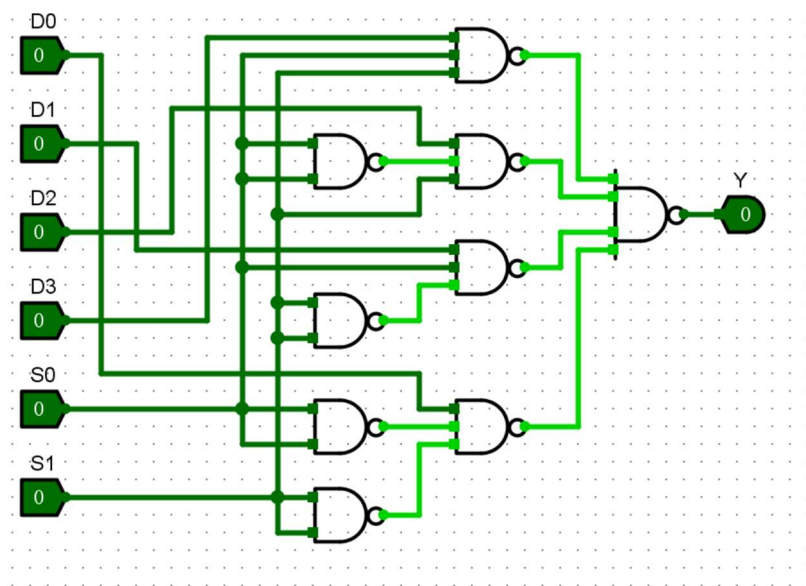


图 2

2. 4 位格雷码转换器

格雷码的转换规则如下：

自然二进制码转换成二进制格雷码，其法则是保留自然二进制码的最高位作为格雷码的最高位，而次高位格雷码为二进制码的高位与次高位相异或，而格雷码其余各位与次高位的求法相类似。

若二进制码表示为: $B[N-1]B[N-2]...B[2]B[1]B[0]$;

则二进制格雷码表示为: $G[N-1]G[N-2]...G[2]G[1]G[0]$.

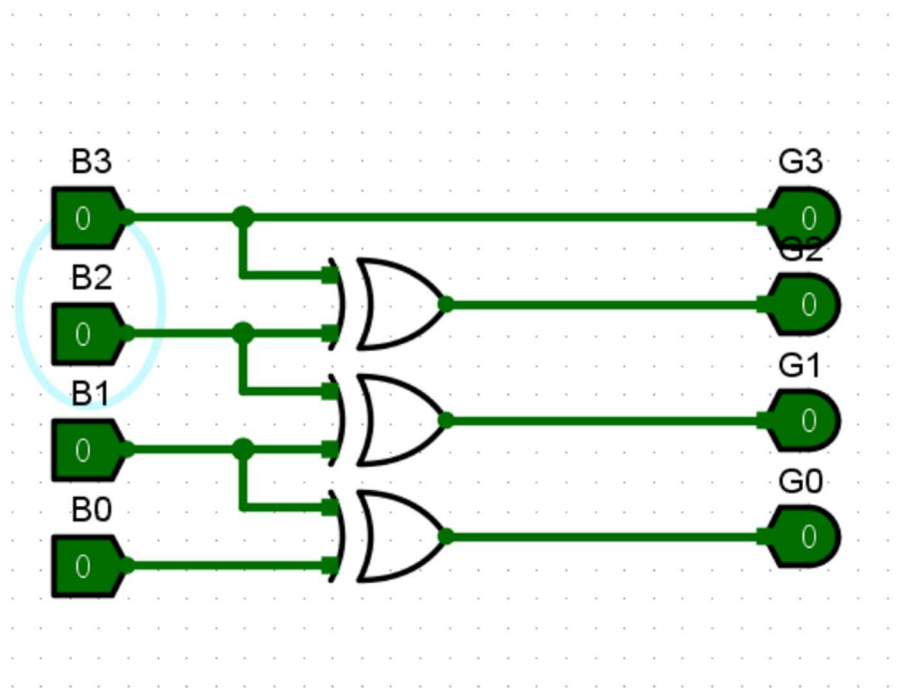
其中最高位保留: $G[N-1] = B[N-1]$;

其他各位: $G[i] = B[i+1] \text{ xor } B[i]$. ($i = 0, 1, 2, ..., n-2$)

真值表与逻辑表达式

$B_3 B_2 B_1 B_0$	G_3	G_2	G_1	G_0	
0000	0	0	0	0	$G_3 = B_3$
0001	0	0	0	1	$G_2 = B_3 \oplus B_2$
0010	0	0	1	0	$G_1 = B_2 \oplus B_1$
0011	0	0	1	1	$G_0 = B_1 \oplus B_0$
0100	0	1	1	0	
0101	0	1	0	1	
0110	0	1	0	0	
0111	0	1	1	1	
1000	1	1	0	0	
1001	1	1	1	1	
1010	1	1	1	0	
1011	1	0	1	1	
1100	1	0	0	0	
1101	1	0	0	1	
1110	1	0	1	0	
1111	1	0	1	1	

电路实现



3. 4 位奇偶校验器

当输入二进制编码出现奇数个 1 时，输出 1；输入偶数个 1 时，输出 0.

真值表

D_3	D_2	D_1	D_0	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

表达式化简推导

$$\begin{aligned}
 Y &= \overline{D_3} \overline{D_2} \overline{D_1} D_0 + \overline{D_3} \overline{D_2} D_1 \overline{D_0} \\
 &+ \overline{D_3} D_2 \overline{D_1} \overline{D_0} + \overline{D_3} D_2 D_1 D_0 \\
 &+ D_3 D_2 \overline{D_1} D_0 + D_3 D_2 D_1 \overline{D_0} \\
 &+ D_3 \overline{D_2} \overline{D_1} \overline{D_0} + D_3 \overline{D_2} D_1 D_0 \\
 &= \overline{D_3} \overline{D_2} \oplus (D_1 \oplus D_0) + \\
 &D_3 D_2 (D_1 \oplus D_0) + \\
 &\overline{D_3} D_2 (D_1 \odot D_0) + \\
 &D_3 \overline{D_2} (D_1 \odot D_0) \\
 &= \overline{D_3} \overline{D_2} \oplus (D_3 \odot D_2)(D_1 \oplus D_0) + \\
 &\quad (D_3 \oplus D_2)(D_1 \odot D_0) \\
 &= D_3 \oplus D_2 \oplus D_1 \oplus D_0.
 \end{aligned}$$

电路实现（未使用最简结果）

未使用最简结果的原因分析：调查电路故障和报错信息判断，最终发现多输入异或门在不同设置下有两种行为方式：有输入为 1 时输出 1 和有奇数个输入为 1 时输出 1。在默认电路设置下，多输入异或门采取前一种行为，而我们所求的电路实现要的是第二种行为，因此行为不一致。类似的情况也出现在实验 2 全加器 F 输出的三输入异或门上。

