

# LED Lightning

この章では、最終的にXilinxの評価ボード上での実装試験を行うことを目指して、

1. FPGAを使う理由
2. 実装フローについて (RTL, 高位合成, 配置配線, Bit Streamファイル作成)
3. コードの作成
4. 論理シミュレーションの実行

を順を追って説明していきます。この章ではLEDチカチカを目標に定めてコードを書いていきますが、それ自体は特に難しくありません。どちらかと言えば、ハードウェアとしての振る舞いや意味を理解して欲しいです。

## #1 FPGAを使う理由

FPGAとは

FPGAとはLSI (大規模集積回路)の一つで、回路同士の配線を書き換え可能なゲートアレイという意味があります。

同じく私たちに親しみがあるLSIである、CPUとの比較を以下に示しますが、これだけの違いがあります。

種類	計算方法	柔軟性	計算速度
CPU	メモリにアクセスして計算	高い	遅い
FPGA	実装したファームウェアの配線に従って計算	比較的高い	早い
ASIC	生産時に配線した配線に従って計算	低い	早い

ここで、上に登場したFPGAとASICについて少しだけ詳しい説明を入れておきます。

- **ASIC (特定用途向け集積回路)** 「エーシック」と呼びます。名前にある通り、特定用途に特化したLSIです。特定用途に特化しているということは即ち汎用的な回路コンポーネントを不要とするため、実装面積を削減したり消費電力を抑制することができます。一方で一度作成したASIC内部の回路構造を変化させることは不可能なので、柔軟性に乏しいです。ATLASでは、TGC検出機フロントエンドに設置されているASDボードと呼ばれるボード1枚に対してSony製のASICが4枚ずつ実装されています。機能としてはFPGA等でカバーできるものであっても、10年以上に渡って運用するのであれば取り回しの容易さや消費電力の大きさは無視できなくなるため、この部分にASICを用いているのはとても理にかなっています。
- **FPGA (現場で書き換え可能なゲートアレイ)** 「エフピージーエー」と呼びます。イメージとしては、回路構造を書き換え可能なASICです。今よく見かけるFPGAの大半はDFF (Delay Flip-Flop)を利用するRAM方式の一つである「SRAM」を採用したSRAM型FPGAであり、現在Phase2 upgradeに向けて開発を進めるほとんどのFPGAがこの型です。ここでは説明を深くはしませんが、このRepositoryの学習をある程度終わると理解が進んでいると思います。

つまりFPGAとは、**回路構造を何度でも書き換え可能な、特定用途に特化した集積回路**です。これが汎用性の高いCPUと差別化する点であり、加速器実験でFPGAやASICを好んで使用する理由にもなっています。

## デジタル回路設計

連続的な電圧の変化等を取り扱う回路のことを、**アナログ回路**と言います。

電圧に閾値を設け、その高低により0/1を定めて離散的に信号を取り扱う回路のことを、**デジタル回路**と言います。

信号のノイズやジッタ等をその閾値に影響しない範囲で抑えることが出来れば、デジタル回路は非常に取扱いやすいため、多くのLSIでは信号処理にデジタル回路を用いています。

種類	特徴	信号を見る方法
アナログ回路	信号が連続的	オシロスコープ
デジタル回路	信号が離散的	ロジックアナライザ

こうした0と1の世界で回路を設計することをデジタル回路設計と呼びます。この後は、このデジタル回路上で信号を取り扱うことを前提として、話を進めていきます。

## O(ns)の世界

デジタル回路は基本的に、基準となるクロックに従った世界で動きます。つまり、クロック周期に合わせて、0と1が紙芝居のように変化する世界です。

動作クロックの周波数が高ければ信号を高速に処理することができますし、逆もまた然りです。

例えば、IntelのCPUであるCore i9は3 GHz程度のクロック周波数で動作します。一方、KC705搭載のXilinx製FPGA chip, Kintex-7は最大クロック周波数がおおよそ1 GHzです。

これをみるとFPGAの計算能力が劣っているように見えますが、そうではありません。FPGAはある用途に特化しているため、行いたい計算を回路構造に組み込むことで、(もちろん場合によりますが)数クロック単位で計算を終えることができます。また、処理時間が一定であるため不定性がありません。CPUは絶えずメモリとのやり取りを通じて計算処理を行うため、処理時間が大きくなってしまいます。

こうしたことから、Bunch Crossing frequencyが40 MHz (25 nsに一回、新しい情報が回路に飛び込んでくる状況下の)LHC-ATLAS実験において、一定の処理時間で高速に計算処理を行うためにはFPGAが適切であるとわかります。

## #2 実装フロー

## #3 コードの作成

# 記事の仮置き場

先ほどデジタル回路には

- **同期回路** 回路を構成する要素が、クロック信号に駆動されて動くもの。クロック同期が保たれる。(多くの回路ブロック間でクロックの周期を共有している) [Wiki](#)
- **非同期回路** 回路を構成する要素が、クロック信号によらず、前段の出力信号等に駆動されて動くもの。クロック同期が保たれていない。