

**01608-02-000**

--	--	--	--	--	--	--

Bitte hier unbedingt  
Matrikelnummer und  
Adresse eintragen,  
sonst keine Bearbeitung  
möglich.

Postanschrift: FernUniversität, D-58084 Hagen

Name, Vorname

Straße, Nr.

Auslandskennzeichen, PLZ, Wohnort

FERNUNIVERSITÄT  
EINGANG

**MI**

Bitte direkt zurück an:  
FERNUNIVERSITÄT  
D-58084 Hagen

## Fakultät für Mathematik und Informatik

Kurs: 1608 "Computersysteme I"

Kurseinheit: 02

### Einsendeaufgaben

#### Hinweise zur Bearbeitung

1. Bei jeder Aufgabe bzw. Teilaufgabe ist die erreichbare Punktzahl vermerkt.
2. Tragen Sie Ihre Lösungen in die vorgegebenen Lösungsfelder ein (sofern vorhanden).
3. Für Ergänzungen benutzen Sie bitte Papier im Format DIN A4.
4. Schreiben Sie deutlich. Schreiben Sie auf jedes Blatt Ihren Namen und Matrikelnummer.
5. Numerieren Sie Ihre Lösungsblätter.
6. Schicken Sie sie komplett mit (grünem) Deckblatt und „Korrekturbogen“ geklammert zurück.
7. Kreuzen Sie bitte in der Zeile „bearbeitet“ die von Ihnen bearbeiteten Aufgaben an

Letzter Einsendetag: **1. Mai 2012 15:00 Uhr**

Aufgabe	1	2	3	4	5	6	Summe
bearbeitet							
erreichte Punktzahl							

Datum: \_\_\_\_\_

Korrektor: \_\_\_\_\_

©2012 FernUniversität in Hagen - Alle Rechte vorbehalten -

000 000 000 (00/00)

01608-4-02-A 1

**Diese Seite bleibt aus technischen Gründen frei !**

*Nur Aufgabenstellung bitte nicht einschicken!*

# Kurs 01608 Computersysteme I

## Einsendaufgaben zu Kurseinheit 2

### Aufgabe 1 (20 Punkte)

a) Gegeben ist ein Schaltnetz mit:

Eingängen:  $a, s_1, s_0$

Ausgängen:  $b_0, b_1, b_2$

für die Funktionalität:

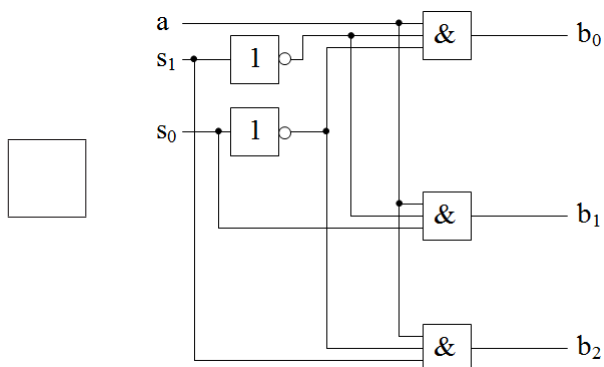
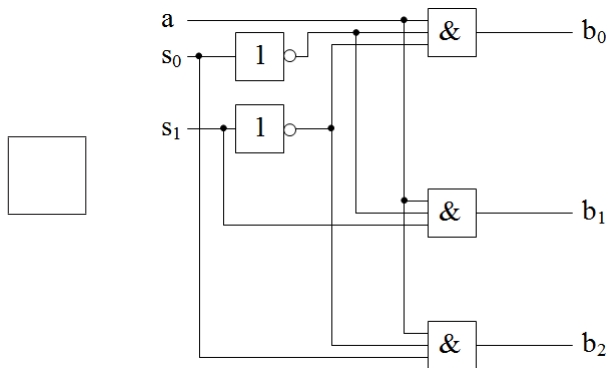
$$s_1 = s_0 = 0 \rightarrow b_0 = a \quad b_1 = b_2 = 0$$

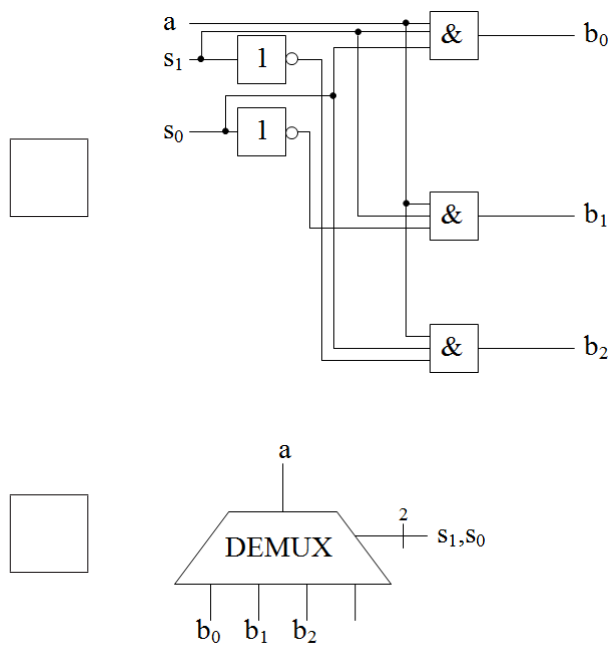
$$s_1 = 0 \quad s_0 = 1 \rightarrow b_1 = a \quad b_0 = b_2 = 0$$

$$s_1 = 1 \quad s_0 = 0 \rightarrow b_2 = a \quad b_1 = b_0 = 0$$

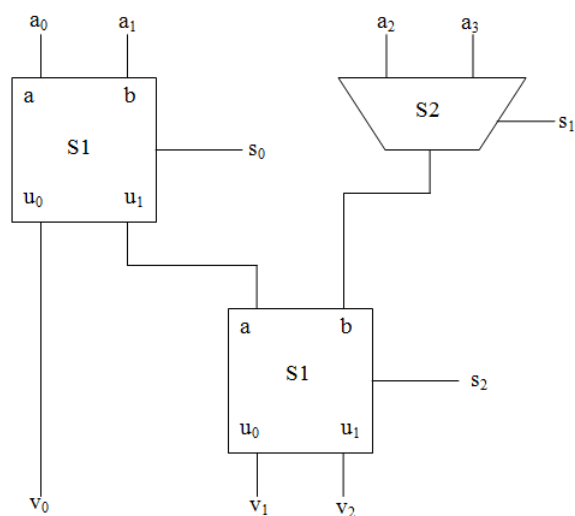
$$s_1 = s_0 = 1 \rightarrow b_0 = b_1 = b_2 = 0$$

Welche der folgenden Schaltnetze realisieren diese Funktionalität? (10P)





b) Die folgende Abbildung zeigt ein Schaltnetz  $S_3$ , das aus zwei Schaltnetzen  $S_1$  und einem Multiplexer  $S_2$  aufgebaut ist. Schaltnetz  $S_1$  hat zwei Eingänge  $a$  und  $b$ , ein Steuersignal  $s$ , und zwei Ausgänge  $u_0$  und  $u_1$  mit folgender Funktionalität: Ist  $s = 0$ , dann ist  $u_0 = a \oplus b$  und  $u_1 = (a \oplus b) \wedge s$ . Ist  $s = 1$ , dann ist  $u_0 = (\bar{a} \wedge b) \vee (a \wedge \bar{b})$  und  $u_1 = \bar{a} \vee (\bar{b} \wedge s)$ . Der Multiplexer  $S_2$  selektiert bei dem Steuersignal  $s = 0$  den linken Eingang und bei  $s = 1$  den rechten Eingang.



Welche der folgenden Belegungen der drei Steuersignale  $s_0, \dots, s_2$  ergibt

$$v_0 = a_0 \oplus a_1$$

$$v_1 = (a_0 \wedge a_1) \oplus a_3$$

$$v_2 = 0$$

als Beschaltung der Ausgänge? (10P)

☐

$$s_0 s_1 s_2 = 000$$

☐

$$s_0 s_1 s_2 = 001$$

☐

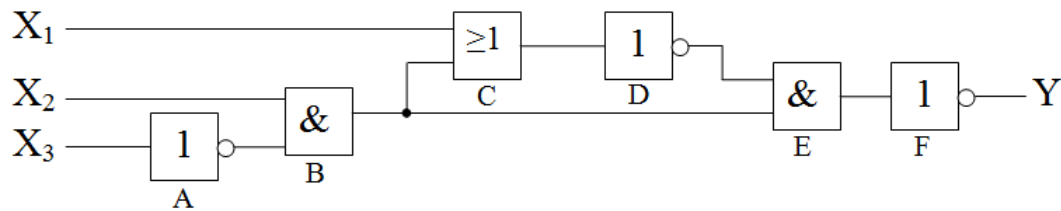
$$s_0 s_1 s_2 = 110$$

☐

$$s_0 s_1 s_2 = 111$$

## Aufgabe 2 (20 Punkte)

a) Welcher der folgenden Boole'schen Ausdrücke ist quasi-korrespondierend zu dem folgenden Schaltnetz  $S$ ? (8P)


☐

$$Y = \overline{\overline{X_1 \vee (X_2 \wedge \overline{X_3})} \wedge \overline{(X_2 \wedge \overline{X_3})}}$$

☐

$$Y = \overline{(X_2 \wedge \overline{X_3}) \wedge \overline{X_1 \vee (X_2 \wedge X_3)}}$$

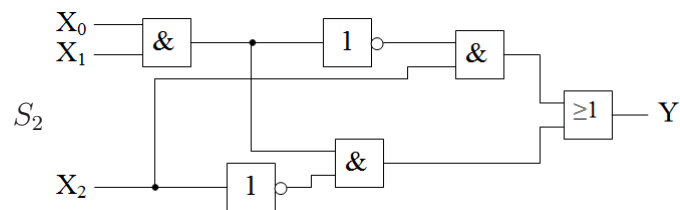
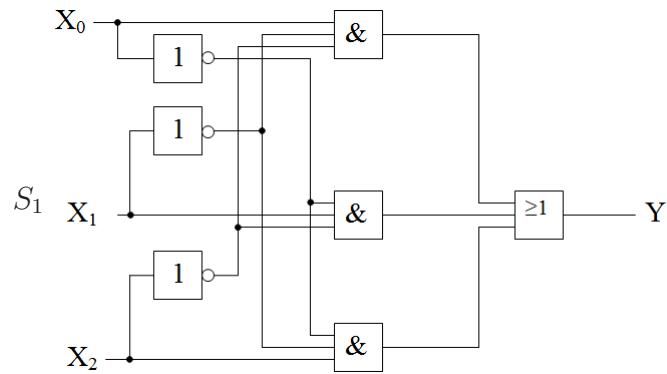
☐

$$Y = \overline{\overline{X_1 \vee (X_2 \wedge \overline{X_3})} \wedge \overline{(X_2 \wedge \overline{X_3})}}$$

☐

$$Y = \overline{\overline{X_1 \vee (X_2 \wedge \overline{X_3})} \wedge \overline{(X_2 \wedge \overline{X_3})}}$$

b) Gegeben seien die nachfolgenden zwei Schaltnetze  $S_1$  und  $S_2$



Bestimmen Sie die quasi korrespondierenden Ausdrücke zu den Schaltnetzen und berechnen Sie die Anzahl der eingesparten Gatter gegenüber den Kosten der quasi korrespondierenden Ausdrücke? (12P)

### Aufgabe 3 (14 Punkte)

Bestimmen Sie die Kosten eines hybriden Addierers für 16-Bit Binärzahlen und einen Eingangsübertrag. Es sind nur AND-, OR-, NOT- und XOR-Gatter mit zwei Eingängen (bzw. einem Eingang bei NOT) erlaubt, für die als Kosten jeweils 1 angenommen wird.

Der 16-Bit Addierer soll aus 8-Bit Addierern nach dem Conditional Sum Konzept aufgebaut werden. Die 8-Bit Addierer sollen jeweils als Carry Chain aufgebaut sein. Als niederwertigster Addierer soll, falls möglich, ein Halbaddierer verwendet werden.



#### Aufgabe 4 (18 Punkte)

Ein 1-bit Subtrahierer ist eine Schaltfunktion  $sub : \{0, 1\}^3 \rightarrow \{0, 1\}^2$  wobei  $sub(a, b, c_{in}) = (c_{out}, s)$  mit

$$s - 2 \cdot c_{out} = a - b - c_{in}.$$

- a) Erstellen Sie die Wertetabelle der Schaltfunktion.
- b) Erstellen Sie ein Schaltnetz für den 1-bit Subtrahierer, das lediglich AND- und OR-Gatter mit 2 Eingängen sowie NOT-Gatter benutzt.
- c) Kann man 1-bit Subtrahierer wie beim Carry-Chain-Addierer kaskadieren, um einen n-bit Subtrahierer zu erhalten? Begründen Sie Ihre Antwort.

## Aufgabe 5 (17 Punkte)

Gesucht ist ein Addierer für 2-stellige Binärzahlen ohne Eingangsübertrag, der sowohl die Summe als auch die Summe plus Eins errechnet, d.h. ein Schaltnetz zur Realisierung der folgenden Schaltfunktion  $A_2 : \{0, 1\}^4 \rightarrow \{0, 1\}^6$  mit  $A_2(a_1, a_0, b_1, b_0) = (s_2, s_1, s_0, s'_2, s'_1, s'_0)$ , wobei  $\langle s_2, s_1, s_0 \rangle = \langle a_1, a_0 \rangle + \langle b_1, b_0 \rangle$  und  $\langle s'_2, s'_1, s'_0 \rangle = \langle a_1, a_0 \rangle + \langle b_1, b_0 \rangle + 1$ .

- a) Erstellen Sie die Wertetabelle der Schaltfunktion  $A_2$ . (7P)
- b) Realisieren Sie den Addierer ausschließlich mit Hilfe von Volladdierern und Halbaddierern. Bestimmen Sie Kosten und Tiefe. (10P)

## Aufgabe 6 (11 Punkte)

- a) Bestimmen Sie die 8-stellige Zweierkomplementdarstellung für  $-36$ . (2P)
- b) Gegeben ist die Zweierkomplement-Darstellung 1110101. Bestimmen Sie, welche Zahl hierdurch dargestellt wird. (3P)
- c) Erweitern Sie die Zweierkomplement-Darstellung aus b) auf 10 Stellen. (3P)
- d) Gegeben ist die Fließkommadarstellung gemäß IEEE 754 single precision:  
1|10000011|101110 $\underbrace{0\dots0}_{17}$ . Bestimmen Sie, welche Zahl dargestellt wird. (3P)

**ENDE**