

Kurs 01609 Computersysteme II

Einsendearbeit 3

Aufgabe 1 (33 Punkte)

Cache-Organisation und Zugriffsverläufe

Gegeben seien drei Cache-Speicher DM, A2 und AV, die jeweils acht Cacheblöcke besitzen, wobei jeder Cacheblock vier Bytes umfasst.

- Der Cache DM sei als direkt-abgebildeter Cache (direct mapped) organisiert,
- Cache A2 als 2-fach assoziativer Cache (2-way-set-associative) und
- Cache AV als vollassoziativ (fully associative).

Bei den Cachespeichern A2 und AV werde die least recently used-Ersetzungsstrategie LRU angewendet. Nehmen Sie an, dass 32-Bit-Adressen verwendet werden.

a) Geben Sie für die drei Cachespeicher an, wie viele Bits zur Verwaltung eines Cacheblocks benötigt werden. Dabei sollen für den Zustand des Cacheblocks zwei Statusbits verwendet werden (Valid-Bit und Dirty-Bit). (3 P.)

	Anzahl Verwaltungsbits
DM-Cache	<input type="text"/>
A2-Cache	<input type="text"/>
AV-Cache	<input type="text"/>

b) Geben Sie für die drei Cachespeicher die Anzahl der erforderlichen Vergleiche und die jeweils zu vergleichende Bitanzahl an. (6 P.)

	Anzahl Vergleiche	zu vergleichende Bitzahl
DM-Cache	<input type="text"/>	<input type="text"/>
A2-Cache	<input type="text"/>	<input type="text"/>
AV-Cache	<input type="text"/>	<input type="text"/>

c) Wie viele Zeilen sind bei diesen Caches hinsichtlich einer Blockersetzung gleichzeitig auszuwerten, z.B. für die Ersetzungsstrategie nach dem LRU-Prinzip? (3 P.)

	Anzahl auszuwertender Zeilen
DM-Cache	<input type="text"/>
A2-Cache	<input type="text"/>
AV-Cache	<input type="text"/>

d) Die folgende Tabelle gebe den für diese Aufgabe relevanten Inhalt des Hauptspeichers (HSP) im dezimalen Adressbereich 0 bis 99 wieder.

	0	1	2	3	4	5	6	7	8	9
0									71	32
10	78	69								
20										
30			06	12	20	00	72	67	73	76
40										
50										
60					90	82	69	72	19	10
70	62	00					67	69	85	76
80	78	85	87	75	32	72	67	83		
90			76	76	79	84				

Die Adresse 77 beispielsweise enthält den Wert 69.

Nehmen Sie an, die Cachespeicher seien zu Beginn leer, und es soll eine Serie von einzelnen Bytes mit den folgenden 32-Bit-Adressen (dezimal!) gelesen werden:

70	09	39	83	66	68	35	80	93	67	79	37	84	09
----	----	----	----	----	----	----	----	----	----	----	----	----	----

Geben Sie nun tabellarisch für jeden Cache an, ob es sich beim Lesezugriff auf die jeweilige Adresse um einen Treffer (Cache-Hit) oder um keinen Treffer (Cache-Miss) handelt. (12 P.)

Kennzeichnen Sie dazu in dem entsprechenden Feld ein Hit durch ein "X" und ein Miss durch einen "-".

Adresse	70	09	39	83	66	68	35	80	93	67	79	37	84	09
DM														
A2														
AV														

e) Stellen Sie den Zustand der drei Caches nach dem letzten Speicherzugriff dar, d.h. für jeden Cacheblock den Cache-Tag und die vier Datenbytes. Entnehmen Sie die jeweils vier Datenbytes aus der obigen Speicherbelegung. (9 P.)

Als Hilfe ist Ihnen in jedem der drei Caches die erste Zeile bereits ausgefüllt.

DM						A2						AV					
Index	Wort				Tag	Index	Wort				Tag	Wort				Tag	
	3	2	1	0			3	2	1	0		3	2	1	0		
0	72	69	82	90	010	0	72	69	82	90	0100	69	78	32	71	000010	
1																	
2						1											
3																	
4						2											
5																	
6						3											
7																	

Aufgabe 2 (16 Punkte)

Cache-Organisation und Zugriffsverläufe

Gegeben seien ein direkt-abgebildeter Cache (Direct-Mapped, DM), ein 2-fach satzassoziativer Cache (2-Way-Set-Associative, A2) und ein vollassoziativer Cache (Fully-Associative, AV).

Die drei Cachespeicher haben jeweils eine Speicherkapazität von 64 Bytes und werden in 8 Blöcken mit je 8 Bytes geladen.

Die Hauptspeicheradresse umfasse 32 Bits. Falls notwendig, wird bei einer Ersetzung die Least-Recently-Used-Ersetzungsstrategie LRU verwendet.

a) Geben Sie die Längen des Tag-Feldes und die Anzahl der erforderlichen Vergleiche für jede der drei Cache-Architekturen an. (6 P.)

	Anzahl Vergleiche	Länge des Tag-Feldes
DM-Cache		
A2-Cache		
AV-Cache		

b) Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

- | | | |
|----------------|----------------|----------------|
| 1. \$0000 0012 | 4. \$0000 006C | 7. \$0000 0068 |
| 2. \$0000 008A | 5. \$0000 0034 | 8. \$0000 00FE |
| 3. \$0000 009A | 6. \$0000 0054 | 9. \$0000 0017 |

Nehmen Sie an, die Caches seien zu Beginn leer.

Ermitteln Sie, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen Treffer (Hit) oder keinen Treffer (Miss) handelt. (10P)

Kennzeichnen Sie dazu in dem entsprechenden Feld ein Hit durch ein "X" und ein Miss durch einen "-".

Adresse	\$12	\$8A	\$9A	\$6C	\$34	\$54	\$68	\$FE	\$17	Anzahl Hits
DM-Cache										
A2-Cache										
AV-Cache										

Aufgabe 3 (16 Punkte)

Cache-Kosten

Sie haben einen Prozessor entwickelt, der über einen 8 KB großen Primär-Cache für Befehle und Daten verfügt. Der Cache ist auf dem Chip integriert und nimmt 20% der gesamten Fläche von 2 cm^2 in Anspruch. Sie stehen nun vor der Frage, ob es sich lohnt, die Größe des Caches zu verdoppeln, um damit die Leistung des Prozessors zu steigern. Ihr Ziel ist dabei ein möglichst optimales Preis-/Leistungsverhältnis.

Die Fehlzugriffsrate auf den Cache beträgt in dessen Grundform 10%. Bei Verdoppelung der Kapazität auf 16 KB sinkt der Anteil der Fehlzugriffe auf 5%. Unter Berücksichtigung von Pipeline-Konflikten benötigt der Prozessor im Durchschnitt 1,2 Taktzyklen zur Ausführung eines Befehls (clock cycles per instruction, CPI). Darin ist die Zeit für den Cache-Zugriff im Falle eines Treffers eingeschlossen. Ein Fehlzugriff schlägt dagegen mit 10 zusätzlichen Taktzyklen zu Buche. Messungen haben ergeben, dass jeder fünfte Befehl auf den Speicher zugreift. Beachten Sie, dass auch für das Holen eines Befehls ein Cache-/Speicherzugriff anfällt.

Die Kosten eines Chips K_C sind durch folgende Formel gegeben: $K_C = K_W / (N \cdot Y)$. Dabei sind K_W die Kosten für den Wafer, N die Anzahl der Chips pro Wafer und Y die Ausbeute. Für die Anzahl der Chips gilt näherungsweise $N = (\pi \cdot r^2) / A$, wobei A die Fläche eines Chips und r der Radius des Wafers ist. Für die Ausbeute gilt $Y = e^{-d \cdot A}$. Bei den meisten Prozesstechnologien ist die Defektdichte $d = 1/\text{cm}^2$. Je größer die Chipfläche desto geringer die Ausbeute!

a) Berechnen Sie die Gesamtzahl der Taktzyklen pro Befehl (CPI) für beide Cache-Größen unter Einbeziehung von Fehlzugriffen. Wie groß ist die Leistungssteigerung in Prozent (Leistung = $1/\text{CPI}$) für den Cache mit 16 KB? (6 P.)

b) Bestimmen Sie die prozentualen Mehrkosten bei Verwendung des größeren Caches. (8 P.)

c) Begründen Sie, für welche der beiden Entwurfsalternativen Sie sich entscheiden? (2 P.)

Zur Einsendung dieser Aufgabe erstellen Sie bitte eine PDF-Datei mit den von Ihnen bearbeiteten Lösungen. Laden Sie diese PDF-Datei in WebAssign hoch, so dass wir auf Ihre Lösungen zugreifen und korrigieren können.

Aufgabe 4 (12 Punkte)

Cache-Performance

Auf einem Prozessorchip steht noch Platz für einen 32-kByte-Cache zur Verfügung. Berechnen Sie unter den im Folgenden gegebenen Randbedingungen, ob es sinnvoll ist, den Cache in einen getrennten Befehls- und Daten-Cache (split cache) aufzuteilen oder einen einheitlichen (unified) 32-kByte-Cache, der sowohl Daten als auch Befehle enthält, zu verwenden.

Messungen (benchmarks) haben ergeben, dass typischerweise 74% der Speicherzugriffe dem Holen von Befehlen (instruction fetch) dienen. Des weiteren ergaben sich empirisch folgende Fehlzugriffsanteile auf Caches der genannten Arten und Größen.

Größe	instruction cache	data cache	unified cache
16 KB	3,82	40,9	51
32 KB	1,36	38,4	43,3

Speicher-Fehlzugriffe pro 1000 Befehle

a) Nehmen Sie an, dass 36% aller Befehle während der Programmausführung Lade/Speicher-Befehle sind.

Stellen Sie fest, ob der getrennte Cache oder der einheitliche Cache eine geringere Fehlzugriffsrate (Fehlzugriffe pro Speicherzugriff) besitzt. Rechnen Sie mit maximal vier Nachkommastellen. (8 P.)

b) Die mittlere Zugriffszeit t_{acc} berechnet sich nach folgender Gleichung:

$$t_{acc} = t_{hit} + \text{miss rate} \cdot \text{miss penalty}$$

t_{hit} ist dabei die Zeit, die ein Zugriff auf ein im Cache liegendes Datum benötigt und beträgt in der Regel einen Taktzyklus. Im Gegensatz zum Kurstext wird hier unter miss penalty der Mehraufwand bei einem Fehlzugriff gegenüber einem Treffer verstanden. Im Falle eines Fehlzugriffs muss der Cache nachgeladen werden. Der hierzu erforderliche Zeitaufwand wird meist durch die Anzahl der zusätzlichen Taktzyklen angegeben und als miss penalty bezeichnet.

Berechnen Sie die mittleren Zugriffszeiten für den split cache und den unified cache, wenn t_{hit} einen Taktzyklus lang ist und die miss penalty 100 Taktzyklen beträgt. (4 P.)

Zur Einsendung dieser Aufgabe erstellen Sie bitte eine PDF-Datei mit den von Ihnen bearbeiteten Lösungen. Laden Sie diese PDF-Datei in WebAssign hoch, so dass wir auf Ihre Lösungen zugreifen und korrigieren können.

Aufgabe 5 (7 Punkte)

Entscheiden Sie, welche der folgenden Aussagen zur Organisation der Schreibzugriffe im Cache korrekt sind.

- ☐ a) Um die Datenkonsistenz sicherzustellen erfolgt beim Durchschreibverfahren jeder Schreibzugriff ausschließlich auf den Hauptspeicher.
- ☐ b) Beim Rückschreibverfahren können alle Treffer (Cache-Hit) mit der schnellen Cache-Zykluszeit abgewickelt werden.
- ☐ c) Das Durchschreibverfahren garantiert die Datenkonsistenz zwischen Cache und Hauptspeicher.
- ☐ d) Beim Rückschreibverfahren wird jeder Schreibzugriff gleichzeitig im Cache und im Hauptspeicher ausgeführt.
- ☐ e) Das Durchschreibverfahren ist sicher bezüglich der Datenkonsistenz, aber langsamer gegenüber dem Rückschreibverfahren.
- ☐ f) Das Rückschreibverfahren entlastet den Systembus, da ein Datum erst dann in den Hauptspeicher zurückgeschrieben wird, wenn es im Cache durch ein neues verdrängt werden soll.
- ☐ g) Beim Durchschreibverfahren wird jeder Schreibzugriff gleichzeitig im Cache und im Hauptspeicher ausgeführt.