

Proyecto Corto 1: Parte 2, Oscilador en Anillo

Quesada H. Julio, Cortes T. Ramses

Resumen—En este informe se analizó el comportamiento temporal de inversores TTL utilizando osciladores en anillo contruidos con el circuito integrado 74LS04. Se realizaron experimentos con uno, tres, tres inversores más un metro de cable y cinco inversores, midiendo los periodos de oscilación, voltajes máximos y mínimos, y los retardos de propagación promedio. Los resultados experimentales se compararon con valores teóricos, mostrando coherencia en la relación entre número de etapas, retardo por inversor y frecuencia de oscilación. Se observaron los efectos de la capacitancia e inductancia parásita al agregar cable largo, y se evaluaron los tiempos de subida y bajada de las señales, confirmando la velocidad de conmutación de los inversores. El estudio evidencia cómo la configuración del oscilador y el alambrado afectan la propagación de señales y la frecuencia de operación en circuitos digitales.

Palabras clave—Capacitancia parásita, frecuencia de oscilación, inversor TTL, oscilador en anillo, Retardo de propagación

I. INTRODUCCION

En el estudio de los circuitos digitales, los parámetros de temporización juegan un papel fundamental para caracterizar la velocidad de operación de las compuertas lógicas. Entre estos parámetros destacan el retardo de propagación y los tiempos de transición de la señal, conocidos como tiempo de subida (*rise time*) y tiempo de bajada (*fall time*). El retardo de propagación, definido como el intervalo requerido para que la salida de una compuerta responda a un cambio en su entrada, constituye un indicador clave del desempeño de los dispositivos lógicos. De igual forma, los tiempos de subida y bajada permiten describir la rapidez con que una señal digital cambia de estado, influyendo directamente en la integridad y estabilidad de la conmutación.

Una técnica experimental sencilla y efectiva para determinar estos parámetros consiste en la implementación de un oscilador en anillo, el cual se construye mediante la conexión en cascada de un número impar de inversores. Este tipo de oscilador no requiere de elementos adicionales, ya que la realimentación de la señal a través de las compuertas genera de manera natural una oscilación periódica. La frecuencia de dicha oscilación está directamente relacionada con el retardo promedio de propagación de los inversores, lo que convierte a este montaje en una herramienta práctica para la caracterización de circuitos lógicos.

II. MARCO TEÓRICO

El comportamiento temporal de las compuertas digitales puede caracterizarse mediante tres parámetros fundamentales: el retardo de propagación, el tiempo de subida y el tiempo de bajada. Estos indicadores permiten cuantificar la velocidad de conmutación de un dispositivo y su capacidad para operar de manera confiable en sistemas digitales de alta frecuencia.

El retardo de propagación (t_{PD}) se define como el tiempo transcurrido entre el instante en que la entrada de la compuerta alcanza el 50 % de su excursión de voltaje y el instante en que la salida alcanza también el 50 % de su transición correspondiente. En la práctica, se distinguen dos retardos: t_{PLH} , correspondiente al cambio de nivel bajo a alto en la salida, y t_{PHL} , correspondiente al cambio de nivel alto a bajo. El retardo de propagación promedio se obtiene como:

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} \quad (1)$$

Los tiempos de transición de la señal corresponden a las pendientes de los flancos. El tiempo de subida (t_{rise}) se define como el intervalo en que la señal crece del 10 % al 90 % de su amplitud, mientras que el tiempo de bajada (t_{fall}) se mide de forma análoga, pero durante la transición descendente, del 90 % al 10 %. Estos tiempos dependen tanto de las características internas del circuito integrado como de la carga externa y del entorno de conexión.

Una metodología experimental directa para estimar el retardo de propagación consiste en construir un oscilador en anillo. Este se forma al conectar en cascada un número impar de inversores, de modo que la salida del último se retroalimente a la entrada del primero. Dado que un número impar de inversores garantiza una inversión lógica global, la realimentación genera una señal periódica de naturaleza cuadrada. El periodo de oscilación está determinado por la suma de los retardos de propagación de cada inversor en el anillo. Matemáticamente, puede expresarse como:

$$T = 2N \cdot t_{PD} \quad (2)$$

, donde T es el periodo de oscilación y N es el número de inversores en la configuración.

IV. RESULTADOS TEÓRICOS Y PRÁCTICOS

La frecuencia de oscilación resulta entonces:

$$f = \frac{1}{2N \cdot t_{PD}}$$

Este principio convierte al oscilador en anillo en una herramienta experimental práctica para obtener el retardo promedio de un inversor a partir de una medición sencilla del periodo de oscilación. Además, al modificar el número de etapas en el anillo o introducir elementos adicionales como alambres largos, es posible estudiar el impacto de los retardos adicionales y de los efectos parásitos en la señal. Dichos fenómenos son relevantes en el diseño digital, ya que la velocidad de conmutación y la integridad de la señal determinan los límites de operación de un sistema electrónico.

III. HERRAMIENTAS Y MÉTODOS

Para la realización del experimento se empleó un circuito integrado 74LS04, el cual contiene seis inversores TTL independientes, un osciloscopio digital con capacidad de almacenamiento de imágenes en formato USB, puntas de prueba, cables de conexión cortos y una fuente de alimentación regulada de +5 V. El procedimiento consistió en montar sobre una protoboard un oscilador en anillo de cinco inversores, cuidando que el alambrado fuera lo más corto posible para minimizar efectos parásitos, y conectando la salida del último inversor a la entrada del primero para inducir la oscilación. Posteriormente se midió el periodo de la señal de salida y se determinaron los parámetros de interés utilizando los cursores del osciloscopio, incluyendo valores de voltaje máximo, mínimo, tiempos de subida y bajada. En los casos de tres inversores, tres inversores con un metro extra de cable y cinco inversores, se realizaron las mediciones utilizando ambos canales del osciloscopio, ya que esto facilitó observar simultáneamente las señales en dos etapas diferentes del anillo y comparar el desfase y la propagación de la señal. Se repitió el montaje empleando únicamente un solo inversor realimentado, con el fin de comparar la variación en la frecuencia de oscilación y observar la tensión estable que se establece en este último caso. Adicionalmente, se introdujo una longitud extra de alambre de aproximadamente un metro en el lazo de tres inversores, para estudiar la influencia del retardo adicional y de las capacitancias parásitas en la forma de onda observada.

Tabla 1. Cálculos Teóricos

(3) t_{PD} (ns) usado	N Inversores	T (ns)	f (MHz)
15 (representativo)	1	--	--
	3	90	11.11
	5	150	6.67
10 (optimista)	1	--	--
	3	60	16.67
	5	100	10
22 (pesimista)	1	--	--
	3	132	7.58
	5	220	4.55

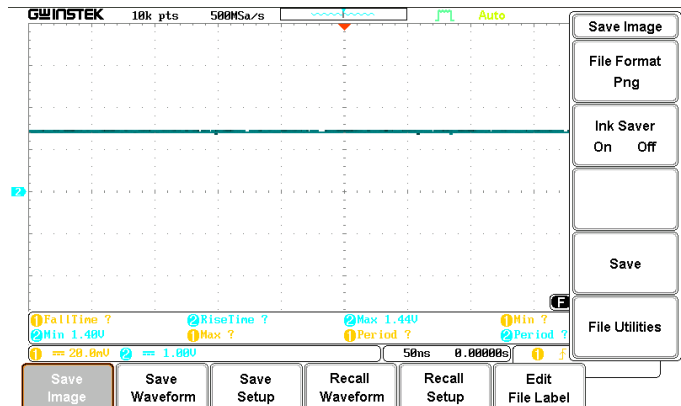


Figura 1. Señal con un solo inversor (sin capacitor)

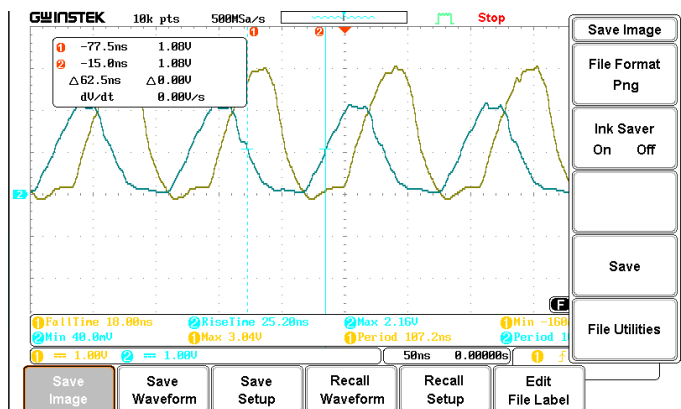


Figura 2. Señal con tres inversores

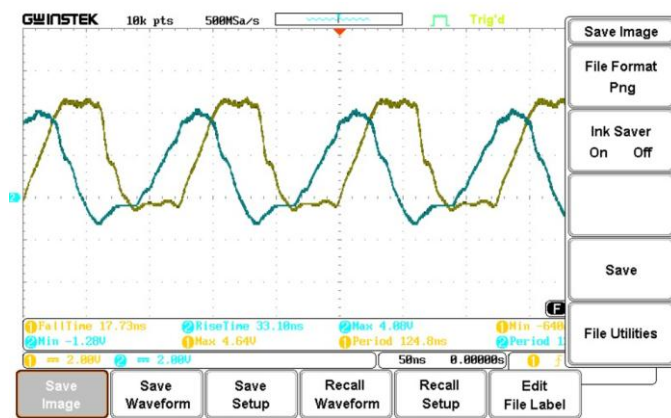


Figura 3. Señal con tres inversores (con cable de 1 metro)

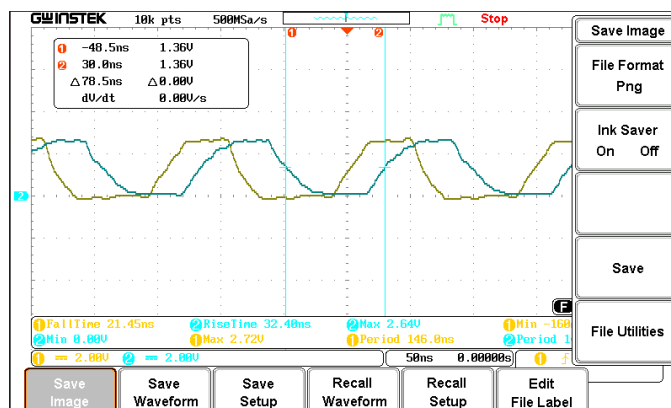


Figura 5. Señal con 5 inversores

Tabla 2. Valores Experimentales

N Inversores	t_{PD} (ns) usado	T (ns)	f (MHz)
1	--	--	--
3	17.87	107.2	9.33
3 + 1 m	20.8	124.8	8.01
5	14.6	146	6.85

V. ANÁLISIS DE RESULTADOS

Para el caso de un solo inversor, como se esperaba, la salida no generó oscilación y se estabilizó en un valor cercano a 1.42 V. Este comportamiento coincide con la teoría, ya que un número impar de inversores menor a tres no permite la generación de una señal periódica. Por lo tanto, no se calculan ni el periodo ni la frecuencia para $N=1$.

En el caso de tres inversores, el periodo medido experimentalmente fue de 107.2 ns, lo que permitió calcular un retardo promedio por inversor $t_{PD} \approx 17.87$ ns y una frecuencia de oscilación $f \approx 9.33$ MHz. Comparando estos resultados con la Tabla 1 de cálculos teóricos, se observa que el valor medido se encuentra entre los escenarios representativo y pesimista (T teóricos de 90 ns y 132 ns, f teóricos de 11.11 MHz y 7.58 MHz). Esto confirma que los

valores experimentales están en un rango coherente con la teoría, considerando efectos parásitos y características reales de los inversores. Los tiempos de subida y bajada se midieron en los dos canales del osciloscopio y se muestran en las imágenes correspondientes. Estos valores permiten evaluar la velocidad de conmutación de los inversores y evidencian que cada etapa introduce un retardo finito en la transición de la señal, consistente con los parámetros típicos del 74LS04.

Al introducir un metro adicional de cable en el anillo de tres inversores, el periodo aumentó a 124.8 ns, con un retardo promedio de $t_{PD} \approx 20.8$ ns y una frecuencia de 8.01 MHz. Este incremento respecto al caso sin cable se debe a la capacitancia e inductancia parásita añadida por el alambre, que ralentiza la transición de la señal. La comparación con la tabla teórica indica que el valor experimental sigue estando dentro del rango de retardos esperados, mostrando cómo elementos externos al circuito afectan la frecuencia de oscilación. La adición del alambre incrementó ligeramente los tiempos de subida y bajada, debido a la capacitancia e inductancia parásita introducida por la longitud extra. Esto se puede observar en las formas de onda, donde los flancos de las señales son más suaves y los tiempos de transición mayores que en el caso sin cable.

Para cinco inversores, el periodo experimental fue de 146 ns, con $t_{PD} \approx 14.6$ ns y frecuencia 6.85 MHz. Comparando con los valores teóricos ($T = 150$ ns representativo, $f = 6.67$ MHz), se observa una excelente concordancia, evidenciando que la teoría predice correctamente el comportamiento general del oscilador cuando se incrementa el número de etapas. Los retardos medidos reflejan la influencia combinada de cada inversor y confirman que la propagación de la señal aumenta con el número de etapas, pero el retardo promedio por inversor puede variar según la carga y las condiciones de conexión. Los tiempos de subida y bajada medidos confirman que la señal mantiene un comportamiento estable a pesar del mayor número de etapas. Los flancos son relativamente rápidos y consistentes con las especificaciones TTL, demostrando que el aumento del número de inversores no altera significativamente la velocidad de conmutación de cada etapa individual.

VI. CONCLUSIONES

El experimento con osciladores en anillo permitió analizar de manera directa el comportamiento temporal de los inversores TTL del circuito 74LS04 y observar cómo el número de etapas y la longitud del cable afectan la frecuencia de oscilación. Se confirmó que un solo inversor no genera oscilación, estabilizándose en un valor de tensión intermedio, mientras que configuraciones con tres y cinco inversores producen señales periódicas cuadradas estables.

Las mediciones experimentales mostraron que el periodo de oscilación aumenta al incrementar el número de inversores o al añadir un alambre largo, lo que se traduce en un aumento del retardo promedio por inversor y una disminución de la frecuencia. Los valores de retardo promedio calculados a partir de los periodos medidos se encontraron dentro de un rango coherente con los valores teóricos, evidenciando la validez de

las ecuaciones (1), (2) y (3) para predecir el comportamiento del oscilador.

El uso de un osciloscopio de dos canales permitió comparar la propagación de la señal en diferentes etapas, mostrando claramente el desfase introducido por cada inversor y los efectos de capacitancia parásita, especialmente al añadir un metro de cable. Además, los tiempos de subida y bajada observados confirman que los inversores cumplen con las especificaciones TTL y que la velocidad de conmutación se mantiene dentro de parámetros esperados.

REFERENCIAS

[1] Razavi, B., Fundamentals of Microelectronics, 3rd ed. Hoboken, NJ, USA: Wiley, 2021.

BIBLIOGRAFÍA



Cortes T. Ramses nació en San José, Costa Rica, en 2003 aunque actualmente habita en la provincia de Cartago, Costa Rica.

Se graduó en 2021 del Colegio Técnico Profesional de Dulce Nombre con bachiller en educación media y como técnico medio en Electrónica Industrial, como requisito para obtener este grado técnico realizó su práctica profesional con

Prosegur en donde se encargó del análisis y reparación de cajeros automáticos para distintas entidades bancarias.

Actualmente se desempeña como estudiante del Instituto Tecnológico de Costa Rica en la carrera de Ingeniería Electrónica y cursando su sexto semestre.



Quesada H. Julio nació en Turrialba, Cartago, Costa Rica, en el 2005, pero desde muy pequeño ha vivido en la provincia de Limón, más específicamente en Siquirres. Recibió su título de bachillerato en el 2022 graduándose del Colegio Experimental Bilingüe de Siquirres, al año siguiente empezó sus estudios en el Instituto Tecnológico de Costa Rica sede central, propiamente en Ingeniería Electrónica.

Hoy en día está terminando su quinto semestre de carrera y cursando tres cursos del semestre 6.