

## Vivado 使用总结

姓名：张镓伟

学号：15352408

### 1. 如何新建一个项目？

- 1 ) 打开Vivado选择Create New Project , Next ;
- 2 ) 定义文件名字及存储路径 , Next ;
- 3 ) 选择project的类型 , 我们现在选择RTL Project , next。
- 4 ) 因无需建立内容 , 所以 , 以下相应窗口 :

不增加源文件 , 所以Add source 窗口直接点击Next ( 但Target Language 选择verilog )

不增加IP核 , 所以Add Existing IP 窗口直接点击Next;

不增加约束文件 , 所以Add Constraints 窗口直接点击Next;

### 5 ) Filter这项中 :

Product category 选择 All; Package 选择cpg236

Family 选择 Artix-7; Speed grade 选择 -1

Sub-Family 选择 All Remaining;

Temp grade 选择 C; Si Revision 选择 All Remaining

器件选择为xc7a35tcpg236-1(Basys3板) , Next.

6) 最后的窗口中点击Finish , 就完成了项目的创建。

2. 如何添加源程序代码? 其中哪些步骤为必要步骤, 哪些步骤为可选步骤?

1) 在新建好的项目中, project Manager 一栏中选择 Add Sources。或者右键点击 Design Sources , 在弹出的菜单中选择 Add Sources ( 必要 )

2) 在弹出的窗口中选择 Add or create design sources , 点击 Next(必要)

3) 在弹出的窗口中点击“+”号 ,然后可以选择 creat File 或者 Add Files( 可选 )

4) 若选择 creat File , 在弹出的窗口中设置好文件名 , file type 选 verilog , 可以设置文件路径, 一般默认在该 project 的路径下。点 OK,Finish。(必要)

在之后出现的窗口中可以设置相关的输入输出变量 ( 可选 )

设置完后点击 OK 即完成新代码文件的创建。( 必要 )

创建完文件回到项目工程的大窗口 ,在 Project Manger 栏点击我们创建的文件 , 右侧就出现了代码编辑窗口 , 然后我们就可以往上添加代码。

(必要)

5) 若选择 Add Files ,则在弹出的窗口中找到自己要添加的已经写好的源代码文件双击完成添加即可。(必要) 之后的步骤同第 4)步一开始设好文件名点击完 Finish 之后。

### 3. 如何新建仿真文件？如何确定仿真时间？X、Z 分别代表什么？一般什么时候会出现？

- 1) 点击 Project Manager 项中的 Add Sources，或右键点击 Design Sources，在弹出的菜单中选择 Add Source…。点选 Add or Create simulation sources，再点击 Next。
- 2) 点“+”号，选择 create File。在新窗口中输入仿真源文件的文件名，并点击 OK，之后点击 Finish.之后几步与添加源代码时基本相同，但 Define Module 窗口略去不做。建好文件后 Project Manager 一栏的 Simulation Sources 下点击相应的仿真代码文件，然后在右侧窗口可进行仿真代码的编辑。
- 3) 写好仿真文件的代码后，在左侧栏中的 Simulation 处点击 Run Simulation，在弹出的菜单中点击 Run Behavior Simulation。完成之后，将弹出仿真波形窗口。可在所弹出的波形窗口的工具条调整仿真的单位时间。
- 4) X 代表未知值或者非法值。通常发生在此结点同时被 0 或 1 驱动，即竞争状况，这是必须避免的。仿真时还会表示一个未初始化的值。  
  
Z 是浮空值。当结点既没被高电平驱动也没被低电平驱动时出现，取决于系统之前的状态。

### 4. 如何进行综合和实现？

- 1) 在左边 Synthesis 一栏中点击 Run Synthesis 进行综合。
- 2) 若综合成功会弹出一个 Synthesis Completed 的窗口，在上面选择 Run Implementation，点击 OK，就可以进行实现。

## 5. 如何进行引脚分配？

- 1) 实现成功后会弹出一个 Implementation Completed 的窗口,在上面选择 Open Implemented Design ,点击 OK 即可进入引脚分配。
- 2) 在完成上一步打开的窗口中,在菜单栏上点击 Layout->I/O Planning,或点击窗口底下一行 I/O Ports 页, 并点击窗口左边的“+” 展开各引脚。这时, 就可以给引脚分配了。点击 Site 这一列输入对应的引脚名称, 点击 I/O Std 这一列选择 LVCMOC33。
- 3) 分配好引脚就必须保存, 点击工具栏上的保存按钮, 或按键 ctrl-s。在弹出的窗口中点 OK。然后再新弹出的窗口中输入 File name, 一般与代码文件名一样,点 OK,出现浮动的滚动条, 其消失之后, 引脚分配处理完成。

## 6. 如何生成比特流文件？

- 1) 在左侧菜单栏 Program and Debug 中点击 Generate Bitstream。在弹出的窗口中选择 Yes。出现浮动的滚动条,其消失后,比特流文件生成。该 bit 文件路径如:( 假设 project 名为 led\_8lights )  
E:\Xilinx\VivadoProject\led\_8lights\led\_8lights.runs\impl\_1 下, 文件名为 led\_8lights.bit