

# Laboratorio de Organización y Arquitectura de Computadoras Práctica No. 2 Diseño de máquinas de estado

August 10, 2019

## Objetivo

Familiarizar al alumno en el conocimiento de los algoritmos de las máquinas de estados utilizando Quartus y el lenguaje VHDL.

## Duración

2 semanas

## Desarrollo

Dada la carta ASM de la figura 1, elabore lo que se indica.

1. Obtenga el circuito secuencial de la carta ASM utilizando flip flops tipo D. Cree un proyecto en quartus llamado **practica2\_ff**, implemente su diseño en el ambiente de desarrollo quartus y simúlelo para validar su comportamiento.

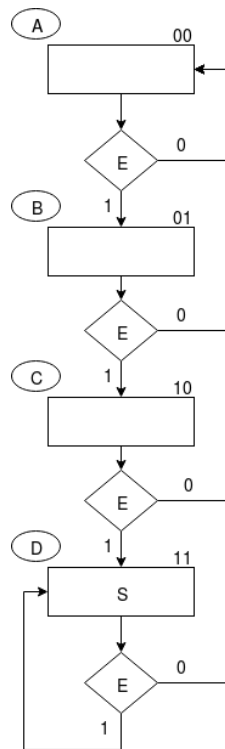


Figura 1: Carta ASM.

2. Cree un nuevo proyecto en Quartus llamado **practica2\_vhdl** y diseñe la máquina de estados de la carta ASM utilizando el lenguaje de descripción de hardware VHDL. Simule su diseño para validar que funciona correctamente.

3. Agregue el siguiente código al proyecto que creo en el punto número 2. Guarde el archivo con el nombre **sensa\_boton.vhd**.

---

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity sensa_boton is
    Port (BOTON : in STD_LOGIC;
          CLK : in STD_LOGIC;
          RELOJ : out STD_LOGIC;
          EPRESENTE: buffer STD_LOGIC);
end sensa_boton;

architecture Behavioral of sensa_boton is
    signal ESIGUIENTE: STD_LOGIC;
  
```

```

begin

process (ESIGUIENTE, BOTON)
begin

    if rising_edge (CLK) then
        case ESIGUIENTE is
            when '0' =>
                RELOJ <= '0';
                if BOTON ='0' then
                    ESIGUIENTE <= '0';
                else
                    ESIGUIENTE <= '1';
                end if;
            when '1' =>
                if BOTON ='1' then
                    ESIGUIENTE <= '1';
                    RELOJ <= '0';
                else
                    ESIGUIENTE <= '0';
                    RELOJ <= '1';
                end if;
            when others => null;
        end case;
    end if;
    EPRESENTE <= ESIGUIENTE;
end process;
end Behavioral;

```

---

4. Cree el símbolo **sensa\_boton** del código del punto anterior e insertelo en su diseño. Conecte el reloj de su diseño a la entrada **CLK** del símbolo y ocupe la salida **RELOJ** como el nuevo reloj de su máquina de estados. No olvide asignar un botón físico de la tarjeta de desarrollo a la entrada **BOTON**.

5. Realice la asignación de pines de tal forma que se muestre en los leds de la tarjeta de desarrollo **el estado presente, el estado siguiente y la salida S**. También es necesario asignar un botón para **la entrada E** y como se mencionó anteriormente un botón para **sensa\_boton**. Compile su proyecto y grábalo en la tarjeta de desarrollo.