МГТУ им. Н. Э. Баумана Курс «Основы Электроники»

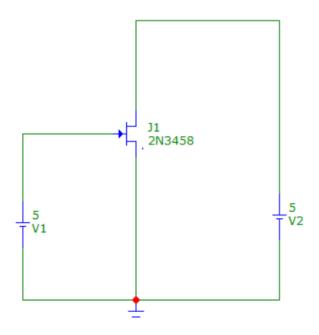
Лабораторная работа №7 «ИССЛЕДОВАНИЕ ВАХ БИПОЛЯРНОГО ТРАНЗИСТОРА И КАСКАДА УСИЛЕНИЯ В МІСКОСАР. ЧАСТЬ 3»

Работу выполнил: Студент группы ИУ7-32Б Апсуваев Рамазан **Цель работы** - получить навыки в использовании базовых возможностей программы Microcap и знания при исследовании и настройке усилительных, ключевых и логических устройств на биполярных и полевых транзисторах.

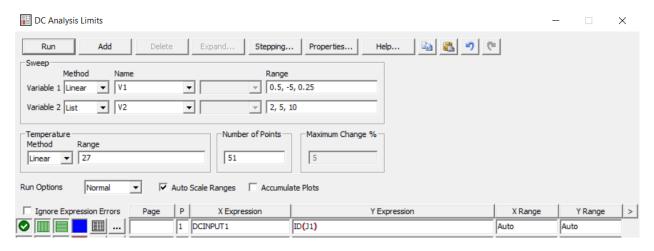
Эксперимент 7

Диод моего варианта - 2N3458

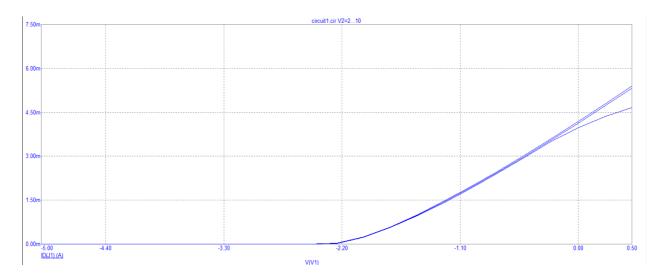
Построим следующую цепь



Воспользуемся DC Analysis Limits

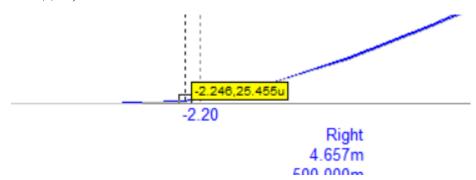


Получим следующий график

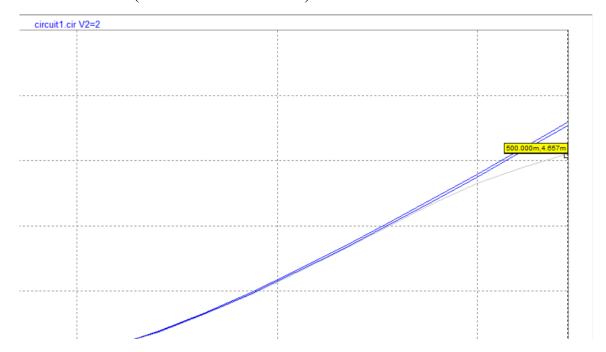


Приведу расчеты для V2=2 В. Расчеты для $V2=5,\,10$ В проводятся аналогично

Из графика видно, что Uorc = -2.246 B



Існач = 4.657 мА (начальный ток стока)

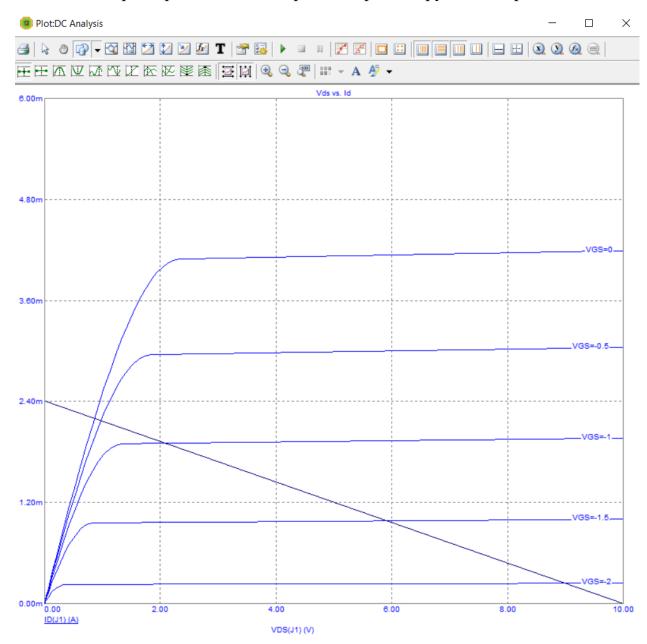


Отсюда высчитаем Smax = 2*Iснач/|Uoтс| = 2*4.657 / 2.246 = 4.147 мА/В Приведу таблицу, где приведу вычисленные значения для V2 = 2, 5, 10 В

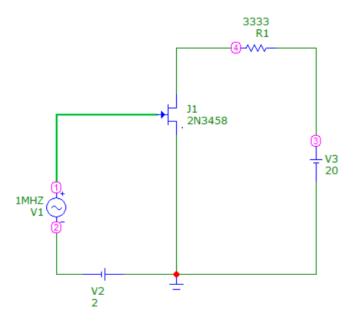
U, B	Існач, мА	Smax, мА/В
2	4.657	4.147
5	5.310	4.827
10	5.385	4.896

Усилитель на nJFET

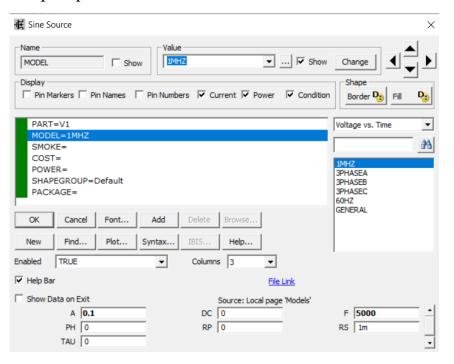
Выходные характеристики моего транзистора с нагрузочной прямой



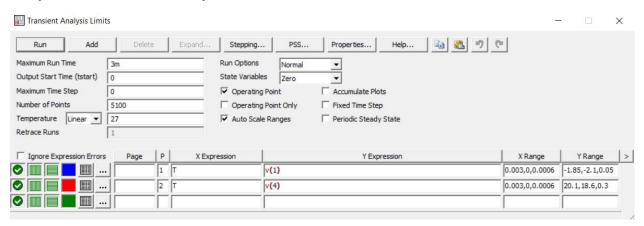
Upт = 5B, Id = 1.5 мА. Тогда сопротивление стока будет равно (Епит – Upт)/Id = $5 / (1.5 * 10^{-3}) = 3333$ Ом. Построим следующую цепь

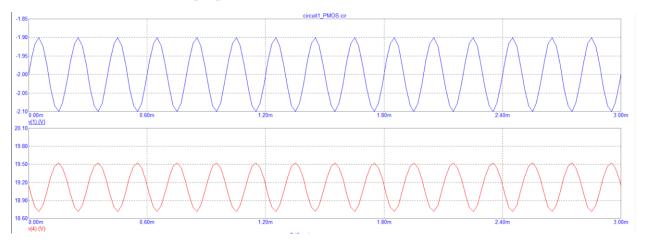


Параметры генератора



Запустим Transient Analysis Limits

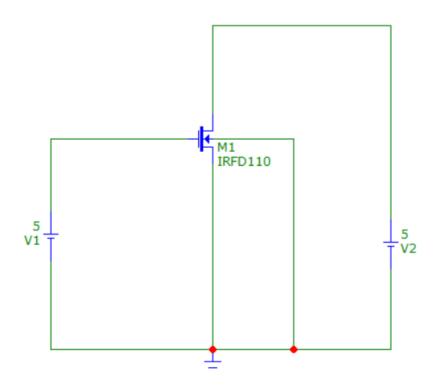




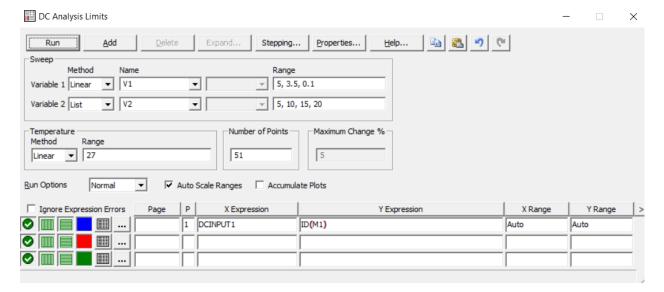
Вычислим усиление каскада (отношение амплитуд). K = (19.522 - 18.715) / 0.2 = 4.035

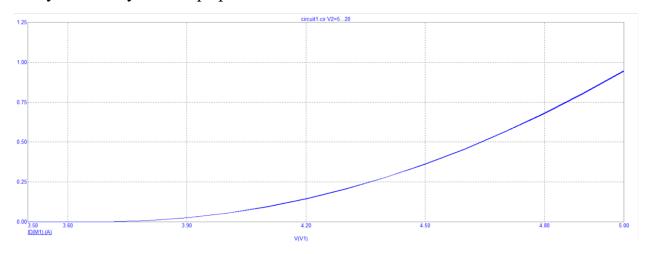
Исследование nMOS

Исследуем характеристики NMOS транзистора. Для этого построим следующую цепь

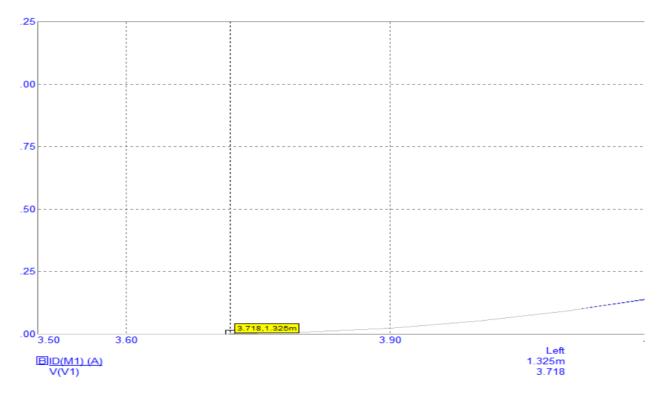


Воспользуемся DC Analysis



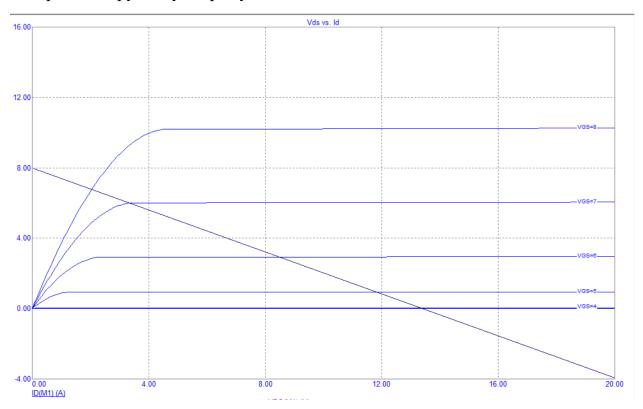


Отсюда, напряжение открытия транзистора равно 3.718 В

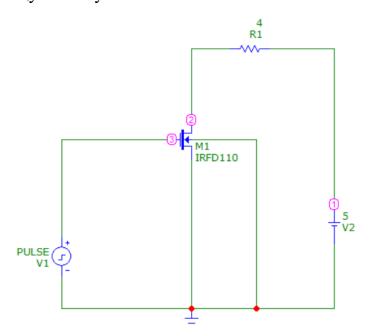


Ключ на транзисторе NMOS

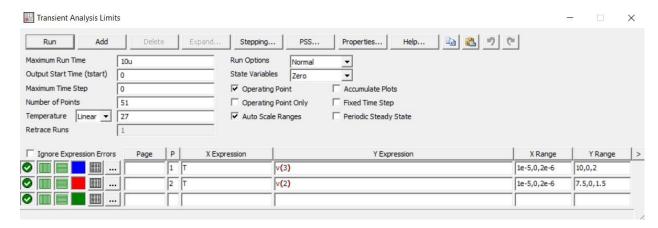
Просмотрим выходные характеристики NMOS транзистора моего варианта и построим нагрузочную прямую

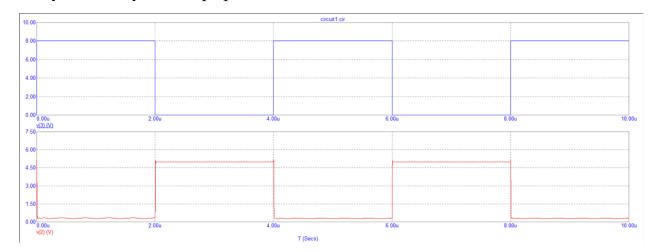


Ток стока будет равен 2.5A. Отсюда, Rd = Eпит/Id = 10/2.5 = 4 Om Построим следующую схему



Воспользуемся Transient Analysis Limits

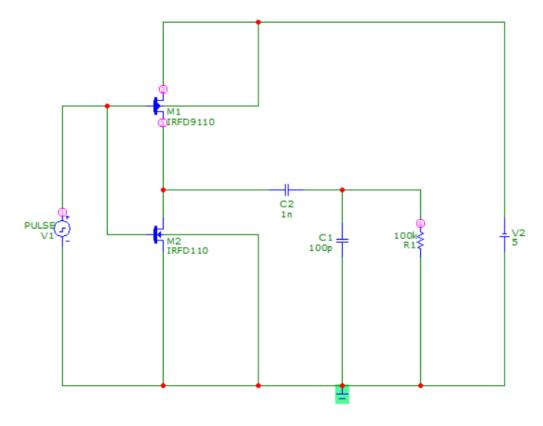




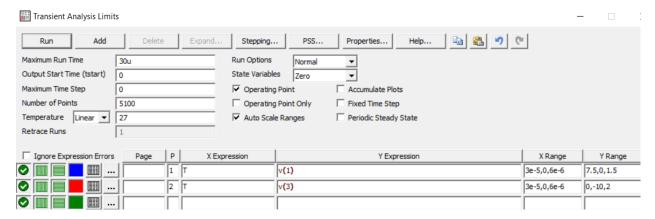
Эксперимент 8

Инвертор на основе КМОП ключа

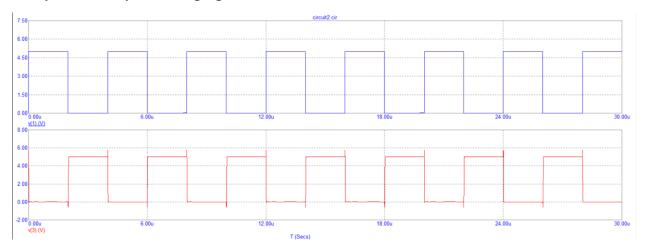
Собираем следующую схему КМОП цифрового ключа



Воспользуемся Transient Analysis Limits



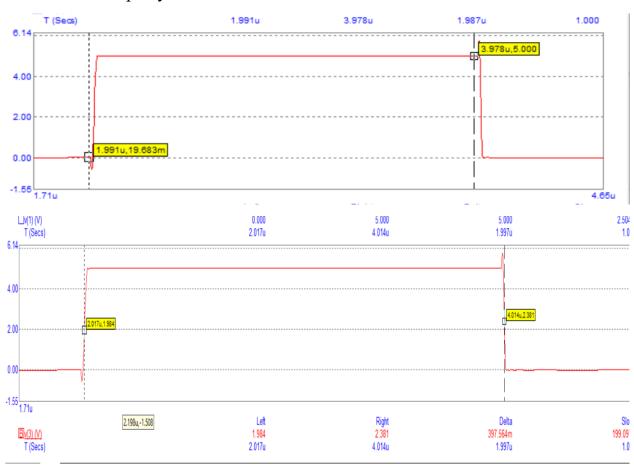
Получим следующий график



Приблизим график



Расчитаем задержку

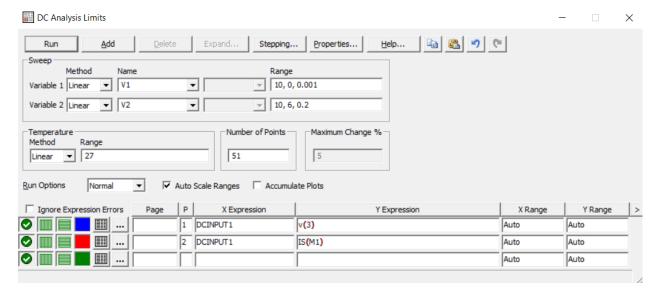


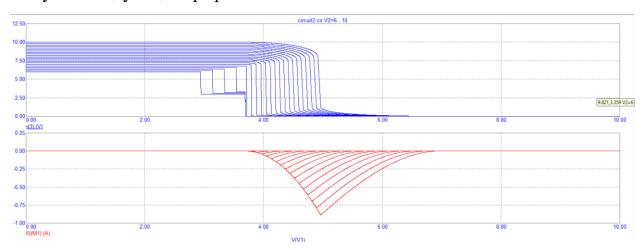
Result :=
$$\frac{(2.017 - 1.991) + (4.014 - 3.978)}{2}$$

Result = 0.031

0.031 наносекунд

Воспользуемся DC Analysis

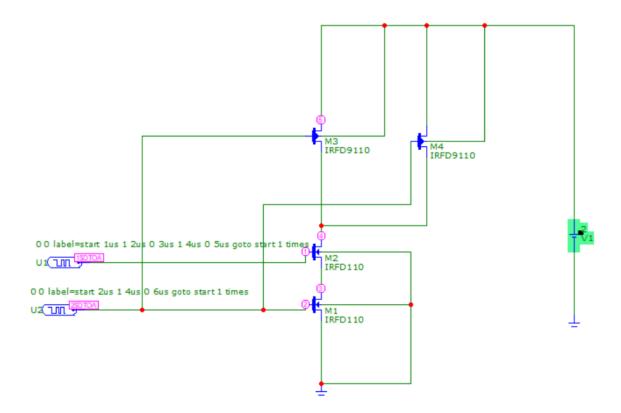




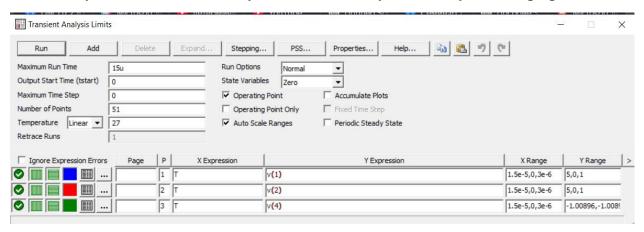
Таким образом, графики ключа и передаточной характеристики показывают, что комплементарная схема КМОП потребляет ток при переключении между единичным и нулевым состояниями. Так как переключение происходит в течение сотых долей наносекунд, потребляемый ток (и, следовательно, мощность) очень мал. Это делает их использование особенно выгодным в карманных устройствах, где экономия энергии является ключевым фактором при разработке.

Логический элемент 2И-НЕ

Построим следующую цепь



Воспользуемся Transient Analysis Limits и получим следующий график



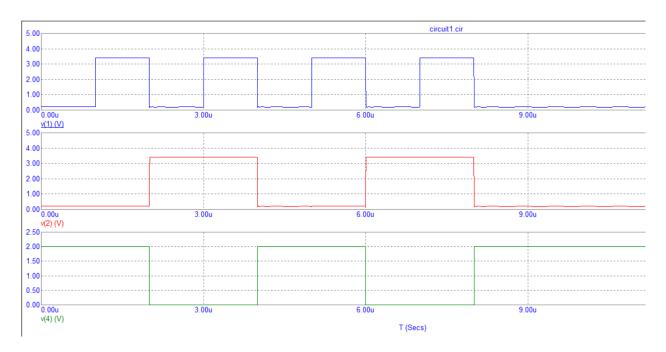
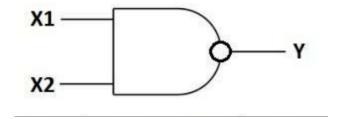


Таблица истинности

Вход 1	Вход 2	Результат
0	0	1
1	0	1
0	1	1
1	1	0

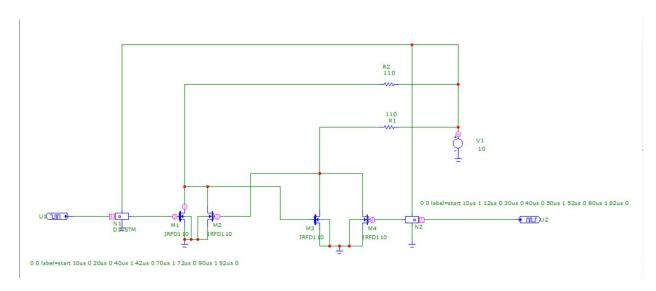
Обозначение 2И-НЕ



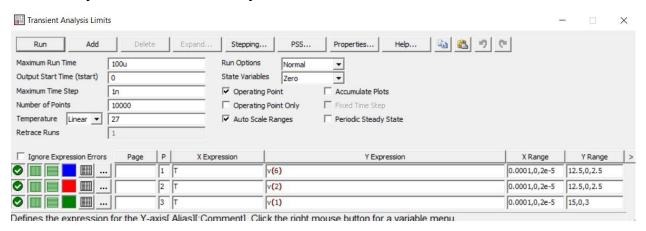
Эксперимент 9

Устройство ячейки триггера статической памяти.

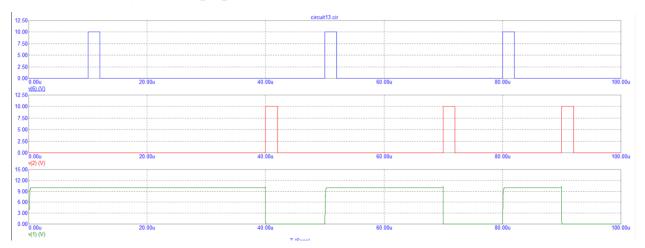
Построим следующую цепь



Воспользуемся Transient Analysis Limits



Получаем следующий график



Синий график – команда записи, красный график – команда считывания.