```verilog
 1    `timescale 1ns / 1ps
 2    //////////////////////////////////////////////////////////////////////////////////
 3    // Company:
 4    // Engineer:
 5    //
 6    // Create Date:    19:09:35 05/14/2016
 7    // Design Name:
 8    // Module Name:    VGA_RBG
 9    // Project Name:
10    // Target Devices:
11    // Tool versions:
12    // Description:
13    //
14    // Dependencies:
15    //
16    // Revision:
17    // Revision 0.01 - File Created
18    // Additional Comments:
19    //
20    //////////////////////////////////////////////////////////////////////////////////
21    module VGA_RBG(
22          input [7:0] RBG_values,
23          input [7:0] Slug_RBG,
24          input [7:0] Meteor_RBG,
25
26          output [7:0] RBG_out
27
28       );
29          assign RBG_out = RBG_values | Slug_RBG | Meteor_RBG;
30
31    endmodule
32
```