Bitacora Proyecto 1

1st Randall Bolan˜os Lo´pez *Ingenieria en computadores Instituto Tecnologico de Costa Rica* Cartago, Costa Rica

2019043784

[yitanr@estudiantec.cr](mailto:yitanr@estudiantec.cr)

I. BITA´ CORA DEL PROYECTO

Esta bita´cora detalla el desarrollo incremental del proyecto, desde su inicio el 15 de agosto hasta su culminacio´n el 11 de septiembre. Cada entrada refleja el avance realizado en la implementacio´n de disen˜o, incluyendo el desarrollo de tablas de verdad, ecuaciones booleanas, uso de herramientas, y la estructuracio´n del documento en Overleaf.

1. *15 de Agosto de 2024*
   * Inicio del proyecto y se definio´: desarrollar un sistema de control para un motor basado en sen˜ales digitales, visualizacio´n mediante una matriz de LEDs, y uso de un display de 7 segmentos.
   * Configuracio´n del entorno de trabajo en Overleaf y dis- tribucio´n de tareas entre los dias restantes.
2. *17 de Agosto de 2024*
   * Investigacio´n sobre decodificadores y seleccio´n de com- ponentes electro´nicos, incluyendo MOSFETs y flip-flops.
   * Disen˜o inicial de la tabla de verdad para el primer decodificador, que convierte sen˜ales de 4 bits en 2 bits.
   * Documentacio´n del avance en Overleaf, con esquemas preliminares y justificacio´n de los componentes selec- cionados.
3. *19 de Agosto de 2024*
   * Desarrollo de las ecuaciones booleanas a partir de la tabla de verdad.
   * Primeras pruebas de las ecuaciones utilizando un simu- lador lo´gico, verificando la correccio´n del disen˜o.
   * Simplificacio´n de las ecuaciones mediante tablas de Kar- naugh para optimizar el disen˜o lo´gico.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *A* | *B* | *C* | *D* | *Y*1 | *Y*0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 |

*1) Tablas y Ecuaciones:*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *A* | *B* | *C* | *D* | *Y*1 | *Y*0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 |

Esta tabla de verdad representa todas las combinaciones posibles de los 4 bits de entrada (A, B, C, D) y las corre- spondientes salidas de 2 bits (Y1, Y0).

Para simplificar las ecuaciones booleanas correspondientes a *Y*0 y *Y*1, se utilizan las tablas de Karnaugh.

# Tabla K para *Y*1:

*AB*\*CD*

00

01

11

10

00 01 11 10

0 1 0 1

1 1 0 0

0 1 1 1

1 0 1 0

* + **Tabla K para** *Y*0:

Esta tabla de verdad fue utilizada para definir las salidas *Y*1 y *Y*0 en funcio´n de las combinaciones binarias de entrada *A*, *B*, *C*, y *D*. La implementacio´n de esta tabla de verdad en el circuito fue un paso crucial para asegurar que el sistema respondiera correctamente a las sen˜ales de entrada.

* **Ecuacio´n para** *Y*1:

*AB*\*CD*

00

01

11

10

00 01 11 10

1 0 0 1

0 1 1 0

1 0 0 1

1 1 0 0

*Y*1 = *ABD* + *ABD* + *ABD* + *ABD*

# Ecuacio´n para *Y*0:

*Y*0 = *AB*(*C* ⊕ *D*) + *ABC* + *AB*(*CD* + *CD*) + *ABC*