

# Bitácora de Trabajo

Adrián Muñoz Alvarado

Christopher Rodriguez  
Cordero

Randall Bolaños López

Consulte el avance desde Github

<https://github.com/Randall-BL/Rbolanos-Amunoz-Crodriguez-digital-design-lab-2024.git>

Bitácora de Trabajo - 5 de marzo de 2025

**Actividad:** Desarrollo de un decodificador de 4 bits a BCD en SystemVerilog

**Estado:** Avance parcial

## Progreso

- Se diseñó la estructura del decodificador sin `case`.
- Se definieron las entradas y salidas.
- Se inició el testbench con pruebas iniciales.
- Se revisó la configuración para la FPGA.

## Tablas de Verdad

Conversión de Binario a BCD y Representación en Display de 7 Segmentos

Binario (4 bits)	BCD (Decena, Unidad)	Display 7 segmentos (Decimal)
0000	0000 0000	0
0001	0000 0001	1
0010	0000 0010	2
0011	0000 0011	3
0100	0000 0100	4
0101	0000 0101	5
0110	0000 0110	6
0111	0000 0111	7
1000	0000 1000	8
1001	0000 1001	9
1010	0001 0000	10
1011	0001 0001	11
1100	0001 0010	12
1101	0001 0011	13
1110	0001 0100	14
1111	0001 0101	15

## Próximos Pasos

- Corregir errores en la conversión.
- Completar pruebas en el testbench.
- Implementar en FPGA y verificar salida.

## Bitácora de Trabajo - 6 de marzo de 2025

**Actividad:** Desarrollo de un decodificador de 4 bits a BCD en SystemVerilog

**Estado:** Completado

## Progreso

- Se finalizó el diseño del decodificador sin `case`.
- Se completó y validó el testbench con pruebas para 8 valores diferentes.
- Se implementó el decodificador en la FPGA.
- Se verificó la correcta visualización en los displays de 7 segmentos.

El decodificador funciona correctamente, convirtiendo los valores binarios de 4 bits a su representación en BCD y mostrando la salida en los displays de 7 segmentos en la FPGA.

## Bitácora de Trabajo - 7 de marzo de 2025

**Actividad:** Implementación de la primera fase de un sumador de 4 bits en VHDL

**Estado:** Avance parcial

## Progreso:

- Se diseñó la estructura base del sumador de 4 bits utilizando un modelo de estructura en VHDL.
- Se definieron las conexiones entre los sumadores completos de 1 bit.
- Se realizó una primera prueba funcional en simulación.

## Próximos Pasos:

- Verificar y corregir posibles errores en la implementación.
- Asignar pines para la FPGA.
- Crear el testbench para validar el diseño.

## Bitácora de Trabajo - 8 de marzo de 2025

**Actividad:** Corrección de errores y asignación de pines en el sumador de 4 bits

**Estado:** Avance parcial

## Progreso:

- Se detectaron y corrigieron errores en la implementación del sumador.
- Se realizó la asignación de pines en la FPGA para recibir los operandos desde los switches y mostrar la salida en los displays de 7 segmentos.
- Se diseñó y comenzó la implementación del testbench en VHDL para realizar pruebas.

#### **Próximos Pasos:**

- Completar las pruebas en el testbench.
- Validar el funcionamiento del sumador con diferentes combinaciones de operandos.

### **Bitácora de Trabajo - 10 de marzo de 2025**

**Actividad:** Finalización e implementación del sumador de 4 bits en FPGA

**Estado:** Completado

#### **Progreso:**

- Se completó la validación del testbench con pruebas para múltiples combinaciones de operandos.
- Se implementó el sumador completo en la FPGA.
- Se verificó el correcto funcionamiento del sumador utilizando los switches para los operandos y mostrando el resultado en los displays de 7 segmentos en hexadecimal.
- El problema quedó completamente solucionado y funcional en hardware.

### **Bitácora de Trabajo - 11 de marzo de 2025**

**Actividad:** Implementación del restador parametrizable y conversión de valores

**Estado:** Avance parcial

#### **Progreso:**

- Se implementó la conversión de un número binario a BCD utilizando el método de desplazamiento.
- Se desarrolló un conversor de BCD a display de 7 segmentos.
- Se conectó el restador parametrizado con señales de clk, reset y botón de decremento.
- Se realizaron pruebas preliminares del funcionamiento del restador con distintas configuraciones de bits.

#### **Próximos pasos:**

- Diseñar y ejecutar testbenches para validar el funcionamiento del restador parametrizado.
- Integrar los botones para establecer el valor inicial del restador regresivo.

- Validar la implementación en hardware utilizando la FPGA.

## **Bitácora de Trabajo - 12 de marzo de 2025**

**Actividad:** Finalización e implementación del restador en FPGA

**Estado:** Completado

### **Progreso:**

- Se desarrollaron testbenches de auto-chequeo para validar el restador con configuraciones de 2, 4 y 6 bits.
- Se eliminaron archivos innecesarios y se realizaron ajustes en la estructura del proyecto.
- Se integró la funcionalidad del restador en la FPGA, utilizando botones para establecer el valor inicial y un switch como reset.
- Se verificó el correcto funcionamiento del restador regresivo en la FPGA, mostrando los valores en los displays de 7 segmentos.
- Se realizaron correcciones finales en la implementación para garantizar estabilidad y precisión en la operación.
- Se completó la implementación del problema 3, finalizando el laboratorio en su totalidad.