

浙江大学实验报告

姓名： 严旭铎

学号： 3220101731

日期： 2024.4.23

课程名称： 电路与电子技术 2 实验 指导老师： 张伟 成绩：

实验名称： 数字钟实验 实验类型： 数电实验 同组学生姓名： 褚玘铖

实验 6 滤波器设计

一、 实验目的

1. 了解数字电路的基本组成，认识数字信号、逻辑电平和逻辑关系。
2. 接触数字电路的调试过程，对数字电路达到一个大体的感性认识。
3. 掌握数制、码制及相互间的转换。

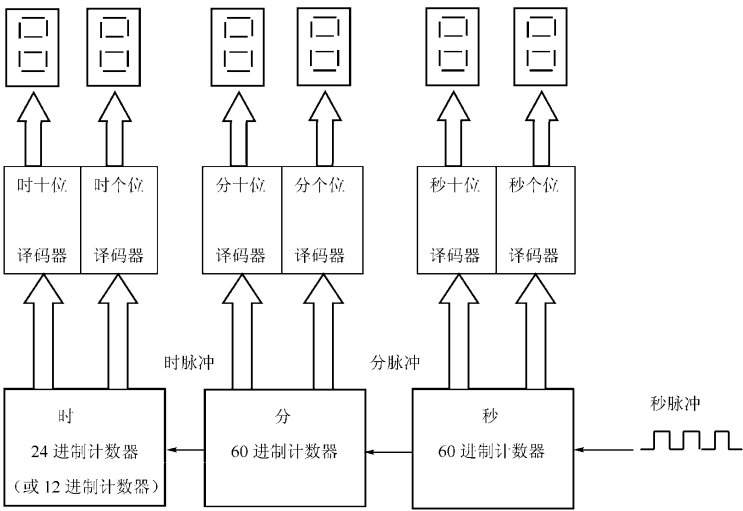
二、 实验内容

1. 检查译码显示电路的功能。
2. 测试 74LS161 计数器的功能。
3. 分别连接 10 进制和 6 进制计数器。
4. 连接 60 进制或 24 进制计数器。

三、 实验原理

1. 数字钟的基本组成

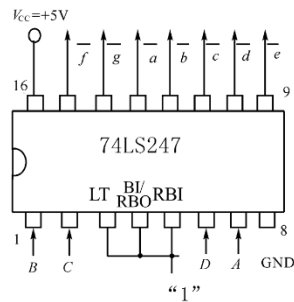
(1) 原理示意图



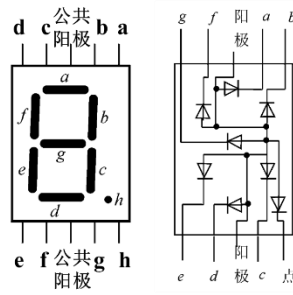
(2) 工作原理

外部脉冲输入后，用计数器累加脉冲次数，用来定时。分别使用 60 进制计数器和 24 进制计数器对秒（分）和小时进行计数，实现进位。

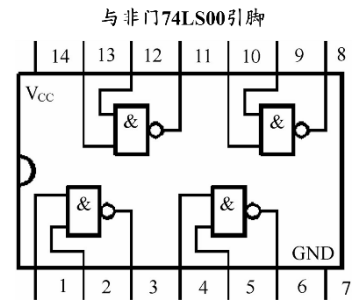
(3) 所用元件（实验箱用共阴极数码管）



译码器 74LS247



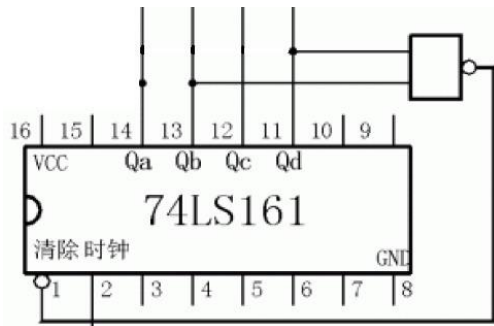
共阴极数码管



输入计数脉冲顺序	计数器输出				对应十进制数	输入计数脉冲顺序	计数器输出				对应十进制数
	Q _D	Q _C	Q _B	Q _A			Q _D	Q _C	Q _B	Q _A	
0	0	0	0	0	0	8	1	0	0	0	8
1	0	0	0	1	1	9	1	0	0	1	9
2	0	0	1	0	2	10	1	0	1	0	10
3	0	0	1	1	3	11	1	0	1	1	11
4	0	1	0	0	4	12	1	1	0	0	12
5	0	1	0	1	5	13	1	1	0	1	13
6	0	1	1	0	6	14	1	1	1	0	14
7	0	1	1	1	7	15	1	1	1	1	15

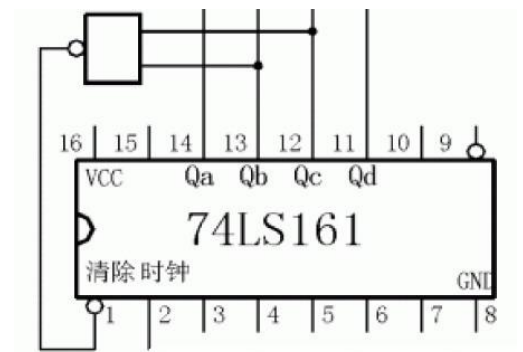
(4) 10 进制、6 进制计数器

i. 10 进制计数器



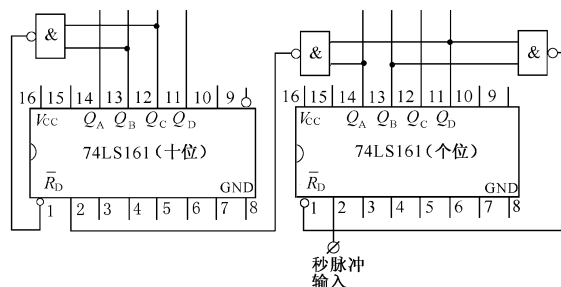
Qb 和 Qd 作为输入接入与非门，当数码管输出为 9 时置位 1001，输出为 10 时置位 1010，也是第一次 Qb 和 Qd 同时为 1。此时与非门输出为 0。注意 1 脚清除时钟是低电平有效，也即输出 0 时有效。那么可以实现 9 之后到 10 的极短时间里时钟清除，重新从 0 开始，实现 10 进制。

ii. 6 进制计数器



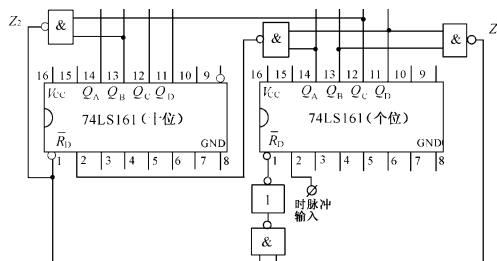
与 10 进制同理，输出为 6 时清除时钟。达到 6 进制的效果

(5) 60 进制计数器



这里将十进制和 6 进制的两个连接在一起，6 进制作十位，10 进制作个位。10 进制这里 QA 和 QD 作与非门的输入，输出送入十位作时钟信号。在 0-7，QD 一直为 0，与非门输出一直为 1，8 为 1000 输出 1，9 为 1001，到 9 输出 0，那么 10 个为 1 个周期，个位跑 10 次，十位进一，实现 60 进制。

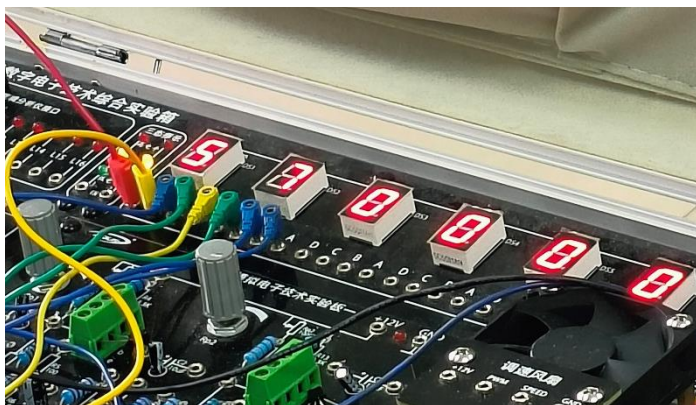
(6) 24 进制计数器



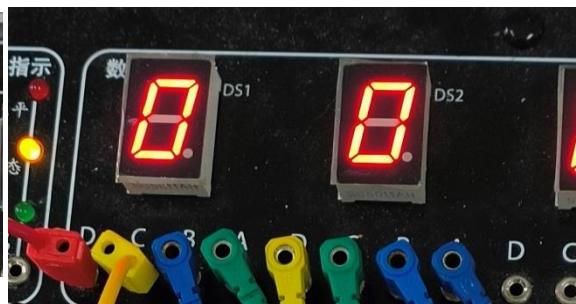
原理与 60 进制类似，但是要在十进制和 6 进制的基础上得到 24 进制，就是当输出为 24 时，要整个重置，那么只要把个位的 $\overline{R_D}$ 重置即可。这里将 Z1 和 Z2 与非门的输出作与运算即可。由于使用与非门，不能直接作与接非，可以将非门改成与非门，最下面的与非门输出接两次或者引一路高电平。这里 Z2 控制了逢 24 重置，即同时满足十位为 2 个位第一次为 4 时，输出低电平，Z1 则是逢 10 低电平。这两个只要有一个满足低电平那么就要重置个位，实现 24 进制。

四、实验数据

1. 手动检测没有问题。
2. 单独的 6 进制和 10 进制没有问题。
3. 60 进制



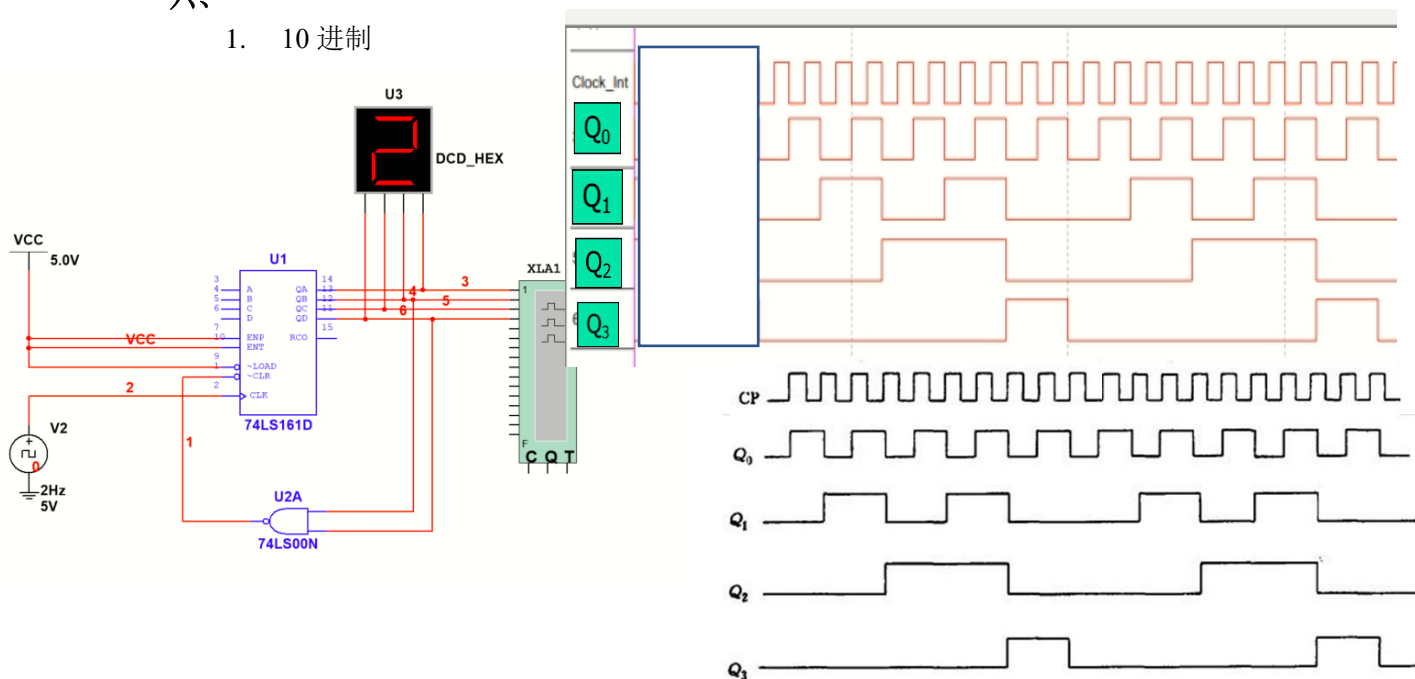
4. 24 进制



五、 仿真及时序图

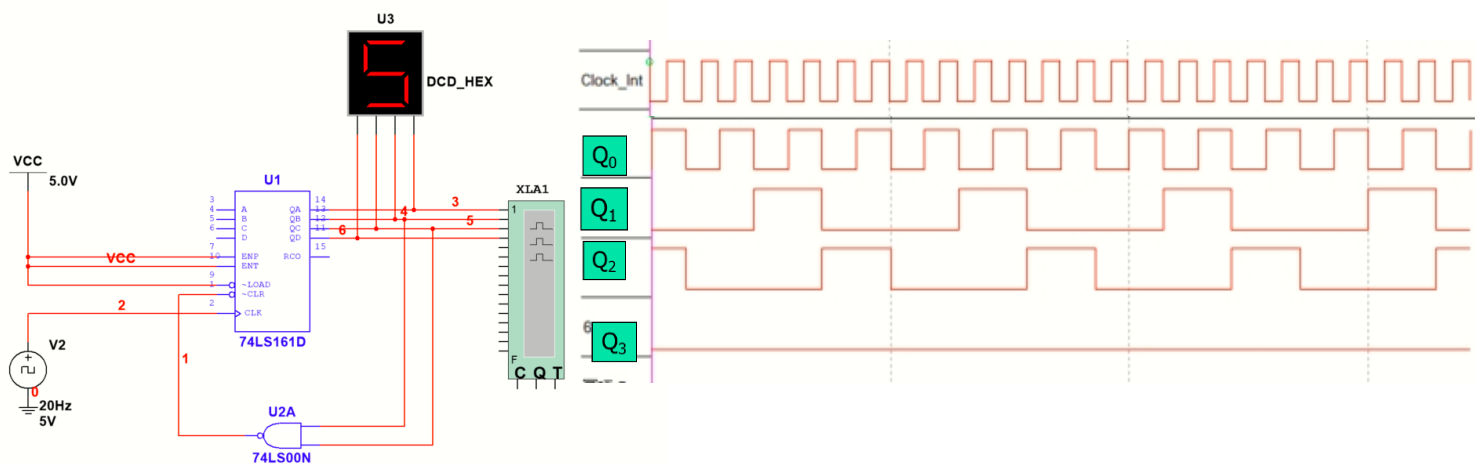
六、

1. 10 进制

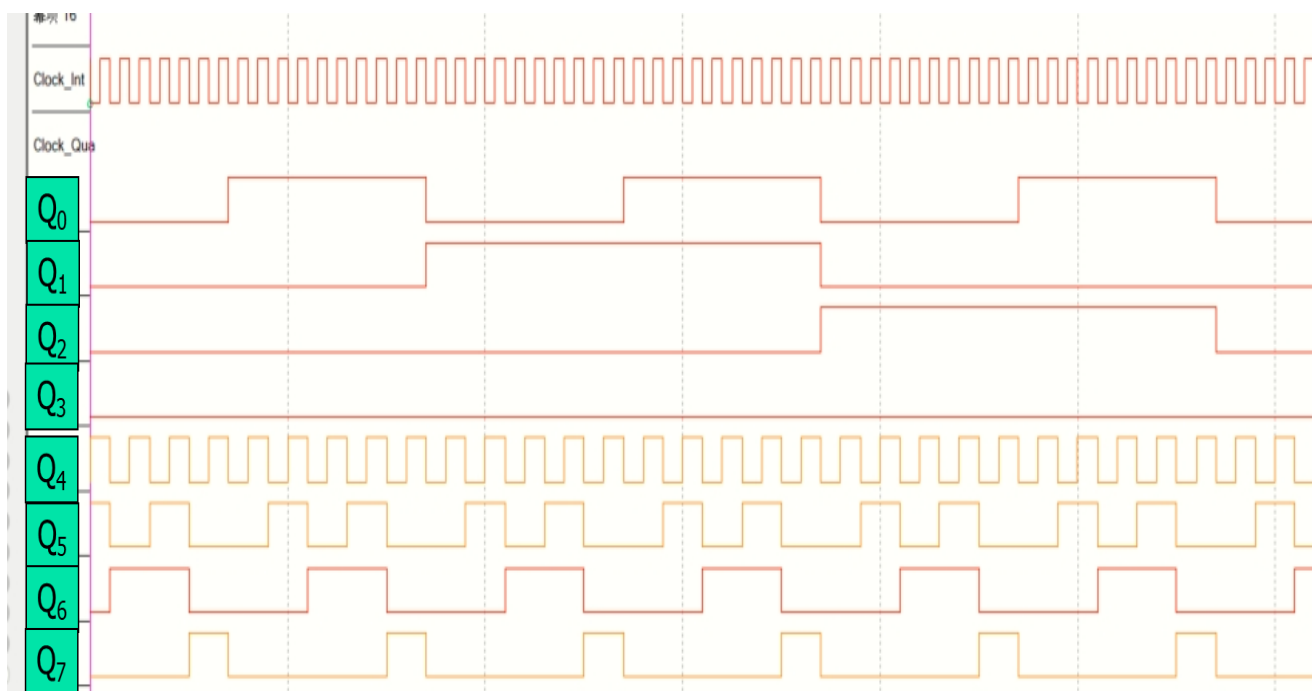
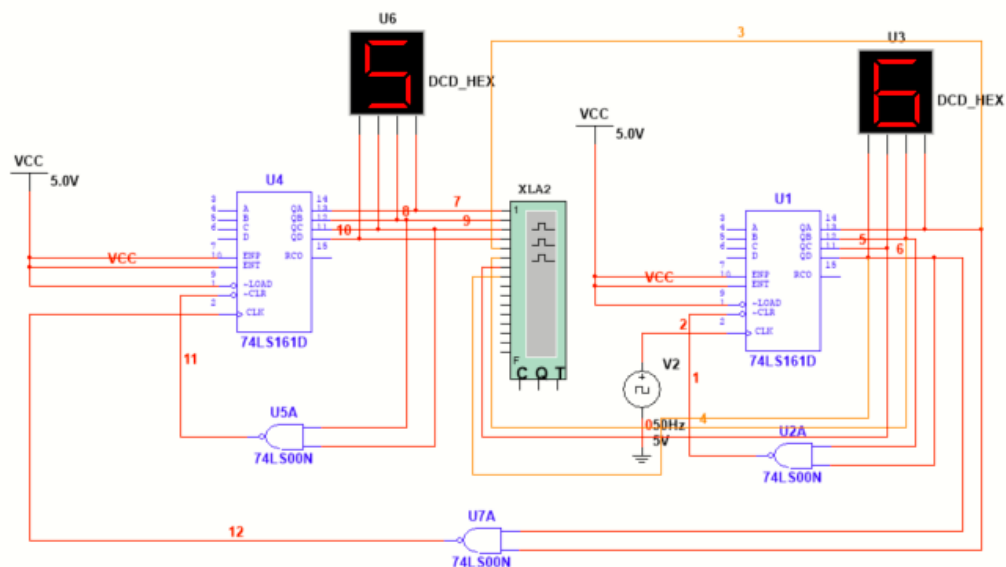


遮住前面一部分后就与课件给出的时序图一致，说明仿真参数调整有效，可以得到时序图。

2. 6 进制

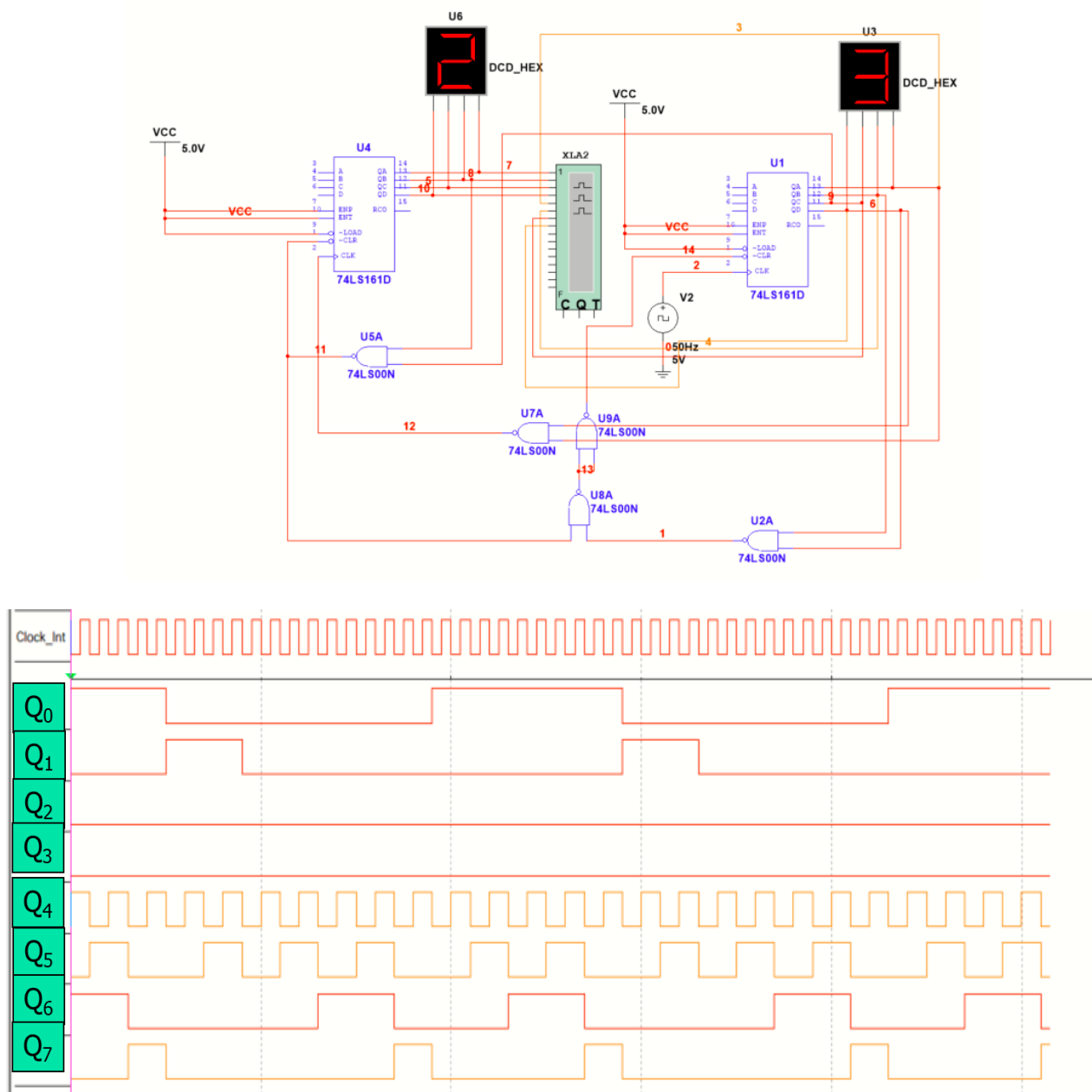


3. 60 进制



此处，Q0~Q3 对应的是十位的输出，即原理图上的 QA~QD；Q4~Q7 对应个位的输出，即原理图上个位的 QA~QD。下面 24 进制与 60 进制一样。

4. 24 进制



七、 实验体会与思考

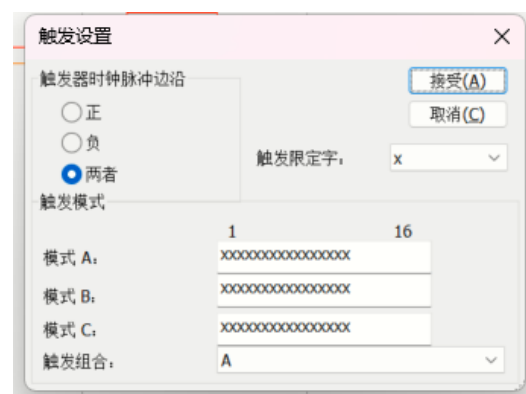
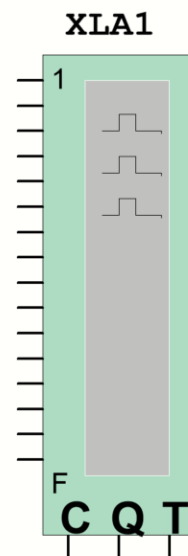
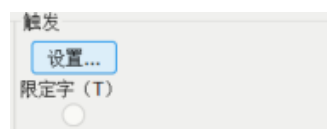
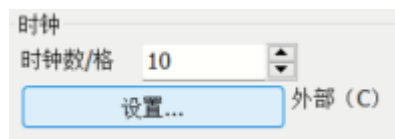
1. 本次实验中我们学习了数字钟的电路搭建，了解了 6 进制、十进制、24 进制和 60 进制利用移位寄存器的实现方法。
2. 本次实验中连接了比较复杂的电路，锻炼了复杂电路的连接和分析能力。在实验中我们曾漏接了与非门芯片的电源，导致实验一直无法顺利进行。后续经过排查独立解决了问题，实现了要求的效果。
3. 在手绘了十进制的时序图后，我尝试使用仿真软件 Multisim 进行仿真，希望能直接显示出时序图，发现得到的时序图与手绘和课件提供的吻合，之后的时序图便使用仿真软件直接仿真。

得到。

4. 关于 Multisim 仿真的一些补充说明：

- (1) 数码管采用了 Indicators 组中，HEX_DISPLAY 系列的 DCD_HEX。
- (2) 要一次得到多个输出的时序图，可以使用右侧工具栏中的逻辑分析仪（如右图）。该工具只需要接左边即可。左边引脚接入输出高低电平，即可在上面显示信号波形，可以理解为数字信号的示波器。CQT 不用接，T 用来提供外部时钟，这里用不到。
- (3) 逻辑分析仪的设置：

- i. 时钟设置。时钟源采用内部时钟，频率与外部输入信号频率一致（本实验可以这样）。阈值电压设在高低电平值中间。例如低电平 0，高电平 5V，这个阈值电压就设在 2~3 左右，如果高电平是 3.3V 那设在 2 左右。
- ii. 触发设置。触发器边沿设置成两者，应该可以自动检验是上升沿还是下降沿，反正可以改。



- iii. 关于频率设置。要做到 1s 的时间，在 Multisim 中频率应该设置成 2Hz。但是这个软件本身有一定的问题，和示波器一样，频率设太小，波形只显示很小一段就会闪烁消失，虽然时间轴在往前走，但是前面的波形看不到了。因此采用了更大的频率，当然这样数码管计时的速度会变快很多。采用更大的频率可以得到更长的时序图，包含更多的周期。