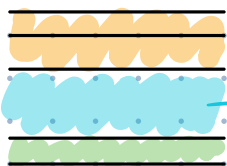


Esperienza 7

16/11/2021

5.5V
5V
3.5V
0.5V
0V



1

0

ci sono dei valori di tolleranza, non è necessario essere proprio a 5 o 0.

può accadere qualcosa anche qui ma non è prevedibile → è casuale.

TTL transistor transistor logic

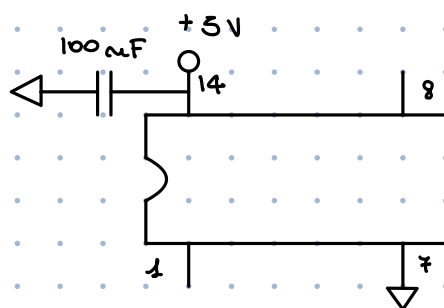
per fare fronte all'eccellente dissipazione causata dai 5V si è abbassato il valore per il 1 logico, con una nuova logica LVTTTL

3.3V LVTTTL

0V low Voltage TTL

nuova configurazione con regione di ambiguità molto più piccola

se 2 lettere + 74 è un dispositivo TTL



(SN) 74 (LS)

TTL

bipolar transistor integrati densa

tipologia del dispositivo che abbiamo

x es. se si tratta di porte NOT, NAND, NOR o Flip-Flop

solitamente si usano

7400

7404

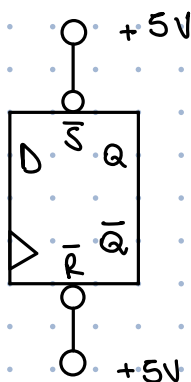
7474

4 x NAND

6 x NOT

2 x D-type FF

i due piedini \bar{S} e \bar{R} li manda entrambi a +5V



perché mettiamo i piedini \bar{S} e \bar{R} a 5V?

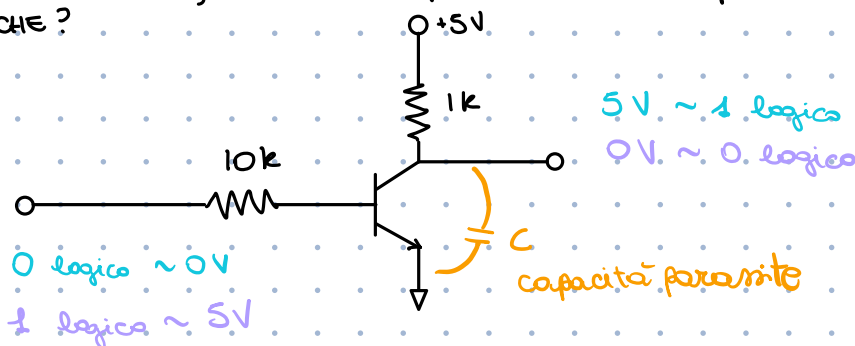
se vogliamo mettere una 5 allora dovremmo metterla a 1, dal momento che al loro interno queste porte contengono una porta NOT, se noi non vogliamo mettere allora dobbiamo lasciarle a 1, perché poi c'è la negazione interna e quindi va a 0.

se noi non vogliamo mettere dobbiamo lasciarle a 1.

FAN-OUT e i tempi di COMMUTATIONE

tempo di commutazione = quanto ci mette una porta per passare da uno stato ad un altro stato, ed è importantissimo per i contatori.

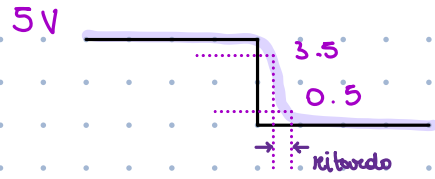
RAGIONI FISICHE?



ad un certo tempo passiamo dallo stato 0 allo stato 1

questo se fonte ideale

ma in realtà vi sono delle capacità \rightarrow abbiamo quasi dei piatti di condensatori che si affiancano (come giunzioni NPN).



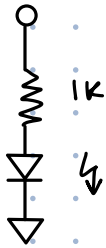
questa ci crea una risposta non immediata

\rightarrow c'è anche l'effetto MILLER, ovvero una amplificazione delle capacità all'interno delle giunzioni di un transistor per effetto della corrente \Rightarrow quindi hai delle capacità PARASSITE

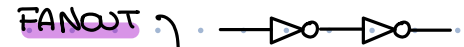
FAN-OUT \rightarrow quanti dispositivi potete connettere a valle di un dispositivo. perché un dispositivo può essere collegato in cascata ad altri dispositivi.

Problema legato alla corrente \rightarrow è un numero intero \rightarrow è dell'ordine di 10

i diodi vanno sempre protetti con delle resistenze da 1k o 500 Ω .



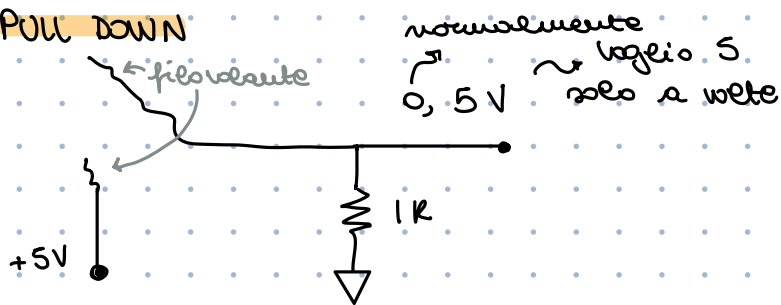
ATTENTA AL



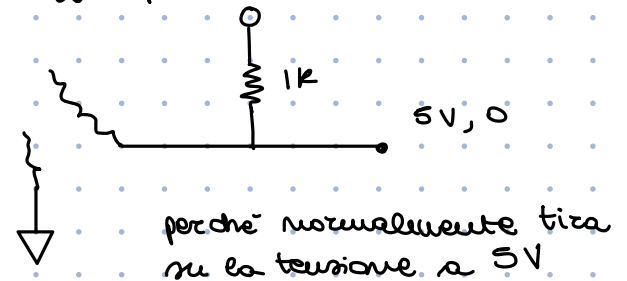
si risolve con dei buffer.
se serve due porte NOT (piccolo ritardo ma di qualche nano) fanno un buffer

per gli interruttori ci sono due modi: PULL DOWN e PULL UP

PULL DOWN



PULL UP

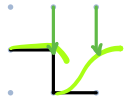


perché normalmente tira su la tensione a 5V

DIVISORI DI FREQUENZA e i CONTATORI ASINCRONI

Come definiamo il tempo di commutazione \rightarrow abbiamo noi il contatore

faccio partire il mio cronometro quando l'entrata cambia 1-0. io lo vedo però solo dopo 3.5V \rightarrow tempo di comm.



potrei anche prendere il tempo fino a quando abbandoniamo lo zero, ma è meno affidabile come definizione perché abbiamo bisogno di un'uscita affidabile

Esercitazione 07

Laboratorio di Fisica III

16,17,18 Novembre 2021

L'esercitazione ha quattro obiettivi:

1. realizzare mediante un transistor una **porta logica** elementare, la NOR, mediante la quale può essere costruito qualunque circuito digitale;
2. come esempio di circuito combinatorio, realizzare una porta XOR a partire da porte NAND (ed eventualmente una NOT);
3. implementare un *flip-flop RS*, dispositivo che realizza un fondamentale elemento di **memoria**;
4. realizzare un **divisore di frequenza** asincrono per 2 e per 4 mediante flip-flop di tipo D;
5. (FACOLTATIVO) misurare il **tempo di propagazione** di un segnale attraverso porte logiche.

Attenzione!

- Includere nella relazione relativa alla presente esercitazione una documentazione fotografica essenziale dei vari circuiti realizzati su breadboard.
- Una valutazione positiva della relazione costituirà un punto di merito ai fini della valutazione finale. A tal fine, la relazione va consegnata entro 12 giorni dalla data di esecuzione.

Componenti necessarie [*]

- 1 transistor 2N2222;
- 1 integrato 74xx00;
- 1 integrato 74xx04;
- 2 integrati 74xx74 (2 × D-type flip-flop);
- 6 LED: 1 giallo, 1 verde, 4 rossi;

[*] la lista non tiene conto di resistenze, capacità, breadboard, ecc.

I dispositivi devono essere alimentati fornendo ai rispettivi pin di alimentazione esclusivamente +5 V, oltre naturalmente ad un'opportuna connessione a massa dei pin corrispondenti. In laboratorio la corrente va limitata a 40 mA.

1 Porta NOR mediante transistor

Il circuito in Fig. 1 implementa una porta logica mediante un transistor. I due input (A, B) e l'output (C) possono assumere due possibili stati, corrispondenti ad uno 0 logico (ground) e ad un 1 logico (+5 V), rispettivamente. I due stati sono visivamente rappresentati dai LED: un LED spento rappresenta uno zero logico, mentre un LED acceso rappresenta un 1 logico.

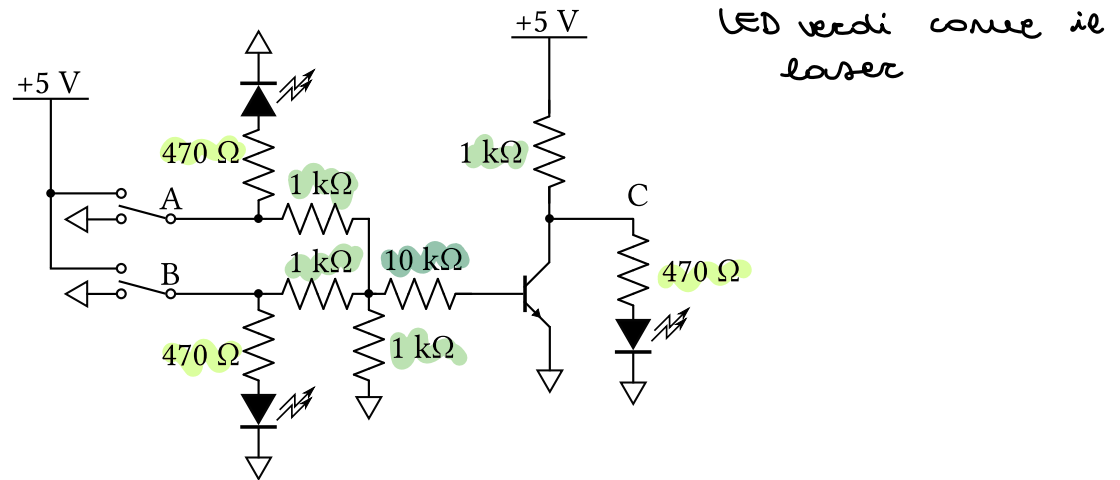


Fig. 1: Porta logica realizzata mediante un transistor.

Si realizzi il circuito di Fig. 1 mediante

- un transistor 2N2222 e
- tre LED per visualizzare lo stato degli input (LED giallo e LED verde) e dell'output (LED rosso), opportunamente protetti con delle resistenze da 470 Ω .

1. Si verifichi che l'operazione booleana che lega l'output C agli input A, B è la NOR.

2 Sviluppo di una porta XOR

L'integrato 74xx00 contiene quattro porte logiche NAND (NOT AND), come raffigurato in Fig. 5 (a). Utilizzando

- un integrato 74xx00,
- (se lo si considera necessario) un transistor per implementare una porta NOT e
- tre LED per visualizzare lo stato degli input (LED giallo e LED verde) e dell'output (LED rosso), opportunamente protetti con delle resistenze da 470 Ω ,

2. si costruisca una porta XOR e se ne si verifichi il comportamento.

3 Circuito flip-flop RS

Il circuito in Fig. 2 implementa un cosiddetto *flip-flop RS*. Quando i due input (\bar{R} e \bar{S}) sono tenuti ad 1 logico (+5 V), il circuito mantiene sui due output (Q e \bar{Q} , cioè l'opposto di Q) lo stato logico attuale. Un *flip-flop* è pertanto un *elemento di memoria*, in grado di mantenere il proprio stato indefinitamente nel tempo, a patto che sia alimentato. Lo stato può essere invertito (*flip*) collegando uno dei due input a ground (non contemporaneamente).

NB: le due resistenze da 1 k Ω mantengono le entrate "alte" – e quindi non "flottanti" – quando non vi è connessione, ad esempio a massa. Si tratta di una configurazione *pull-up*.

Si realizzi il circuito di Fig. 2 mediante

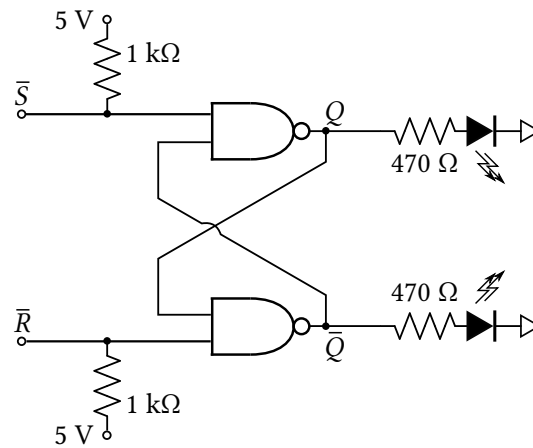


Fig. 2: Flip-flop RS.

- un integrato 74xx00 e
- due LED di diverso colore per visualizzare lo stato degli output, opportunamente protetti con delle resistenze da $470\ \Omega$.

3. Si studi il funzionamento del circuito, determinandone **la tabella di verità**.

4 Divisore di frequenza e contatore

Il circuito in Fig. 3 implementa un divisore di frequenza per 2, utilizzando un flip-flop di tipo D. L'integrato

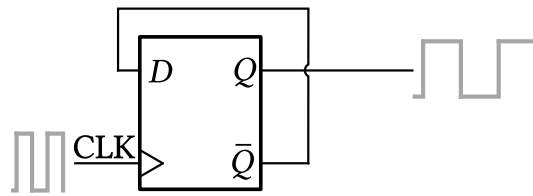


Fig. 3: Divisore di frequenza per 2.

74xx74 ne contiene due, come raffigurato in Fig. 5 (b).

Si realizzi il **circuito di Fig. 3** mediante

- un integrato 74xx74 e
- fornendo come segnale di clock un'onda quadra TTL di frequenza $f_{\text{CLK}} = 1\ \text{kHz}$.

4. Si verifichi **l'effettiva divisione di frequenza per 2**.

Utilizzando,

- ove necessario, un secondo integrato 74xx74 e
- il medesimo segnale di clock sul primo flip-flop,

si realizzi un divisore di frequenza per 4, 8 e 16.

5. In tutti i casi si verifichi **l'effettiva divisione di frequenza per il fattore nominale**.

Successivamente

- si connettano le uscite Q del divisore di frequenza per 16 a 4 led rossi, **opportunamente protetti con delle resistenze da $470\ \Omega$** , e
- si riduca la frequenza di clock ad 1 Hz).

Si verifichi quindi

6. **l'effettiva realizzazione di un contatore e**
7. **se ne inverta la direzione di conteggio sostituendo le uscite Q con le rispettive \overline{Q} .**

5 FACOLTATIVO: Misura del tempo di propagazione di un segnale attraverso porte logiche

Nell'ultima parte dell'esercitazione è richiesta la misura del ritardo acquisito da un segnale che attraversa una porta logica.

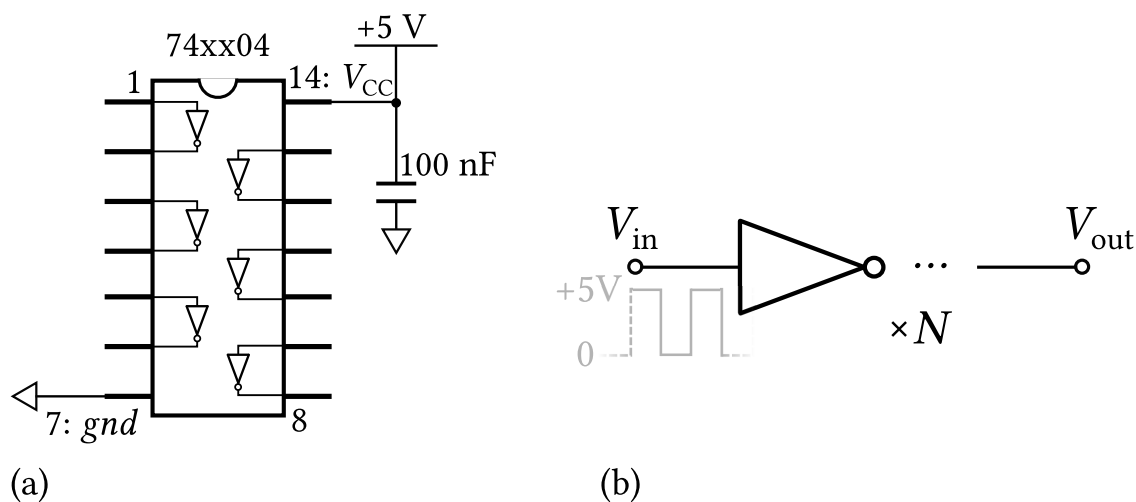


Fig. 4: (a) L'integrato 74xx04 contiene 6 porte NOT. (b) Circuito per la misura del ritardo nella propagazione di un segnale attraverso porte logiche.

Si realizzi il circuito di Fig. 4 mediante

- due integrati 74xx04 opportunamente alimentati,
 - collegando in serie N porte logiche NOT e
 - fornendo all'ingresso della prima porta un'onda quadra V_{in} di estremi 0 e 5 V.
8. **Si misuri, in funzione del numero $N = 1 \dots 12$ di porte logiche attraversate, il ritardo acquisito dal segnale V_{out} rispetto al segnale V_{in} .**
 9. **Si determini, mediante un fit lineare, il ritardo medio per porta.**

Attenzione! La banda dell'oscilloscopio è limitata a 70 MHz...

Collegando un numero N dispari di porte NOT in serie, e collegando l'output dell'ultima all'input della prima, è possibile realizzare un oscillatore. Utilizzando pertanto gli integrati 74xx04 opportunamente alimentati,

10. **si realizzi un oscillatore con $N = 5, 7, 9, 11$ e si verifichi il suo funzionamento, misurandone la frequenza di oscillazione in ciascun caso.**
11. **Si dia una spiegazione di quanto osservato sulla base dei risultati ai punti 8 e 9.**

Piedinature degli integrati 74xx00 (4 × NAND) e 74xx74 (4 × D-type flip-flop)

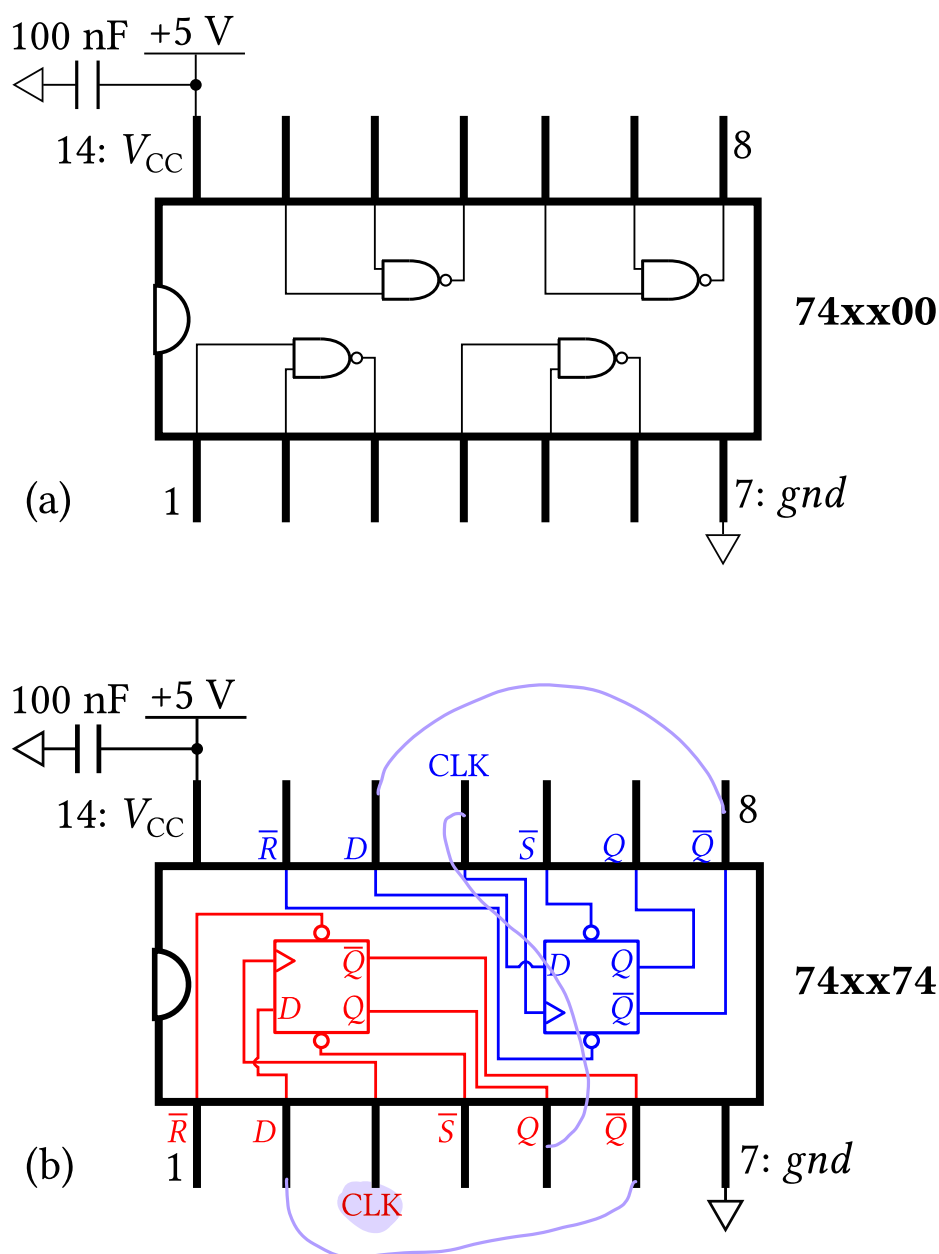
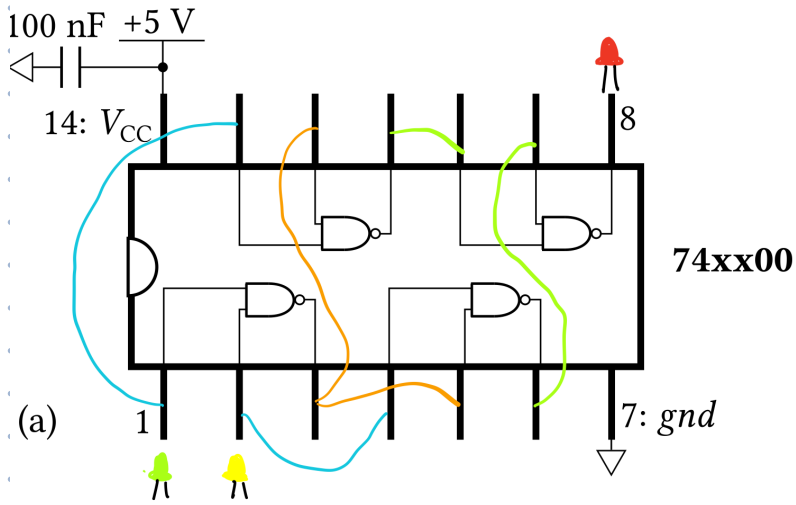


Fig. 5: (a) Piedinatura degli integrati 74xx00. (b) Piedinatura degli integrati 74xx74: i segnali di *reset* (R), *set* (S) sono *active-low*. Durante tutta l'esercitazione essi vanno dunque collegati a +5 V.

XOR



FUP - FWP

