

Esercitazione 06

Laboratorio di Fisica III

02,03,04 Novembre 2021

L'obiettivo dell'esercitazione è quello di realizzare e studiare il **campionamento** mediante un dispositivo *sample and hold*. Nella prima parte dell'esercitazione verrà implementato un oscillatore a rilassamento al fine di generare il segnale digitale richiesto dall'operazione di campionamento. Nella seconda parte, alcuni segnali verranno invece prima campionati e poi ricostruiti a partire dalle sequenze campionate. La ricostruzione avrà luogo sia numericamente, sia sperimentalmente.

Attenzione!

- Includere nella relazione relativa alla presente esercitazione una documentazione fotografica essenziale dei vari circuiti realizzati su breadboard.
- Una valutazione positiva della relazione costituirà un punto di merito ai fini della valutazione finale. A tal fine, la relazione va consegnata entro 12 giorni dalla data di esecuzione.

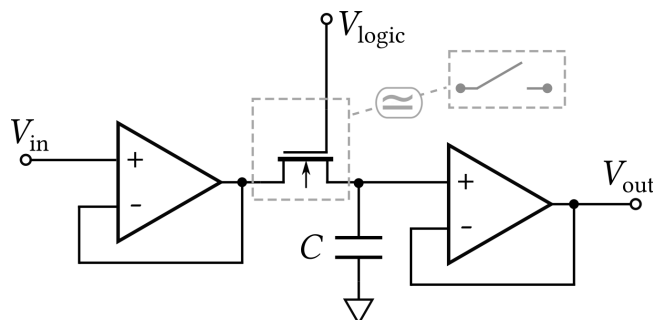
Componenti necessarie [*]

- 1 op-amp uA741;
- 2 op-amp OP07;
- 1 integrato *sample and hold* LF398;
- 1 transistor npn 2N2222;
- 1 trimmer da 100 k Ω .

[*] la lista non tiene conto di resistenze, capacità, breadboard, ecc.

Gli elementi circuitali devono essere alimentati fornendo come alimentazione +5 V, +12 V e -12 V, limitando la corrente in ciascun ramo dell'alimentatore a 20 mA.

Un diagramma semplificato di un *sample and hold* è riportato nella figura seguente.



Il transistor (MOSFET) tra i due buffer agisce da interruttore. Ad interruttore chiuso, il condensatore viene caricato alla tensione V_{in} (*sample*); l'interruttore viene poi aperto, consentendo di mantenere (*hold*) in output il valore campionato. Il transistor apre e chiude il circuito a seconda della tensione V_{logic} applicata: quando $V_{logic} = 0$, l'interruttore è aperto e il circuito è nello stato di *hold*; viceversa, quando $V_{logic} = 5\text{ V}$ l'interruttore è chiuso e il circuito campiona il segnale in ingresso. Un *sample and hold* richiede pertanto un segnale digitale costituito da brevi impulsi per i quali $V_{logic} = 5\text{ V}$, intervallati da periodi in cui $V_{logic} = 0$.

1 Generazione di un segnale digitale TTL (0 – 5 V) per il controllo del circuito di campionamento

Il circuito in Fig. 1 genera un segnale digitale TTL (“0” = 0 V, “1” = 5 V) adatto a fornire il *clock* per un *sample and hold*. L'oscillazione è prodotta da un oscillatore a rilassamento, mentre un transistor consente di adattare l'output alle tensioni richieste (logica TTL) per pilotare l'acquisizione dell'integrato *sample and hold* (S&H).

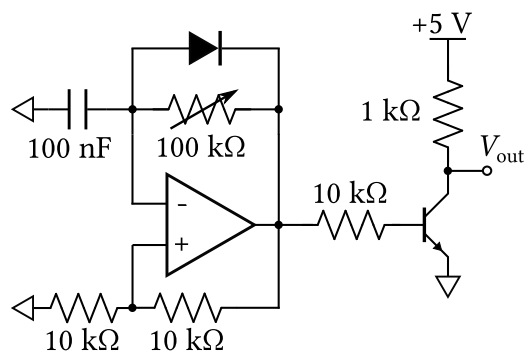


Fig. 1: Generatore di un segnale digitale di clock per il controllo del *sample and hold*.

Si realizzi il circuito di Fig. 1 mediante

- un op-amp uA741 opportunamente alimentato,
- un trimmer da 100 kΩ sul ramo di feedback negativo e
- un transistor npn 2N2222.

1. Si regoli il trimmer in modo da ottenere un segnale di frequenza $f = 1\text{ kHz}$ e si misurino quindi il *duty cycle* [%] e l'ampiezza del segnale in uscita.
2. Si spieghi il funzionamento del circuito sulla base della precedente esercitazione.

[*] Il *duty cycle* è una misura della percentuale di segnale “alto” e di quella di segnale “basso” (la somma delle due misure è 100); il duty cycle si indica con i due punti, ad esempio 50:50.

2 Sample and hold

L'integrato LF398 implementa un *sample and hold*. Figura 2 mostra la configurazione richiesta per il funzionamento.

ATTENZIONE! Si presti particolare attenzione alla configurazione dei pin dell'integrato LF398, diversa da quella di un normale op-amp.

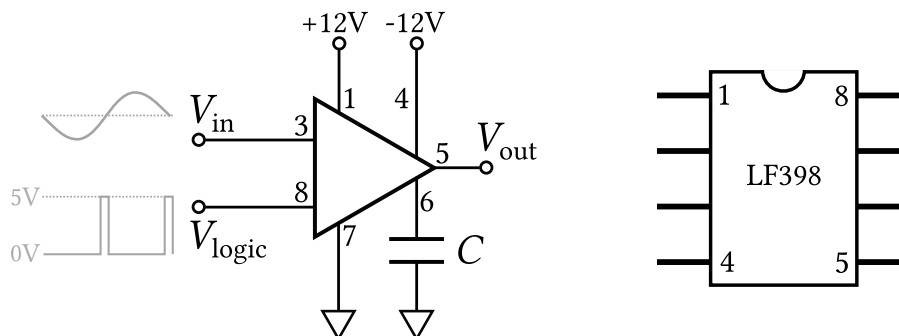


Fig. 2: *Sample and hold*. I numeri dei pin riportati corrispondono all'integrato LF398.

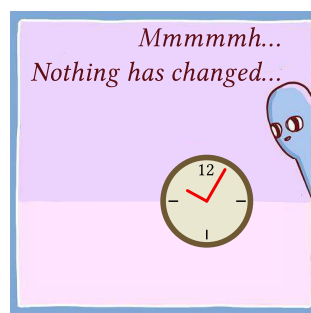
Si realizzi il circuito di Fig. 2 mediante

- un integrato LF398 opportunamente alimentato,
 - una capacità $C = 10 \text{ nF}$ e
 - utilizzando l'output del circuito in Fig. 1 come segnale logico di clock V_{logic} .
3. Si verifichi il funzionamento del circuito utilizzando un segnale sinusoidale in ingresso di frequenza $f_{\text{in}} = 100 \text{ Hz}$ e ampiezza $\sim 1 \text{ V}$, e si spieghi quanto si osserva.
 4. Si porti la frequenza f_{in} vicina ad 1 kHz e la si regoli affinché il segnale in output risulti pressoché costante (DC). Si provi a spiegare perché si osserva un segnale costante.

A guy from Mars...



12 hours later...



5. Si stimi la stabilità del valore di f_{in} necessario per osservare un segnale pressoché costante in output, misurando f_{in} più volte ad intervalli regolari (per esempio, una volta al minuto per cinque minuti).

3 Ricostruzione numerica del segnale campionato

6. **Regolando la risoluzione dell'oscilloscopio pari a 5 ms per divisione, si campioni un segnale sinusoidale di frequenza pari a 50 Hz, 100 Hz, 200 Hz e 900 Hz e di ampiezza ~ 1 V. A tal fine le forme d'onda possono essere scaricate mediante chiavetta USB (*).**
7. **Per le stesse quattro frequenze, si campioni un'onda triangolare, sempre di ampiezza ~ 1 V.**
8. **Si ricostruisca, per tutti gli 8 segnali di cui ai precedenti due punti, il segnale originale utilizzando come funzioni kernel $k(t)$ le funzioni**

$$k_{\text{tr}}(t) = \begin{cases} \frac{T - |t|}{T} & \text{per } |t| \leq T, \\ 0 & \text{per } |t| > T. \end{cases}$$

e

$$k_{\text{sinc}}(t) = \text{sinc}\left(\frac{\pi t}{T}\right).$$

9. **Si commentino i risultati alla luce del teorema del campionamento di Nyquist-Shannon.**

Si ricorda che il segnale originale può essere ricostruito a partire dai campionamenti $x(nT)$ mediante l'espressione

$$r(t) = \sum_{n=-\infty}^{\infty} x(nT) k(t - nT), \quad (1)$$

dove T è il periodo di campionamento. Il kernel $k_{\text{tr}}(t)$ corrisponde ad un'interpolazione lineare, mentre il kernel $k_{\text{sinc}}(t)$ è quello risultante dal teorema del campionamento di Nyquist-Shannon.

(*) L'operazione è eccezionalmente consentita al solo fine della soluzione dei punti 6–9.

4 Ricostruzione *hardware* del segnale campionato

Premesso che una ricostruzione in tempo reale è impossibile (il kernel $k_{\text{sinc}}(t)$ non è causale!), il circuito in Fig. 3 consente di (provare a) ricostruire via *hardware* il segnale a partire dalla tensione di uscita V_{SH} del *sample and hold*. Il circuito implementa due filtri in cascata. Il primo filtro è un *lag high-pass filter*. Il secondo è invece un filtro attivo del secondo ordine (il filtro di Sallen-Key, incontrato nell'esercitazione 3, ne costituisce un esempio).

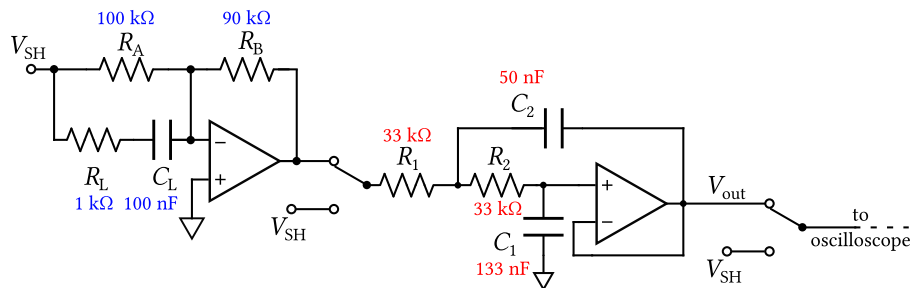


Fig. 3: Circuito di ricostruzione del segnale campionato.

Si realizzi il circuito di Fig. 3 mediante

- due op-amp OP07 opportunamente alimentati,
 - scegliendo come valori di resistenze e capacità quelli indicati in figura (valori “esotici” possono essere facilmente ottenuti, con sufficiente approssimazione, mediante serie e paralleli), e
 - utilizzando l’output del S&H come segnale in ingresso V_{SH} .
10. Utilizzando un’onda triangolare di frequenza 50 Hz come segnale in ingresso al S&H, bypassando o meno il primo dei due filtri ed osservando altresì V_{SH} , si visualizzi l’output del circuito e si spieghi quanto osservato.
 11. Si osservi il funzionamento del circuito utilizzando come segnale in ingresso al S&H forme d’onda sinusoidali, triangolari e onde quadre.
 12. [FACOLTATIVO] Si spieghi il ruolo dei due filtri *lag high-pass* e Sallen-Key.
 13. [FACOLTATIVO] Si ripetano le osservazioni di cui sopra avendo cura di interporre tra il generatore di funzioni e il S&H un opportuno filtro *anti-alias*. A tal fine, può bastare un semplice passa-basso formato da una resistenza e una capacità.