

Project 2.2

● Graded

Student

杨润康

Total Points

16 / 16 pts

Autograder Score

16.0 / 16.0

Passed Tests

- 0) Testcase 0 (project 2.1) (1/1)
- 1) Testcase 1 (SWSP) (1/1)
- 2) Testcase 2 (ADDI4SPN) (1/1)
- 3) Testcase 3 (SW & LW) (2/2)
- 4) Testcase 4 (BEQZ) (1/1)
- 5) Testcase 5 (J) (1/1)
- 6) Testcase 6 (JR) (1/1)
- 7) Testcase 7 (MIX 1) (2/2)
- 8) Testcase 8 (MIX 2) (3/3)
- 9) Testcase 9 (MIX 3) (3/3)

Autograder Results

0) Testcase 0 (project 2.1) (1/1)

Matched expected output

1) Testcase 1 (SWSP) (1/1)

Matched expected output

2) Testcase 2 (ADDI4SPN) (1/1)

Matched expected output

3) Testcase 3 (SW & LW) (2/2)

Matched expected output

4) Testcase 4 (BEQZ) (1/1)


Matched expected output

5) Testcase 5 (J) (1/1)
Matched expected output
6) Testcase 6 (JR) (1/1)
Matched expected output
7) Testcase 7 (MIX 1) (2/2)
Matched expected output
8) Testcase 8 (MIX 2) (3/3)
Matched expected output
9) Testcase 9 (MIX 3) (3/3)
Matched expected output

Submitted Files

▼ README.md		Download
1	# Project 2.2 template	
2		
3		
4		
▼ logisim-evolution.jar		Download
1	Large file hidden. You can download it using the button above.	
▼ proj_2_2.circ		Download
1	Large file hidden. You can download it using the button above.	

▼ test.sh

 Download

```
1  #!/bin/bash
2
3  # Just run this file and you can test your circ files!
4  # Make sure your files are in the directory above this one though!
5
6  cp proj_2_2.circ testing/circ_files
7
8  cd testing
9  rm -rf student_output
10 mkdir student_output
11 python3 ./test.py
12 cd ..
13
```

```
1 <?xml version="1.0" encoding="UTF-8" standalone="no"?>
2 <project source="3.8.0" version="1.0">
3   This file is intended to be loaded by Logisim-evolution v3.8.0(https://github.com/logisim-
4   evolution/).
5   <lib desc="#Wiring" name="0">
6     <tool name="Splitter">
7       <a name="appear" val="center"/>
8       <a name="fanout" val="4"/>
9       <a name="incoming" val="4"/>
10    </tool>
11    <tool name="Pin">
12      <a name="appearance" val="classic"/>
13      <a name="facing" val="north"/>
14    </tool>
15    <tool name="Probe">
16      <a name="appearance" val="classic"/>
17      <a name="radix" val="16"/>
18    </tool>
19    <tool name="Tunnel">
20      <a name="width" val="2"/>
21    </tool>
22    <tool name="Pull Resistor">
23      <a name="facing" val="north"/>
24    </tool>
25    <tool name="Clock">
26      <a name="facing" val="north"/>
27    </tool>
28    <tool name="Constant">
29      <a name="value" val="0xff"/>
30      <a name="width" val="8"/>
31    </tool>
32  </lib>
33  <lib desc="#Gates" name="1"/>
34  <lib desc="#Plexers" name="2"/>
35  <lib desc="#Arithmetic" name="3"/>
36  <lib desc="#Memory" name="4"/>
37  <lib desc="#I/O" name="5"/>
38  <lib desc="#TTL" name="6"/>
39  <lib desc="#TCL" name="7"/>
40  <lib desc="#Base" name="8"/>
41  <lib desc="#BFH-Praktika" name="9"/>
42  <lib desc="#Input/Output-Extra" name="10"/>
43  <lib desc="#Soc" name="11"/>
44  <lib desc="file#proj_2_2.circ" name="12"/>
45  <main name="main"/>
46  <options>
47    <a name="gateUndefined" val="ignore"/>
48    <a name="simlimit" val="1000"/>
```

```
49   <a name="simrand" val="0"/>
50 </options>
51 <mappings>
52   <tool lib="8" map="Button2" name="Poke Tool"/>
53   <tool lib="8" map="Button3" name="Menu Tool"/>
54   <tool lib="8" map="Ctrl Button1" name="Menu Tool"/>
55 </mappings>
56 <toolbar>
57   <tool lib="8" name="Poke Tool"/>
58   <tool lib="8" name="Edit Tool"/>
59   <tool lib="8" name="Wiring Tool"/>
60   <tool lib="8" name="Text Tool"/>
61   <sep/>
62   <tool lib="0" name="Pin"/>
63   <tool lib="0" name="Pin">
64     <a name="facing" val="west"/>
65     <a name="output" val="true"/>
66   </tool>
67   <sep/>
68   <tool lib="1" name="NOT Gate"/>
69   <tool lib="1" name="AND Gate"/>
70   <tool lib="1" name="OR Gate"/>
71   <tool lib="1" name="XOR Gate"/>
72   <tool lib="1" name="NAND Gate"/>
73   <tool lib="1" name="NOR Gate"/>
74   <sep/>
75   <tool lib="4" name="D Flip-Flop"/>
76   <tool lib="4" name="Register"/>
77 </toolbar>
78 <circuit name="main">
79   <a name="appearance" val="logisim_evolution"/>
80   <a name="circuit" val="main"/>
81   <a name="circuitnamedboxfixedsize" val="true"/>
82   <a name="simulationFrequency" val="128.0"/>
83   <comp lib="0" loc="(1000,320)" name="Tunnel">
84     <a name="facing" val="east"/>
85     <a name="label" val="mem_wen"/>
86   </comp>
87   <comp lib="0" loc="(1000,360)" name="Tunnel">
88     <a name="facing" val="east"/>
89     <a name="label" val="mem_din"/>
90     <a name="width" val="32"/>
91   </comp>
92   <comp lib="0" loc="(1000,400)" name="Tunnel">
93     <a name="facing" val="east"/>
94     <a name="label" val="mem_ren"/>
95   </comp>
96   <comp lib="0" loc="(1000,440)" name="Tunnel">
97     <a name="facing" val="east"/>
98     <a name="label" val="mem_addr"/>
99     <a name="width" val="32"/>
100  </comp>
```

```
101 <comp lib="0" loc="(1000,480)" name="Tunnel">
102   <a name="facing" val="east"/>
103   <a name="label" val="control_en"/>
104 </comp>
105 <comp lib="0" loc="(1000,520)" name="Tunnel">
106   <a name="facing" val="east"/>
107   <a name="label" val="control_pc"/>
108   <a name="width" val="32"/>
109 </comp>
110 <comp lib="0" loc="(1000,560)" name="Tunnel">
111   <a name="facing" val="east"/>
112   <a name="label" val="wb_en"/>
113 </comp>
114 <comp lib="0" loc="(1000,600)" name="Tunnel">
115   <a name="facing" val="east"/>
116   <a name="label" val="wb_addr"/>
117   <a name="width" val="5"/>
118 </comp>
119 <comp lib="0" loc="(1000,640)" name="Tunnel">
120   <a name="facing" val="east"/>
121   <a name="label" val="wb_data"/>
122   <a name="width" val="32"/>
123 </comp>
124 <comp lib="0" loc="(1070,320)" name="Pin">
125   <a name="appearance" val="NewPins"/>
126   <a name="facing" val="west"/>
127   <a name="label" val="mem_wen"/>
128   <a name="output" val="true"/>
129 </comp>
130 <comp lib="0" loc="(1070,360)" name="Pin">
131   <a name="appearance" val="NewPins"/>
132   <a name="facing" val="west"/>
133   <a name="label" val="mem_din"/>
134   <a name="output" val="true"/>
135   <a name="radix" val="16"/>
136   <a name="width" val="32"/>
137 </comp>
138 <comp lib="0" loc="(1070,400)" name="Pin">
139   <a name="appearance" val="NewPins"/>
140   <a name="facing" val="west"/>
141   <a name="label" val="mem_ren"/>
142   <a name="output" val="true"/>
143 </comp>
144 <comp lib="0" loc="(1070,440)" name="Pin">
145   <a name="appearance" val="NewPins"/>
146   <a name="facing" val="west"/>
147   <a name="label" val="mem_addr"/>
148   <a name="output" val="true"/>
149   <a name="radix" val="16"/>
150   <a name="width" val="32"/>
151 </comp>
152 <comp lib="0" loc="(1070,480)" name="Pin">
```

```
153 <a name="appearance" val="NewPins"/>
154 <a name="facing" val="west"/>
155 <a name="label" val="control_en"/>
156 <a name="output" val="true"/>
157 </comp>
158 <comp lib="0" loc="(1070,520)" name="Pin">
159 <a name="appearance" val="NewPins"/>
160 <a name="facing" val="west"/>
161 <a name="label" val="control_pc"/>
162 <a name="output" val="true"/>
163 <a name="radix" val="16"/>
164 <a name="width" val="32"/>
165 </comp>
166 <comp lib="0" loc="(1070,560)" name="Pin">
167 <a name="appearance" val="NewPins"/>
168 <a name="facing" val="west"/>
169 <a name="label" val="wb_en"/>
170 <a name="output" val="true"/>
171 </comp>
172 <comp lib="0" loc="(1070,600)" name="Pin">
173 <a name="appearance" val="NewPins"/>
174 <a name="facing" val="west"/>
175 <a name="label" val="wb_addr"/>
176 <a name="output" val="true"/>
177 <a name="radix" val="10unsigned"/>
178 <a name="width" val="5"/>
179 </comp>
180 <comp lib="0" loc="(1070,640)" name="Pin">
181 <a name="appearance" val="NewPins"/>
182 <a name="facing" val="west"/>
183 <a name="label" val="wb_data"/>
184 <a name="output" val="true"/>
185 <a name="radix" val="10unsigned"/>
186 <a name="width" val="32"/>
187 </comp>
188 <comp lib="0" loc="(1150,910)" name="Tunnel">
189 <a name="label" val="inst_i"/>
190 <a name="width" val="16"/>
191 </comp>
192 <comp lib="0" loc="(1420,790)" name="Tunnel">
193 <a name="facing" val="east"/>
194 <a name="label" val="mem_addr"/>
195 <a name="width" val="32"/>
196 </comp>
197 <comp lib="0" loc="(1420,820)" name="Tunnel">
198 <a name="facing" val="east"/>
199 <a name="label" val="mem_wen"/>
200 </comp>
201 <comp lib="0" loc="(1420,850)" name="Tunnel">
202 <a name="facing" val="east"/>
203 <a name="label" val="mem_ren"/>
204 </comp>
```

```
205 <comp lib="0" loc="(1420,880)" name="Tunnel">
206   <a name="facing" val="east"/>
207   <a name="label" val="clk"/>
208 </comp>
209 <comp lib="0" loc="(1420,910)" name="Tunnel">
210   <a name="facing" val="east"/>
211   <a name="label" val="mem_din"/>
212   <a name="width" val="32"/>
213 </comp>
214 <comp lib="0" loc="(1440,790)" name="Splitter">
215   <a name="bit1" val="0"/>
216   <a name="bit10" val="0"/>
217   <a name="bit11" val="0"/>
218   <a name="bit12" val="0"/>
219   <a name="bit13" val="0"/>
220   <a name="bit14" val="0"/>
221   <a name="bit15" val="0"/>
222   <a name="bit16" val="none"/>
223   <a name="bit17" val="none"/>
224   <a name="bit18" val="none"/>
225   <a name="bit19" val="none"/>
226   <a name="bit2" val="0"/>
227   <a name="bit20" val="none"/>
228   <a name="bit21" val="none"/>
229   <a name="bit22" val="none"/>
230   <a name="bit23" val="none"/>
231   <a name="bit24" val="none"/>
232   <a name="bit25" val="none"/>
233   <a name="bit26" val="none"/>
234   <a name="bit27" val="none"/>
235   <a name="bit28" val="none"/>
236   <a name="bit29" val="none"/>
237   <a name="bit3" val="0"/>
238   <a name="bit30" val="none"/>
239   <a name="bit31" val="none"/>
240   <a name="bit4" val="0"/>
241   <a name="bit5" val="0"/>
242   <a name="bit6" val="0"/>
243   <a name="bit7" val="0"/>
244   <a name="bit8" val="0"/>
245   <a name="bit9" val="0"/>
246   <a name="fanout" val="1"/>
247   <a name="incoming" val="32"/>
248 </comp>
249 <comp lib="0" loc="(1550,740)" name="Tunnel">
250   <a name="label" val="rst"/>
251 </comp>
252 <comp lib="0" loc="(1750,860)" name="Tunnel">
253   <a name="label" val="mem_result"/>
254   <a name="width" val="32"/>
255 </comp>
256 <comp lib="0" loc="(210,1120)" name="Tunnel">
```



```
257 <a name="facing" val="east"/>
258 <a name="label" val="inst"/>
259 <a name="width" val="16"/>
260 </comp>
261 <comp lib="0" loc="(220,1070)" name="Tunnel">
262 <a name="facing" val="east"/>
263 <a name="label" val="clk"/>
264 </comp>
265 <comp lib="0" loc="(220,1160)" name="Tunnel">
266 <a name="facing" val="east"/>
267 <a name="label" val="mem_result"/>
268 <a name="width" val="32"/>
269 </comp>
270 <comp lib="0" loc="(240,1030)" name="Tunnel">
271 <a name="facing" val="east"/>
272 <a name="label" val="rst"/>
273 </comp>
274 <comp lib="0" loc="(240,730)" name="Tunnel">
275 <a name="facing" val="east"/>
276 <a name="label" val="clk"/>
277 </comp>
278 <comp lib="0" loc="(240,760)" name="Tunnel">
279 <a name="facing" val="east"/>
280 <a name="label" val="rst"/>
281 </comp>
282 <comp lib="0" loc="(240,790)" name="Tunnel">
283 <a name="facing" val="east"/>
284 <a name="label" val="control_en"/>
285 </comp>
286 <comp lib="0" loc="(240,820)" name="Tunnel">
287 <a name="facing" val="east"/>
288 <a name="label" val="control_pc"/>
289 <a name="width" val="32"/>
290 </comp>
291 <comp lib="0" loc="(240,850)" name="Tunnel">
292 <a name="facing" val="east"/>
293 <a name="label" val="inst_i"/>
294 <a name="width" val="16"/>
295 </comp>
296 <comp lib="0" loc="(250,1200)" name="Tunnel">
297 <a name="facing" val="east"/>
298 <a name="label" val="current_pc"/>
299 <a name="width" val="32"/>
300 </comp>
301 <comp lib="0" loc="(260,580)" name="Tunnel">
302 <a name="facing" val="east"/>
303 <a name="label" val="inst_i"/>
304 <a name="width" val="16"/>
305 </comp>
306 <comp lib="0" loc="(300,580)" name="Splitter">
307 <a name="appear" val="center"/>
308 <a name="bit10" val="none"/>
```

```
309 <a name="bit11" val="none"/>
310 <a name="bit12" val="none"/>
311 <a name="bit13" val="2"/>
312 <a name="bit14" val="3"/>
313 <a name="bit15" val="4"/>
314 <a name="bit2" val="none"/>
315 <a name="bit3" val="none"/>
316 <a name="bit4" val="none"/>
317 <a name="bit5" val="none"/>
318 <a name="bit6" val="none"/>
319 <a name="bit7" val="none"/>
320 <a name="bit8" val="none"/>
321 <a name="bit9" val="none"/>
322 <a name="fanout" val="5"/>
323 <a name="incoming" val="16"/>
324 </comp>
325 <comp lib="0" loc="(490,390)" name="Pin">
326 <a name="appearance" val="classic"/>
327 <a name="label" val="rst"/>
328 </comp>
329 <comp lib="0" loc="(490,560)" name="Pin">
330 <a name="appearance" val="NewPins"/>
331 <a name="facing" val="west"/>
332 <a name="label" val="halt"/>
333 <a name="output" val="true"/>
334 </comp>
335 <comp lib="0" loc="(500,430)" name="POR"/>
336 <comp lib="0" loc="(550,350)" name="Clock"/>
337 <comp lib="0" loc="(560,720)" name="Tunnel">
338 <a name="label" val="inst_en"/>
339 </comp>
340 <comp lib="0" loc="(560,760)" name="Tunnel">
341 <a name="label" val="current_pc"/>
342 <a name="width" val="32"/>
343 </comp>
344 <comp lib="0" loc="(560,800)" name="Tunnel">
345 <a name="label" val="inst_addr"/>
346 <a name="width" val="32"/>
347 </comp>
348 <comp lib="0" loc="(560,840)" name="Tunnel">
349 <a name="label" val="inst"/>
350 <a name="width" val="16"/>
351 </comp>
352 <comp lib="0" loc="(570,350)" name="Tunnel">
353 <a name="label" val="clk"/>
354 </comp>
355 <comp lib="0" loc="(570,410)" name="Tunnel">
356 <a name="label" val="rst"/>
357 </comp>
358 <comp lib="0" loc="(620,1030)" name="Tunnel">
359 <a name="label" val="mem_wen"/>
360 </comp>
```

```
361 <comp lib="0" loc="(620,1070)" name="Tunnel">
362   <a name="label" val="mem_din"/>
363   <a name="width" val="32"/>
364 </comp>
365 <comp lib="0" loc="(620,1110)" name="Tunnel">
366   <a name="label" val="mem_ren"/>
367 </comp>
368 <comp lib="0" loc="(620,1150)" name="Tunnel">
369   <a name="label" val="mem_addr"/>
370   <a name="width" val="32"/>
371 </comp>
372 <comp lib="0" loc="(620,1190)" name="Tunnel">
373   <a name="label" val="control_en"/>
374 </comp>
375 <comp lib="0" loc="(620,1230)" name="Tunnel">
376   <a name="label" val="control_pc"/>
377   <a name="width" val="32"/>
378 </comp>
379 <comp lib="0" loc="(630,1260)" name="Tunnel">
380   <a name="label" val="wb_en"/>
381 </comp>
382 <comp lib="0" loc="(630,1300)" name="Tunnel">
383   <a name="label" val="wb_addr"/>
384   <a name="width" val="5"/>
385 </comp>
386 <comp lib="0" loc="(630,1340)" name="Tunnel">
387   <a name="label" val="wb_data"/>
388   <a name="width" val="32"/>
389 </comp>
390 <comp lib="0" loc="(820,870)" name="Splitter">
391   <a name="bit1" val="0"/>
392   <a name="bit10" val="none"/>
393   <a name="bit11" val="none"/>
394   <a name="bit12" val="none"/>
395   <a name="bit13" val="none"/>
396   <a name="bit14" val="none"/>
397   <a name="bit15" val="none"/>
398   <a name="bit16" val="none"/>
399   <a name="bit17" val="none"/>
400   <a name="bit18" val="none"/>
401   <a name="bit19" val="none"/>
402   <a name="bit2" val="0"/>
403   <a name="bit20" val="none"/>
404   <a name="bit21" val="none"/>
405   <a name="bit22" val="none"/>
406   <a name="bit23" val="none"/>
407   <a name="bit24" val="none"/>
408   <a name="bit25" val="none"/>
409   <a name="bit26" val="none"/>
410   <a name="bit27" val="none"/>
411   <a name="bit28" val="none"/>
412   <a name="bit29" val="none"/>
```

```

413 <a name="bit3" val="0"/>
414 <a name="bit30" val="none"/>
415 <a name="bit31" val="none"/>
416 <a name="bit4" val="0"/>
417 <a name="bit5" val="0"/>
418 <a name="bit6" val="0"/>
419 <a name="bit7" val="0"/>
420 <a name="bit8" val="none"/>
421 <a name="bit9" val="none"/>
422 <a name="fanout" val="1"/>
423 <a name="incoming" val="32"/>
424 </comp>
425 <comp lib="0" loc="(820,870)" name="Tunnel">
426 <a name="facing" val="east"/>
427 <a name="label" val="inst_addr"/>
428 <a name="width" val="32"/>
429 </comp>
430 <comp lib="1" loc="(390,520)" name="NOT Gate"/>
431 <comp lib="1" loc="(390,540)" name="NOT Gate"/>
432 <comp lib="1" loc="(390,560)" name="NOT Gate"/>
433 <comp lib="1" loc="(390,580)" name="NOT Gate"/>
434 <comp lib="1" loc="(450,560)" name="AND Gate">
435 <a name="inputs" val="5"/>
436 <a name="size" val="30"/>
437 </comp>
438 <comp lib="1" loc="(550,410)" name="OR Gate">
439 <a name="size" val="30"/>
440 </comp>
441 <comp lib="12" loc="(500,1080)" name="TOP"/>
442 <comp lib="12" loc="(520,750)" name="inst_fetch"/>
443 <comp lib="4" loc="(1490,770)" name="RAM">
444 <a name="addrWidth" val="16"/>
445 <a name="appearance" val="logisim_evolution"/>
446 <a name="asyncread" val="true"/>
447 <a name="clearpin" val="true"/>
448 <a name="dataWidth" val="32"/>
449 <a name="type" val="nonvolatile"/>
450 </comp>
451 <comp lib="4" loc="(860,850)" name="ROM">
452 <a name="appearance" val="logisim_evolution"/>
453 <a name="contents">addr/data: 8 16
454 4409 147d c011 bffd 1 1 4111 5429
455 c422 44b5 48 8482 8526 414c 511 c148
456 8000
457 </a>
458 <a name="dataWidth" val="16"/>
459 </comp>
460 <comp lib="8" loc="(985,830)" name="Text">
461 <a name="text" val="you can write any instruction in"/>
462 </comp>
463 <wire from="(1000,320)" to="(1070,320)"/>
464 <wire from="(1000,360)" to="(1070,360)"/>

```

```
465 <wire from="(1000,400)" to="(1070,400)" />
466 <wire from="(1000,440)" to="(1070,440)" />
467 <wire from="(1000,480)" to="(1070,480)" />
468 <wire from="(1000,520)" to="(1070,520)" />
469 <wire from="(1000,560)" to="(1070,560)" />
470 <wire from="(1000,600)" to="(1070,600)" />
471 <wire from="(1000,640)" to="(1070,640)" />
472 <wire from="(1100,910)" to="(1150,910)" />
473 <wire from="(1420,790)" to="(1440,790)" />
474 <wire from="(1420,820)" to="(1490,820)" />
475 <wire from="(1420,850)" to="(1440,850)" />
476 <wire from="(1420,880)" to="(1450,880)" />
477 <wire from="(1420,910)" to="(1460,910)" />
478 <wire from="(1440,830)" to="(1440,850)" />
479 <wire from="(1440,830)" to="(1490,830)" />
480 <wire from="(1450,840)" to="(1450,880)" />
481 <wire from="(1450,840)" to="(1490,840)" />
482 <wire from="(1460,780)" to="(1490,780)" />
483 <wire from="(1460,860)" to="(1460,910)" />
484 <wire from="(1460,860)" to="(1490,860)" />
485 <wire from="(1530,740)" to="(1530,770)" />
486 <wire from="(1530,740)" to="(1550,740)" />
487 <wire from="(1730,860)" to="(1750,860)" />
488 <wire from="(210,1120)" to="(280,1120)" />
489 <wire from="(220,1070)" to="(240,1070)" />
490 <wire from="(220,1160)" to="(240,1160)" />
491 <wire from="(240,1030)" to="(260,1030)" />
492 <wire from="(240,1070)" to="(240,1100)" />
493 <wire from="(240,1100)" to="(280,1100)" />
494 <wire from="(240,1140)" to="(240,1160)" />
495 <wire from="(240,1140)" to="(280,1140)" />
496 <wire from="(240,730)" to="(260,730)" />
497 <wire from="(240,760)" to="(250,760)" />
498 <wire from="(240,790)" to="(280,790)" />
499 <wire from="(240,820)" to="(250,820)" />
500 <wire from="(240,850)" to="(260,850)" />
501 <wire from="(250,1200)" to="(260,1200)" />
502 <wire from="(250,760)" to="(250,770)" />
503 <wire from="(250,770)" to="(280,770)" />
504 <wire from="(250,810)" to="(250,820)" />
505 <wire from="(250,810)" to="(280,810)" />
506 <wire from="(260,1030)" to="(260,1080)" />
507 <wire from="(260,1080)" to="(280,1080)" />
508 <wire from="(260,1160)" to="(260,1200)" />
509 <wire from="(260,1160)" to="(280,1160)" />
510 <wire from="(260,580)" to="(300,580)" />
511 <wire from="(260,730)" to="(260,750)" />
512 <wire from="(260,750)" to="(280,750)" />
513 <wire from="(260,830)" to="(260,850)" />
514 <wire from="(260,830)" to="(280,830)" />
515 <wire from="(320,520)" to="(320,560)" />
516 <wire from="(320,520)" to="(360,520)" />
```

```
517 <wire from="(320,570)" to="(330,570)"/>
518 <wire from="(320,580)" to="(340,580)"/>
519 <wire from="(320,590)" to="(350,590)"/>
520 <wire from="(320,600)" to="(410,600)"/>
521 <wire from="(330,540)" to="(330,570)"/>
522 <wire from="(330,540)" to="(360,540)"/>
523 <wire from="(340,560)" to="(340,580)"/>
524 <wire from="(340,560)" to="(360,560)"/>
525 <wire from="(350,580)" to="(350,590)"/>
526 <wire from="(350,580)" to="(360,580)"/>
527 <wire from="(390,520)" to="(410,520)"/>
528 <wire from="(390,540)" to="(400,540)"/>
529 <wire from="(390,560)" to="(420,560)"/>
530 <wire from="(390,580)" to="(400,580)"/>
531 <wire from="(400,540)" to="(400,550)"/>
532 <wire from="(400,550)" to="(420,550)"/>
533 <wire from="(400,570)" to="(400,580)"/>
534 <wire from="(400,570)" to="(420,570)"/>
535 <wire from="(410,520)" to="(410,540)"/>
536 <wire from="(410,540)" to="(420,540)"/>
537 <wire from="(410,580)" to="(410,600)"/>
538 <wire from="(410,580)" to="(420,580)"/>
539 <wire from="(450,560)" to="(490,560)"/>
540 <wire from="(490,390)" to="(510,390)"/>
541 <wire from="(500,1080)" to="(590,1080)"/>
542 <wire from="(500,1100)" to="(600,1100)"/>
543 <wire from="(500,1120)" to="(610,1120)"/>
544 <wire from="(500,1140)" to="(610,1140)"/>
545 <wire from="(500,1160)" to="(600,1160)"/>
546 <wire from="(500,1180)" to="(590,1180)"/>
547 <wire from="(500,1200)" to="(580,1200)"/>
548 <wire from="(500,1220)" to="(570,1220)"/>
549 <wire from="(500,1240)" to="(560,1240)"/>
550 <wire from="(500,430)" to="(510,430)"/>
551 <wire from="(510,390)" to="(510,400)"/>
552 <wire from="(510,400)" to="(520,400)"/>
553 <wire from="(510,420)" to="(510,430)"/>
554 <wire from="(510,420)" to="(520,420)"/>
555 <wire from="(520,720)" to="(520,750)"/>
556 <wire from="(520,720)" to="(560,720)"/>
557 <wire from="(520,770)" to="(530,770)"/>
558 <wire from="(520,790)" to="(530,790)"/>
559 <wire from="(520,810)" to="(520,840)"/>
560 <wire from="(520,840)" to="(560,840)"/>
561 <wire from="(530,760)" to="(530,770)"/>
562 <wire from="(530,760)" to="(560,760)"/>
563 <wire from="(530,790)" to="(530,800)"/>
564 <wire from="(530,800)" to="(560,800)"/>
565 <wire from="(550,350)" to="(570,350)"/>
566 <wire from="(550,410)" to="(570,410)"/>
567 <wire from="(560,1240)" to="(560,1340)"/>
568 <wire from="(560,1340)" to="(630,1340)"/>
```

```
569 <wire from="(570,1220)" to="(570,1300)"/>
570 <wire from="(570,1300)" to="(630,1300)"/>
571 <wire from="(580,1200)" to="(580,1260)"/>
572 <wire from="(580,1260)" to="(630,1260)"/>
573 <wire from="(590,1030)" to="(590,1080)"/>
574 <wire from="(590,1030)" to="(620,1030)"/>
575 <wire from="(590,1180)" to="(590,1230)"/>
576 <wire from="(590,1230)" to="(620,1230)"/>
577 <wire from="(600,1070)" to="(600,1100)"/>
578 <wire from="(600,1070)" to="(620,1070)"/>
579 <wire from="(600,1160)" to="(600,1190)"/>
580 <wire from="(600,1190)" to="(620,1190)"/>
581 <wire from="(610,1110)" to="(610,1120)"/>
582 <wire from="(610,1110)" to="(620,1110)"/>
583 <wire from="(610,1140)" to="(610,1150)"/>
584 <wire from="(610,1150)" to="(620,1150)"/>
585 <wire from="(840,860)" to="(860,860)"/>
586 </circuit>
587 </project>
588
```

1	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0000	0
		0000	0000	0000	0000	0000	0000	0000	0000	0	0	0000	0000	0000	0000	0000	0000	0000	0000	0000
2	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0010	0
		0000	0000	0000	0000	0000	0000	0010	1	0	1000	0000	0000	0000	0000	0000	0000	0000	0000	0010
3	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0001	0
		0000	0000	0000	0000	0000	0000	0001	1	0	1000	0000	0000	0000	0000	0000	0000	0000	0000	0001
4	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0110	0
		0000	0000	0000	0000	0000	0000	0000	0110	0	0	0000	0000	0000	0000	0000	0000	0000	0000	0110
5	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0001	1
		0000	0000	0000	0000	0000	0000	0000	0001	0	0	0000	0000	0000	0000	0000	0000	0000	0000	0001
6	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0000	0
		0000	0000	0000	0000	0000	0000	0000	0000	1	0	1000	0000	0000	0000	0000	0000	0000	0000	0000
7	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0110	1
		0000	0000	0000	0000	0000	0000	0000	0110	0	0	0000	0000	0000	0000	0000	0000	0000	0000	0110
8	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	0100	0
		0000	0000	0000	0000	0000	0000	0000	0100	1	0	0010	0000	0000	0000	0000	0000	0000	0000	0100
9	0	0000	0000	0000	0000	0000	0000	0000	0000	0		1111	1111	1111	1111	1111	1111	1110	1010	0
		1111	1111	1111	1111	1111	1111	1110	1010	1	0	1000	1111	1111	1111	1111	1111	1111	1110	1010
10	1	1111	1111	1111	1111	1111	1111	1110	1010	0		0000	0000	0000	0000	0000	0000	0000	1100	0
		0000	0000	0000	0000	0000	0000	0000	1100	0	0	0000	0000	0000	0000	0000	0000	0000	0000	1100
11	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	1101	0
		0000	0000	0000	0000	0000	0000	0000	1101	1	0	1001	0000	0000	0000	0000	0000	0000	0000	1101
12	0	0000	0000	0000	0000	0000	0000	0000	0000	0		0000	0000	0000	0000	0000	0000	0000	1000	0
		0000	0000	00																

[illegible]

```
1  #!/usr/bin/env python
2
3  import os
4  import os.path
5  import tempfile
6  import subprocess
7  import time
8  import signal
9  import re
10 import sys
11 import shutil
12
13 file_locations = os.getcwd()
14 logisim_location = os.path.join(os.getcwd(), os.pardir)
15 logisim_location = os.path.join(logisim_location, "logisim-evolution.jar")
16
17 class TestCase():
18     """
19     Runs specified circuit file and compares output against the provided reference trace file.
20     """
21
22     def __init__(self, circfile, tracefile, register_doc):
23         self.circfile = circfile
24         self.tracefile = tracefile
25         self.register_doc = register_doc
26
27     def __call__(self, filename):
28         output = tempfile.TemporaryFile(mode='r+')
29         try:
30             stdin = open('/dev/null')
31         except Exception as e:
32             try:
33                 stdin = open('nul')
34             except Exception as e:
35                 print("Could not open nul or /dev/null. Program will most likely error now.")
36         proc = subprocess.Popen(["java", "-jar", logisim_location, "--tty", "table", self.circfile], stdin=stdin,
37                                 stdout=subprocess.PIPE)
38         try:
39             reference = open(self.tracefile)
40             passed = compare_unbounded(proc.stdout, reference, filename)
41         finally:
42             try:
43                 os.kill(proc.pid, signal.SIGTERM)
44             except Exception as e:
45                 pass
46         if passed:
47             return (True, "Matched expected output")
48         else:
49             return (False, "Did not match expected output")
```

```

49
50 def compare_unbounded(student_out, reference_out, filename):
51     passed = True
52     student_output_array = []
53     while True:
54         line1 = student_out.readline().rstrip().decode("utf-8", "namereplace")
55         line2 = reference_out.readline().rstrip()
56         if line2 == "":
57             break
58         student_output_array.append(line1)
59         m = re.match(line2, line1)
60         if m == None or m.start() != 0 or m.end() != len(line2):
61             passed = False
62     with open(filename, "w") as student_output:
63         for line in student_output_array:
64             student_output.write(line + '\n')
65     return passed
66
67
68 def run_tests(tests):
69     print("Testing files...")
70     tests_passed = 0
71     tests_failed = 0
72     for description, filename, test in tests:
73         test_passed, reason = test(filename)
74         if test_passed:
75             print("\t\033[92mPASSED\033[0m test: %s" % description)
76             tests_passed += 1
77         else:
78             print("\t\033[91mFAILED\033[0m test: %s (%s)" % (description, reason))
79             tests_failed += 1
80
81     print("Passed %d/%d tests" % (tests_passed, (tests_passed + tests_failed)))
82
83 tests = [
84     ("Testcase 1 (project 2.2)",
85      "student_output/proj_2_2_test.out", TestCase(os.path.join(file_locations, 'circ_files/proj_2_2_test.circ'),
86      os.path.join
87      (file_locations, 'reference_output/proj_2_2_test.out'), ""))
88 ]
89
90 if __name__ == '__main__':
91     run_tests(tests)

```