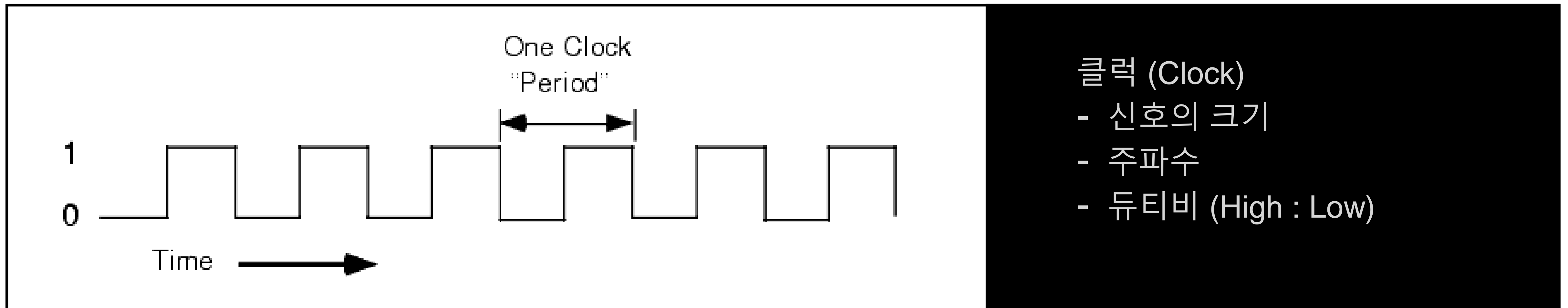


11주차 발표

Clock, Latch
RS Flip Flop, T Flip Flop
JK Flip Flop, D Flip Flop

김택림, 이예준, 허결

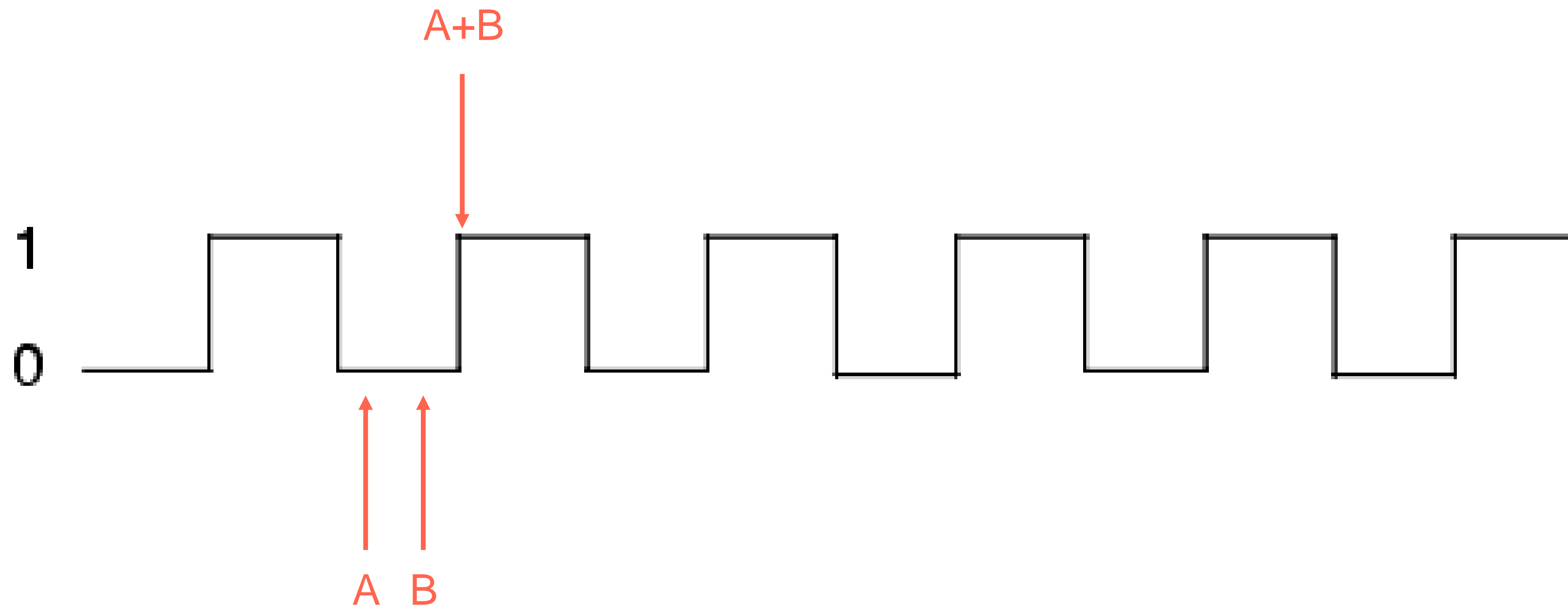
Clock



- 클럭 (Clock)
- 신호의 크기
 - 주파수
 - 듀티비 (High : Low)

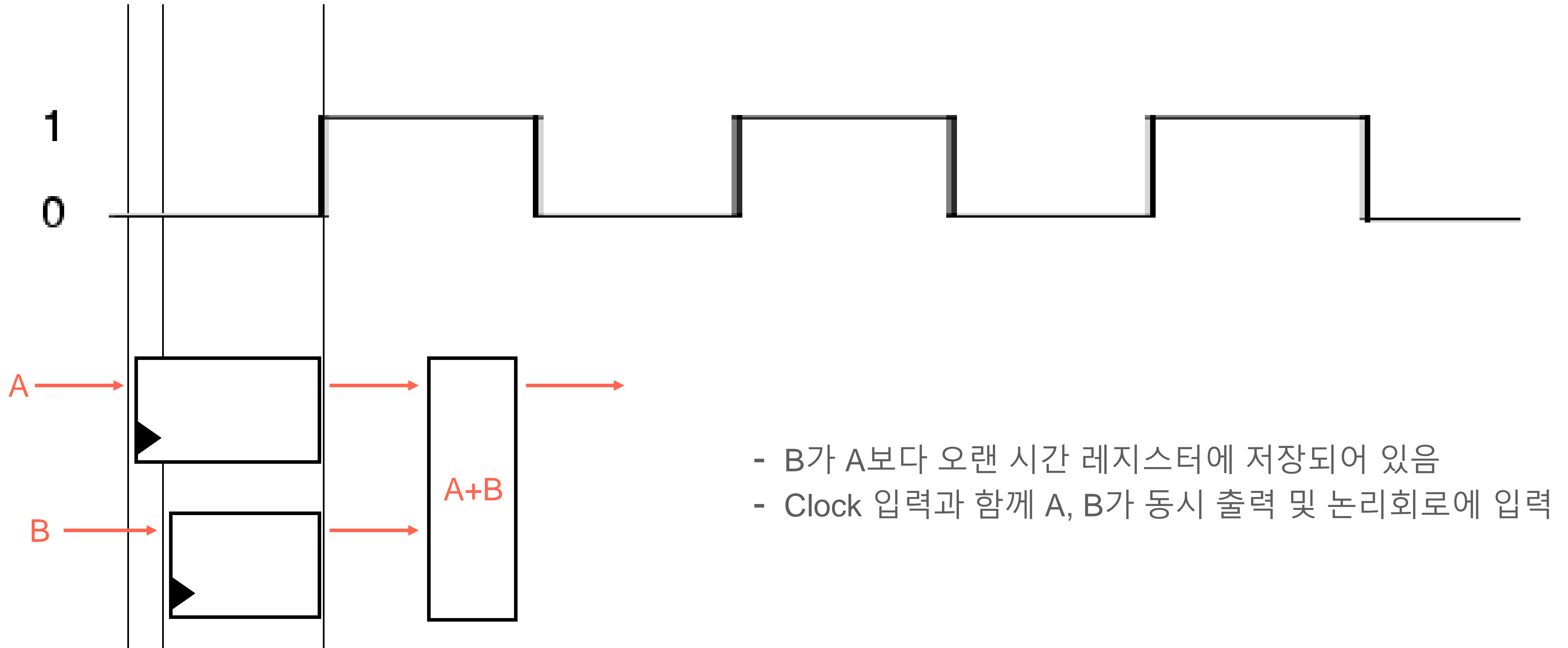
- 동기 처리를 위해 필요한 시간에 관한 신호
- 레지스터의 입력, 출력을 제어
- 수정 발진자, 위상동기회로, 오실레이터 등에 의해 생성 (칩 바깥에 외부 모듈 존재)

Clock

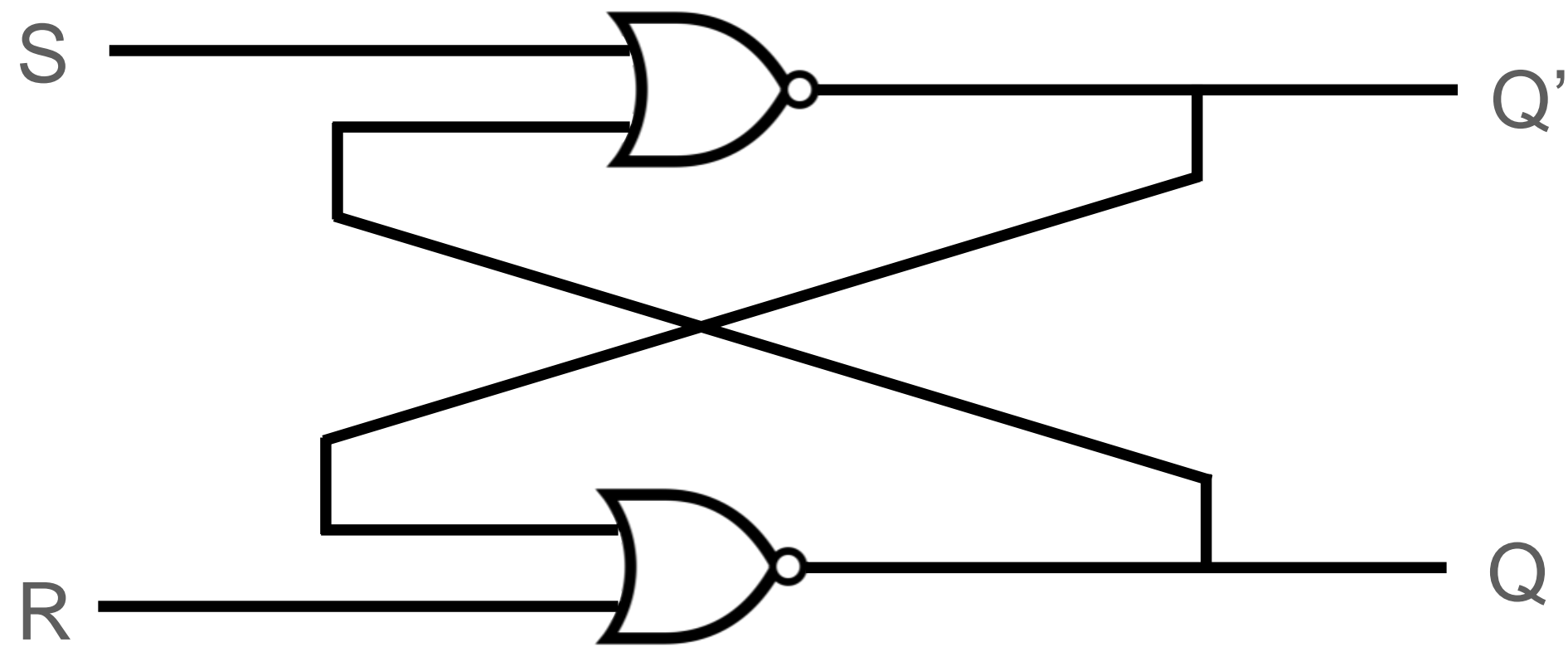


- 위는 개략적인 예시이며, 정확히는 레지스터에 입력되어 제어함

Clock



Latch

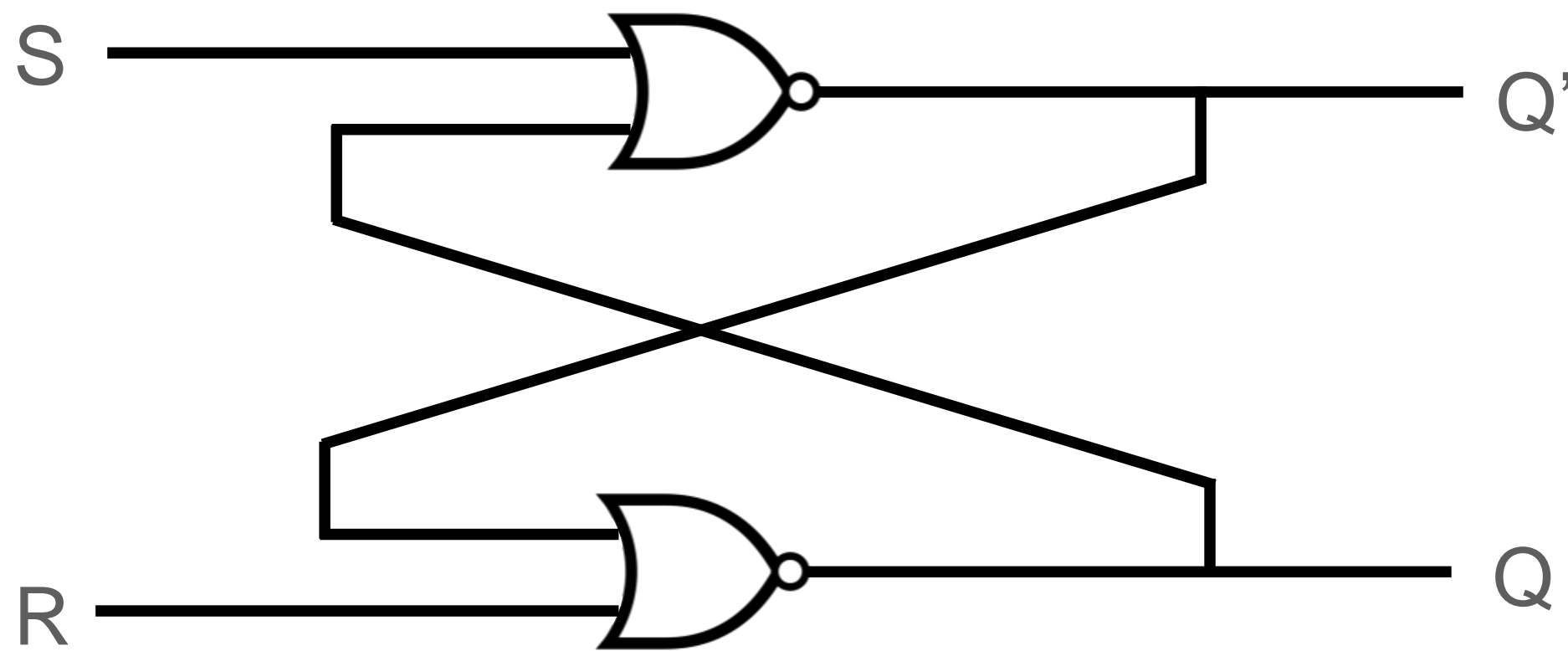


래치 (Latch)

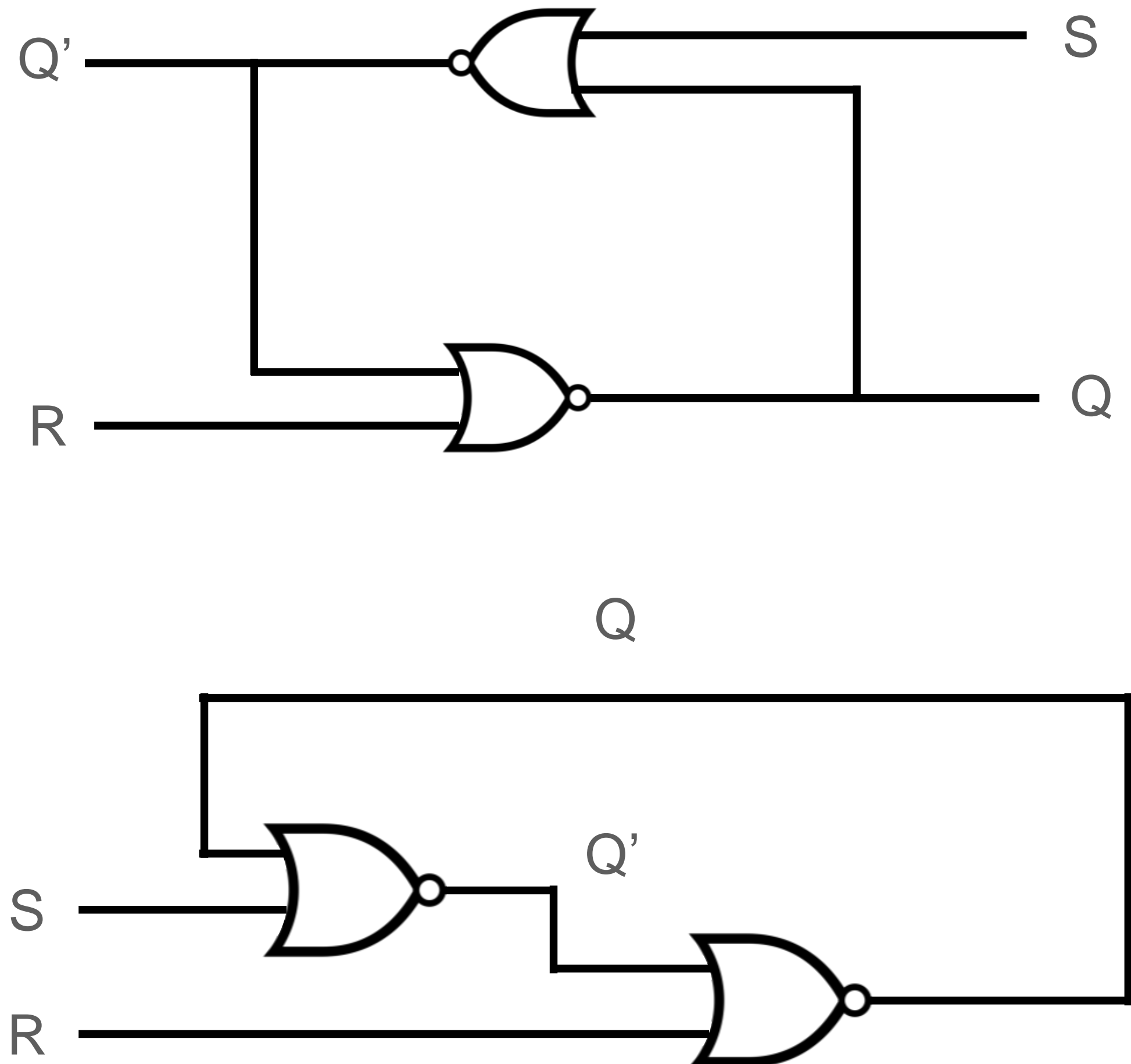
- 전류의 흐름 상태를 유지 (≡ 이전 값을 기억)
- 클럭 입력을 갖지 않음 (≡ 타이밍에 독립적)

- 페루프(Closed loop)가 존재해 안정된 두 상태를 가짐
- SR Latch, D Latch 등 다양한 형태 존재

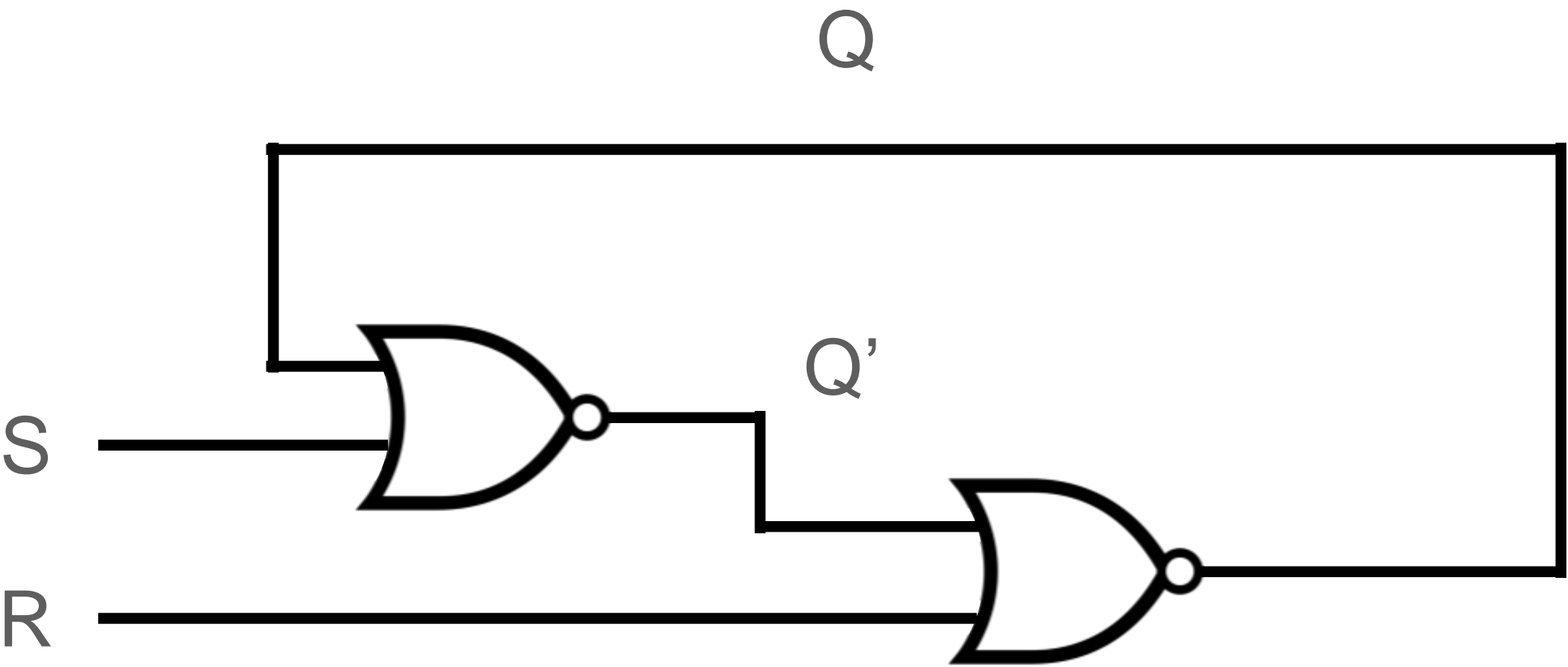
SR Latch



=



SR Latch



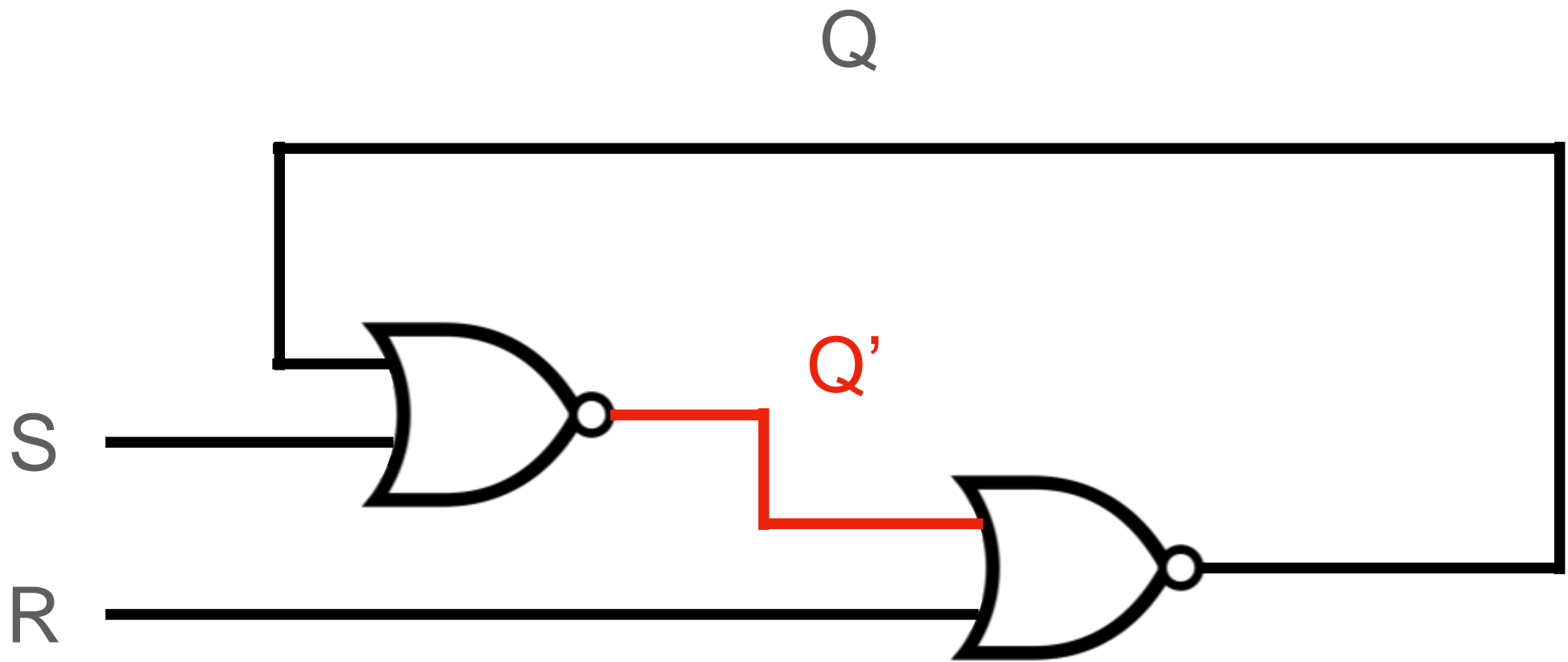
	S	R	Q	Q(+)	Q'(+)
Hold	0	0	0	0	1
	0	0	1	1	0
Reset	0	1	x	0	1
Set	1	0	x	1	0
Not Allowd	1	1	x	-	-

- S = R = 1 상태는 허용되지 않음

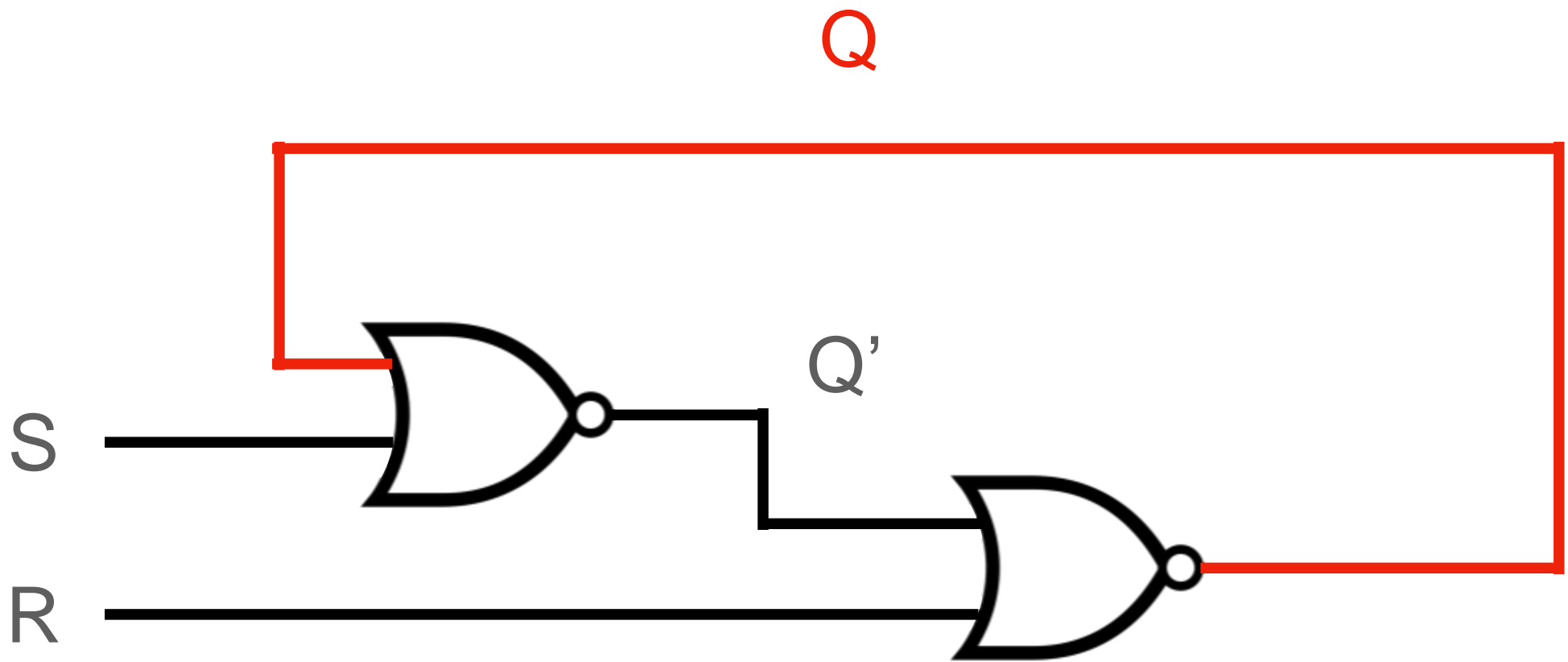
$$Q(+)=S+R'Q$$

SR Latch

- 빨간색은 상태가 1인 신호

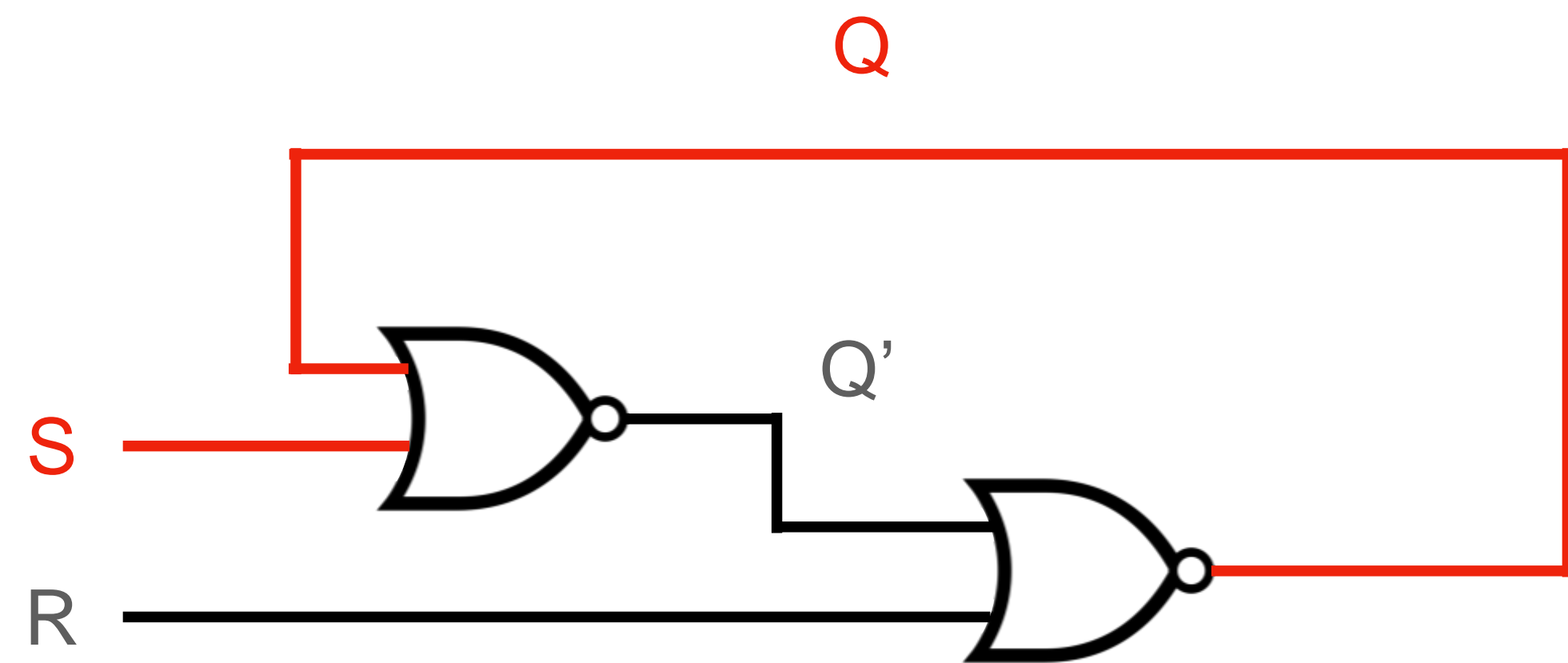


S	R	Q	Q(+)	Q'(+)
0	0	0	0	1

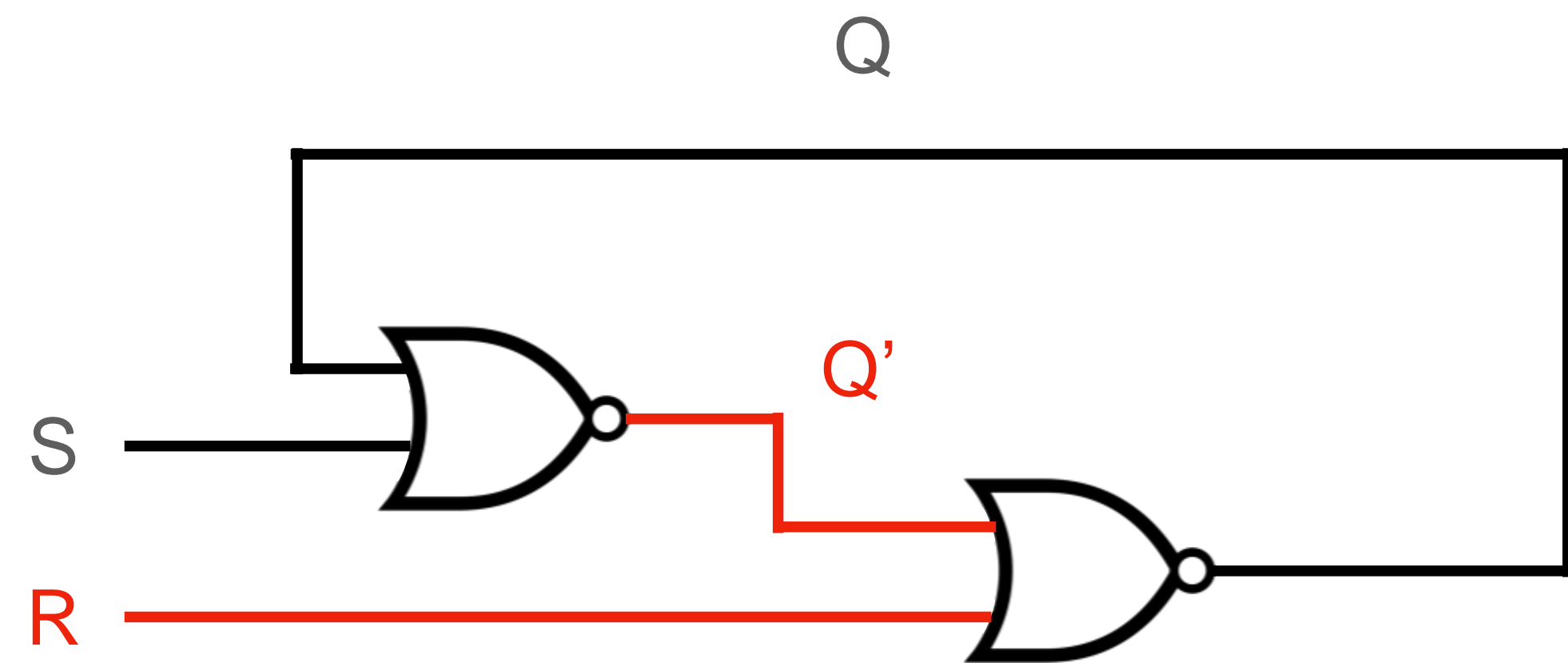


S	R	Q	Q(+)	Q'(+)
0	0	1	1	0

SR Latch

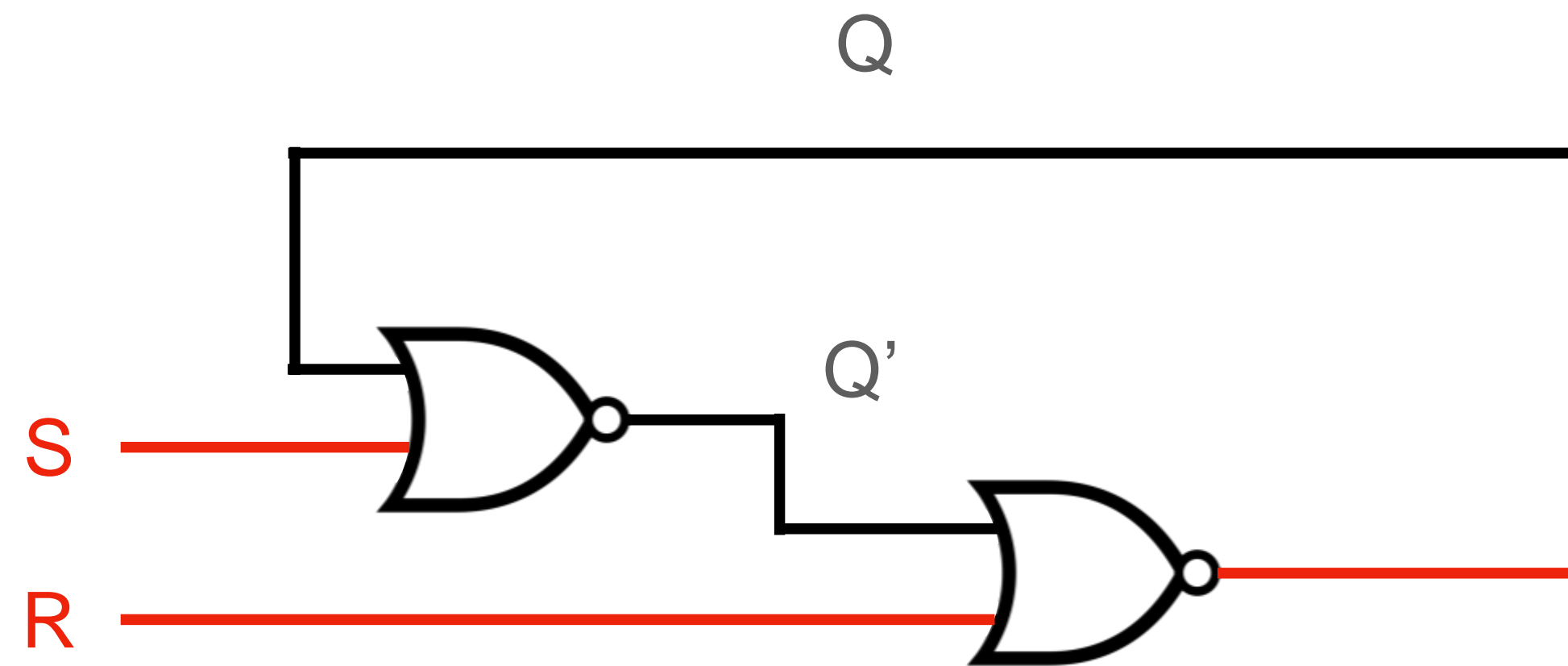


S	R	Q	Q(+)	Q'(+)
1	0	x	1	0

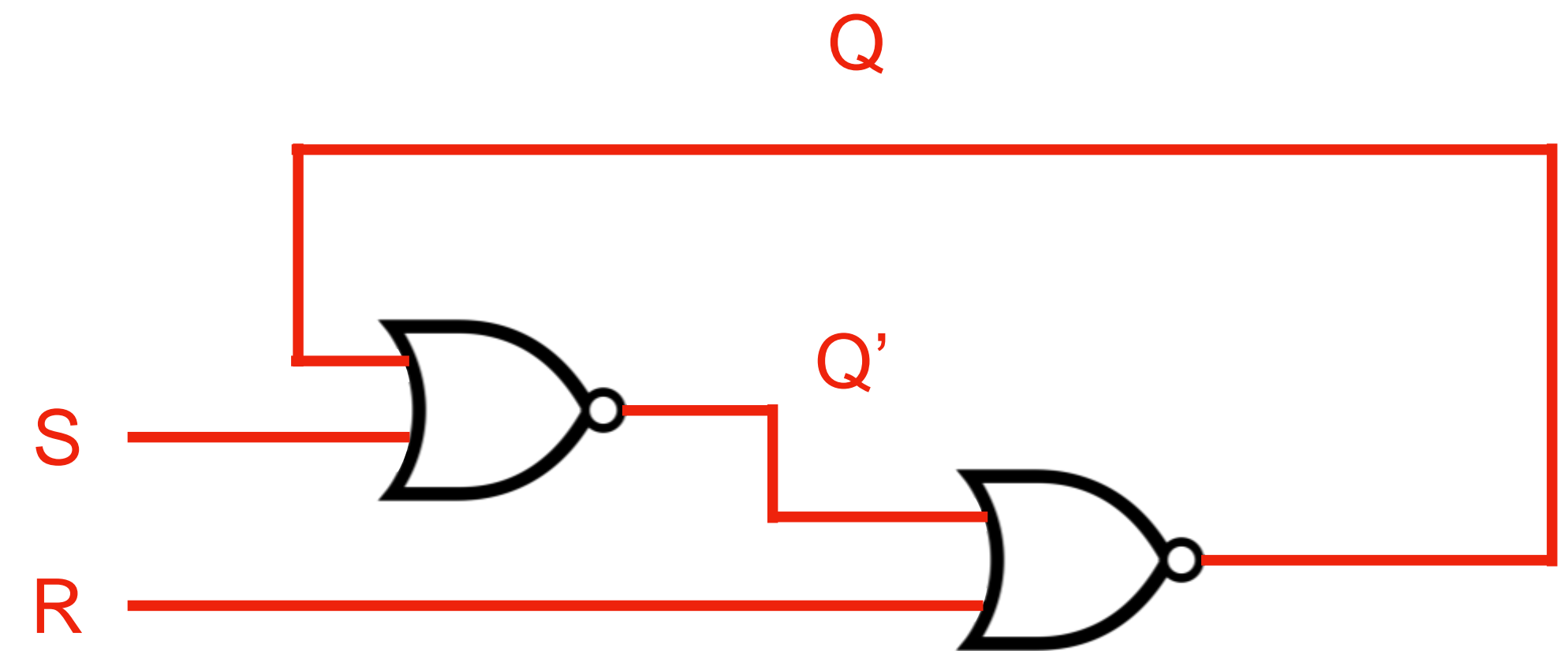


S	R	Q	Q(+)	Q'(+)
0	1	x	0	1

SR Latch



S	R	Q	Q(+)	Q'(+)
1	1	0	0	0

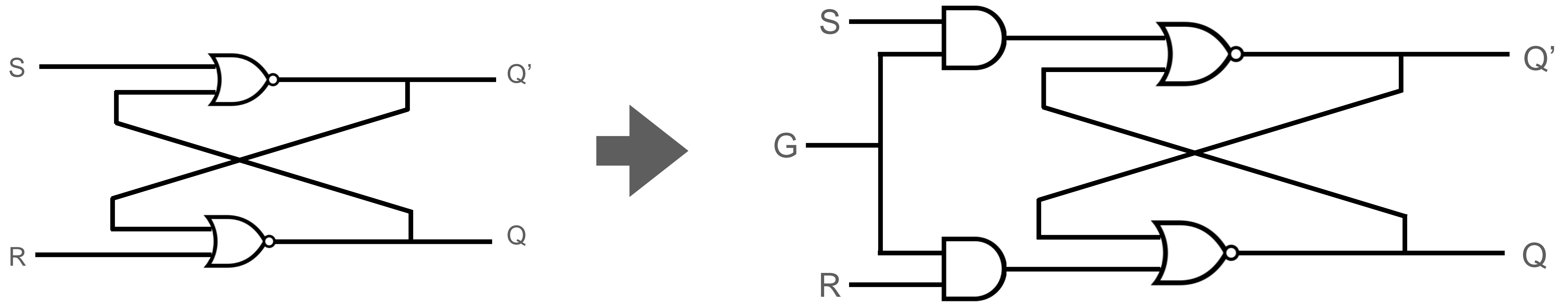


S	R	Q	Q(+)	Q'(+)
1	1	1	1	1

$$Q = 0 \rightarrow Q'(+)= (Q+S)' = 0 \rightarrow Q(+)= (Q'+R) = 0 \rightarrow Q(+)= Q'(+)$$

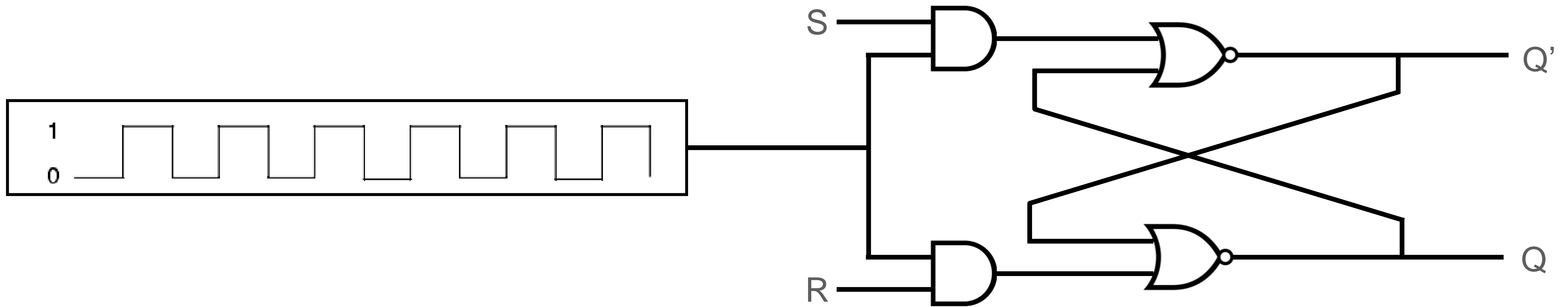
$$Q = 1 \rightarrow Q'(+)= (Q+S)' = 0 \rightarrow Q(+)= (Q'+R) = 0 \rightarrow Q(+)= Q'(+)$$

Gated SR Latch



- S 또는 R 입력이 들어올 때마다 값이 바뀜 (비동기적)
- 이를 해결하기 위해 Enable(Gate) 입력 추가
- G가 1일 때 활성화, 0일 때 비활성

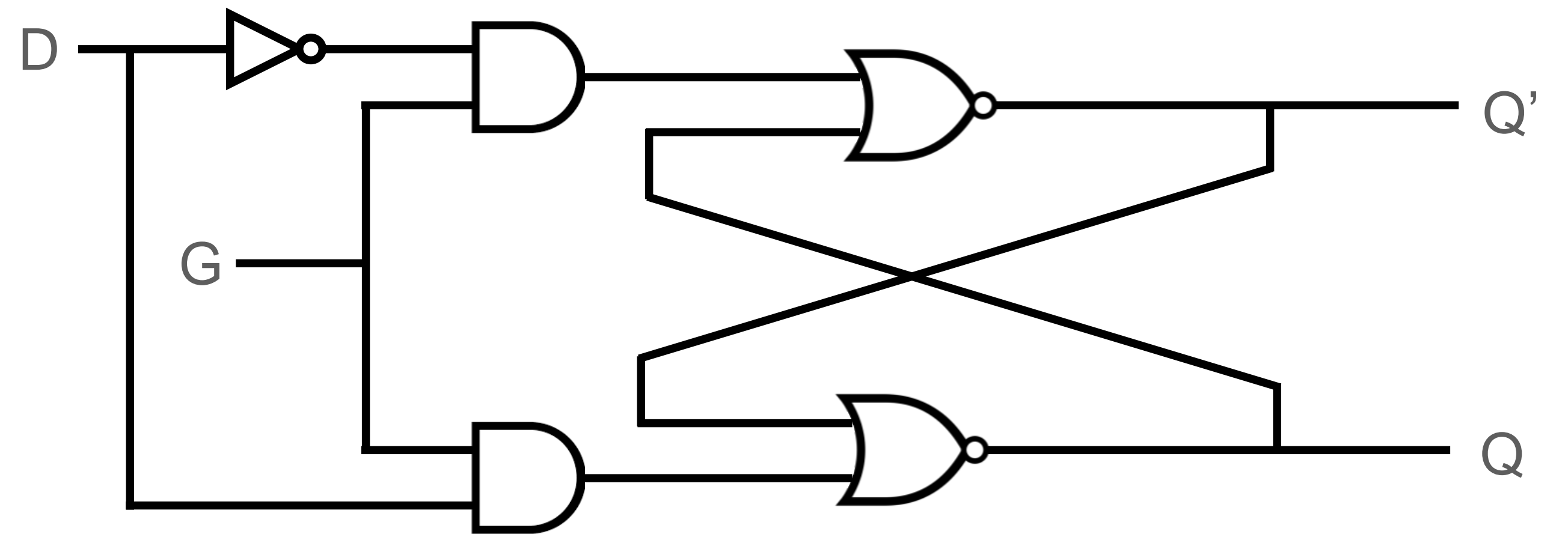
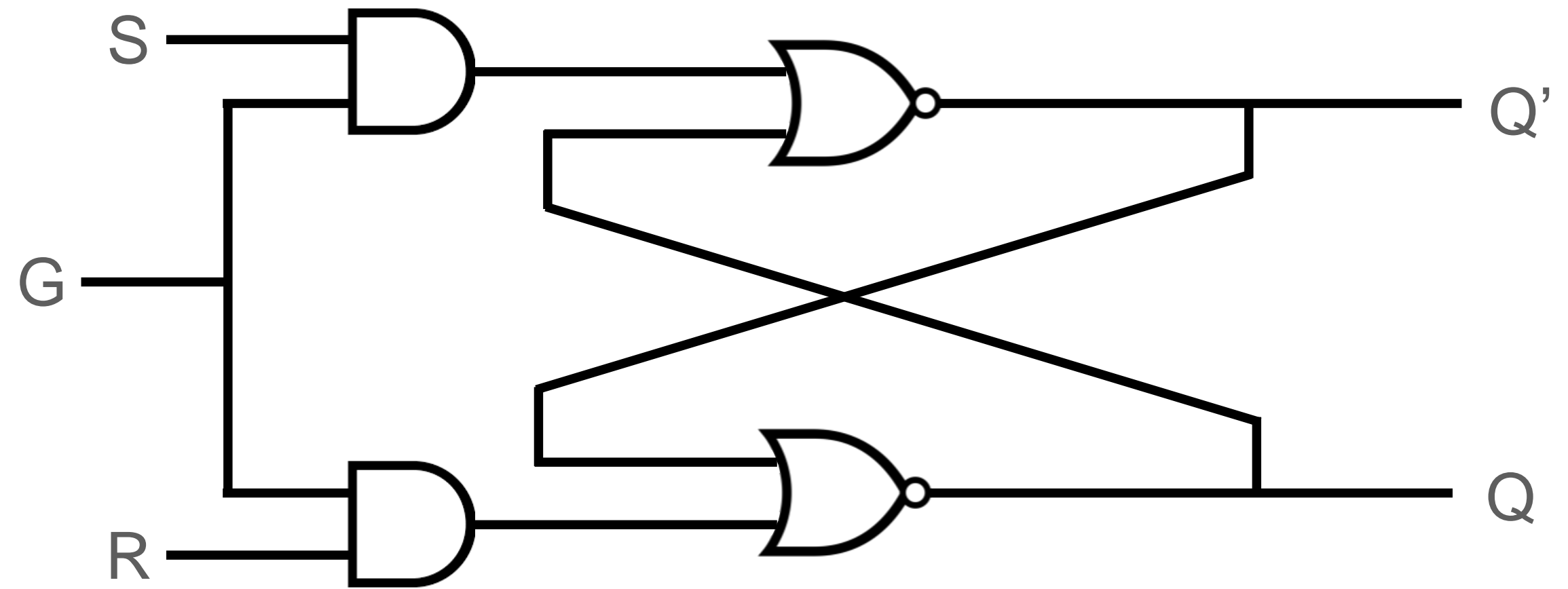
Clocked SR Latch



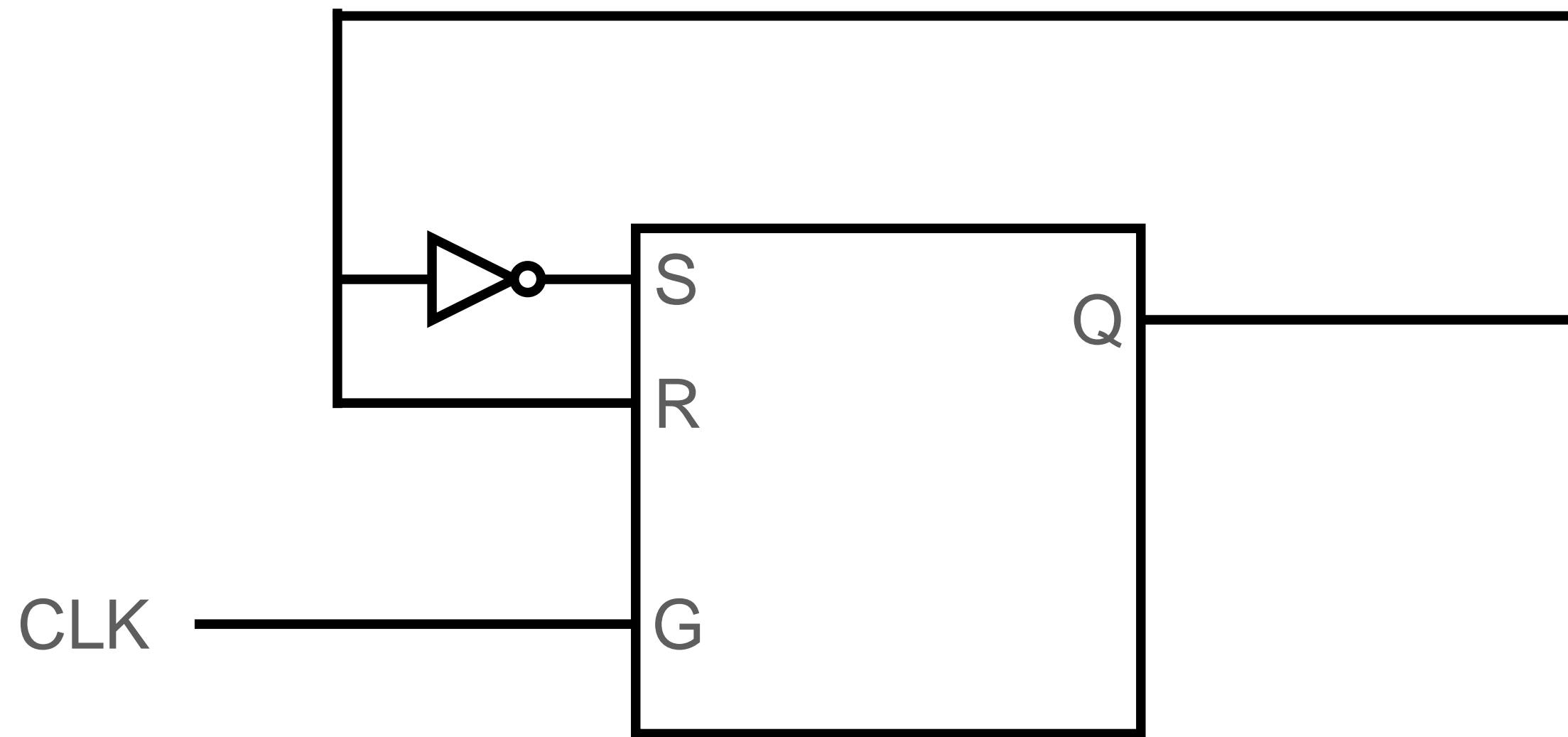
- Gated SR Latch의 Enable 신호에 Clock을 연결
- Clock Signal에 맞춰 활성화 및 출력

Latch의 투명성

- 입/출력이 언제든지 변화할 수 있음
- 회로에서 영향을 **바로** 미치는 것은 위험!



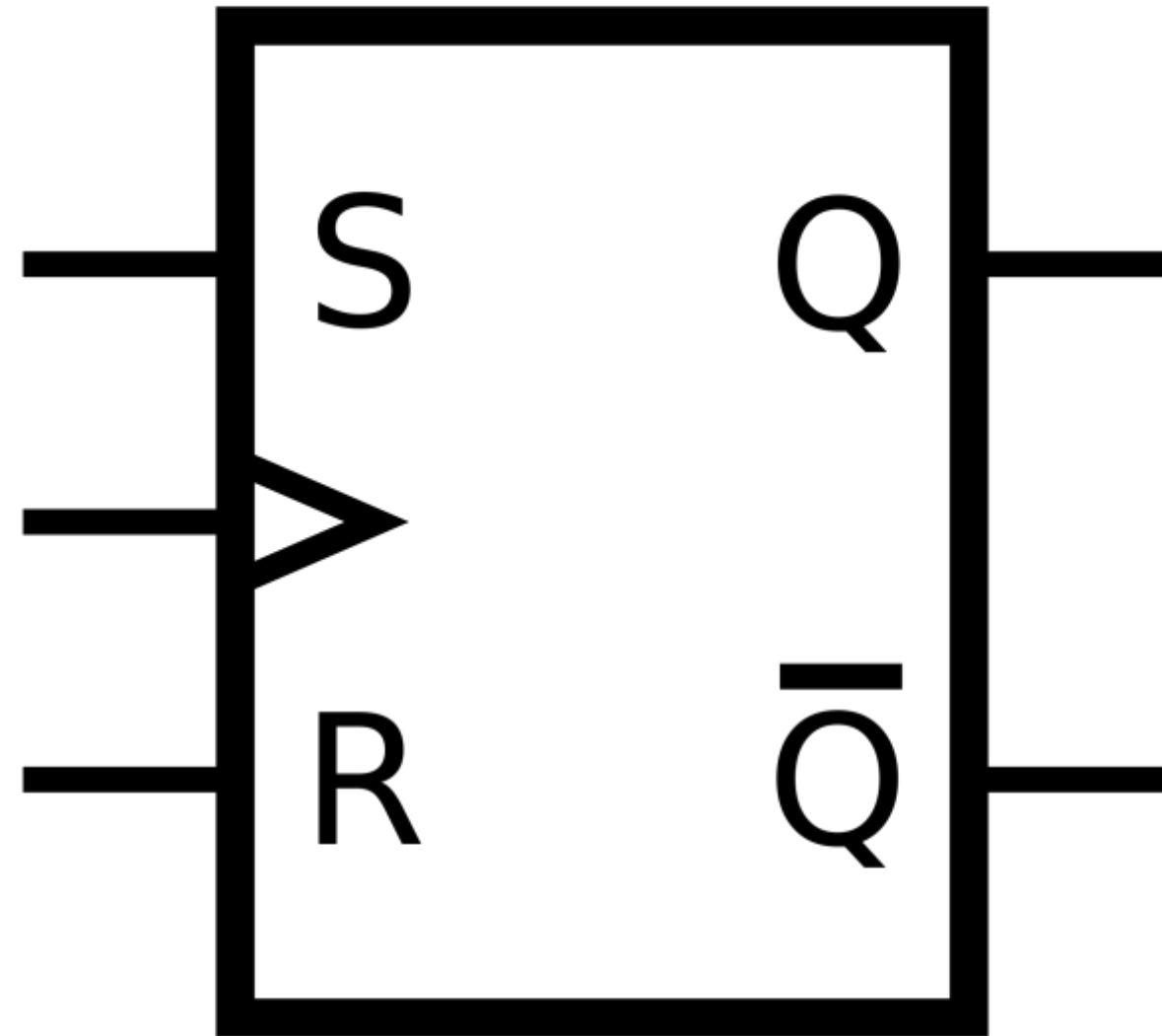
Latch의 투명성



CLK	Q	S	R	Q(+)	Q(++)	Q(+++)	...
1	1	0	1	0	1	0	...
1	0	1	0	1	0	1	...

- 입/출력이 언제든지 변화할 수 있음
- Clock 입력이 1으로 유지될 때, 직렬 Latch에서 진동하는 문제 발생
- Clock 주파수가 상당히 크거나 별도의 회로가 필요함 → 플립플롭

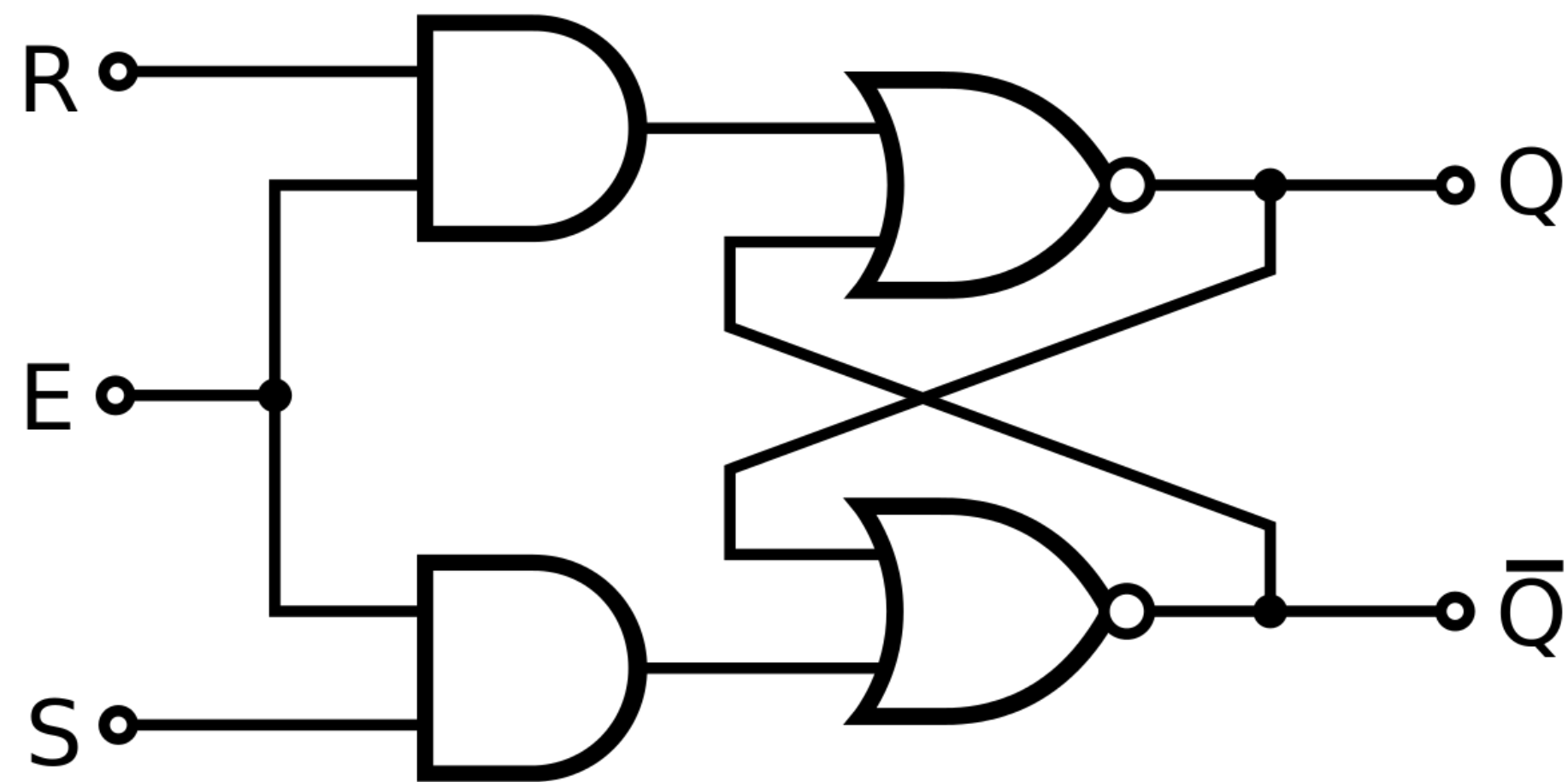
RS Flip Flop



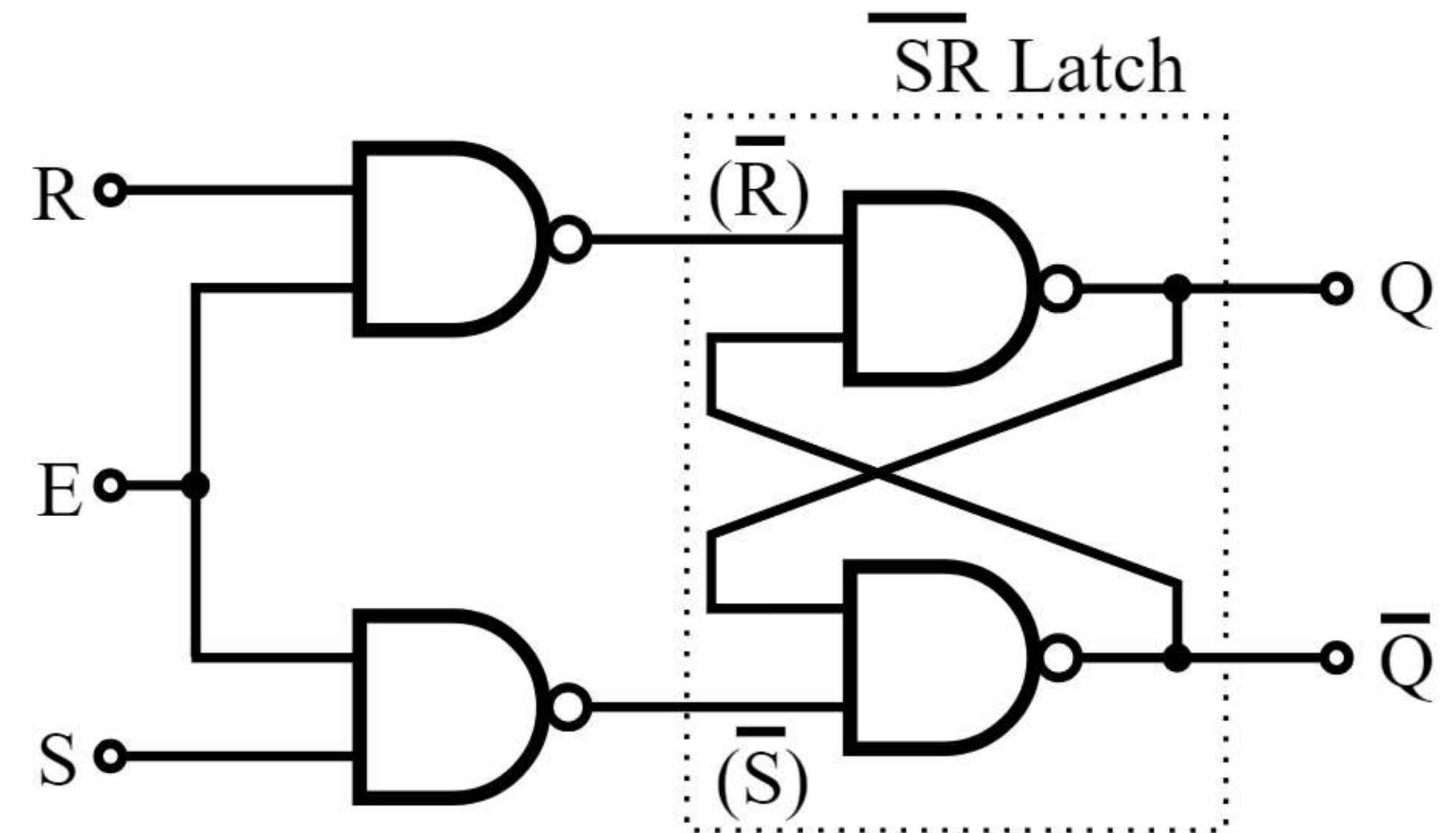
RS-Flipflop Graphic Symbol

- S(set)와 R(reset) 두 개의 입력과 이전 상태의 전기신호에 따라 0과 1이 결정
- 2개의 AND게이트와 2개의 XOR게이트를 사용하거나 4개의 NAND게이트를 사용하여 구현
- ‘-▷’기호는 CP, 즉 Clock Pulse의 약자로 회로와 컴퓨터의 동기화를 유지하기 위해 규칙적으로 발생하는 신호

RS Flip Flop의 동작원리



AND 게이트와 NOR 게이트를 사용한 RS-Flipflop



NAND게이트를 사용한 RS-Flipflop

- CP가 0일 때는 S와 R값이 변하더라도 출력은 그대로 유지, CP가 1일 때만 S,R 값에 따라 출력이 변함
- Set은 기본적으로 출력을 1로 하는 flipflop으로 세팅하며, Reset은 출력을 0으로 하는 flipflop으로 세팅

RS Flip Flop의 예시

1. 만약 $S = 0, R = 0$ 일 때

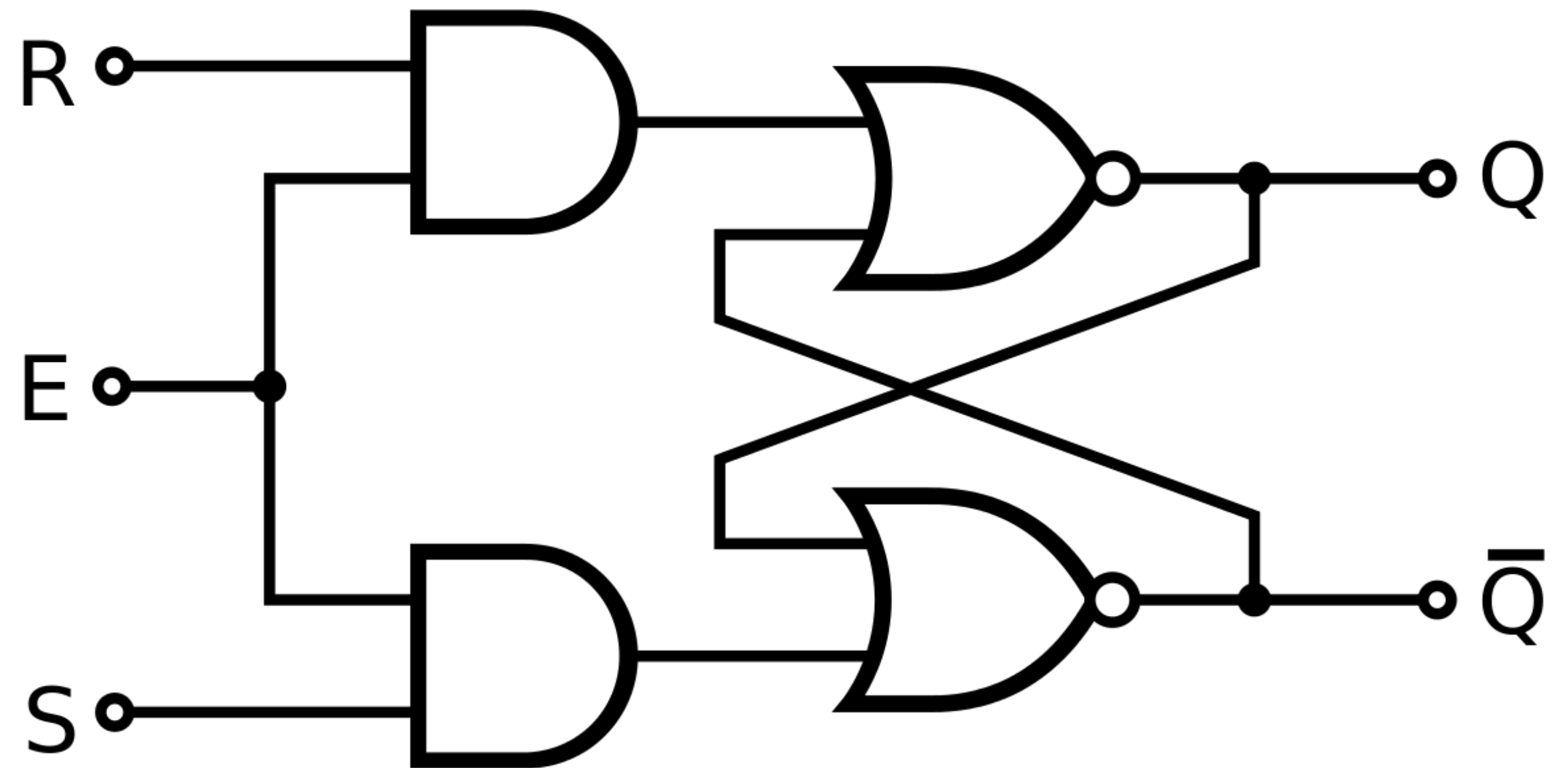
- 앞에 있는 2개의 AND gate 모두 0을 출력

- Q값이 1인 경우

다음 Q값은 1, 다음 Q'값은 0로 출력

- Q값이 0인 경우

다음 Q값은 0, 다음 Q'값은 1로 출력

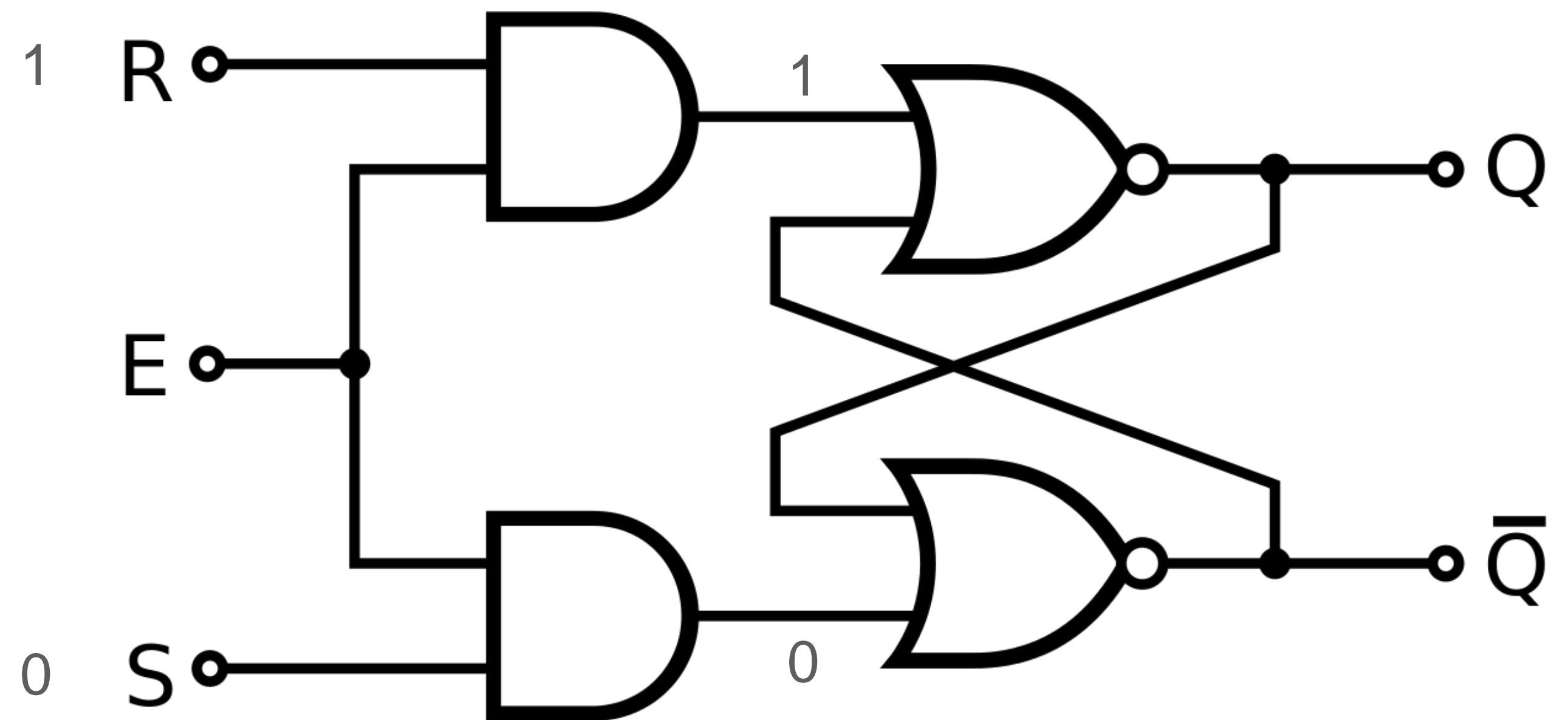


AND 게이트와 NOR 게이트를 사용한 RS Flip Flop

RS Flip Flop의 예시

2. 만약 $S = 0, R = 1$ 일 때

- 앞에 있는 위쪽 AND gate는 1을,
앞에 있는 아래쪽 AND gate는 0을 출력
- Q값이 1인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력
- Q값이 0인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력

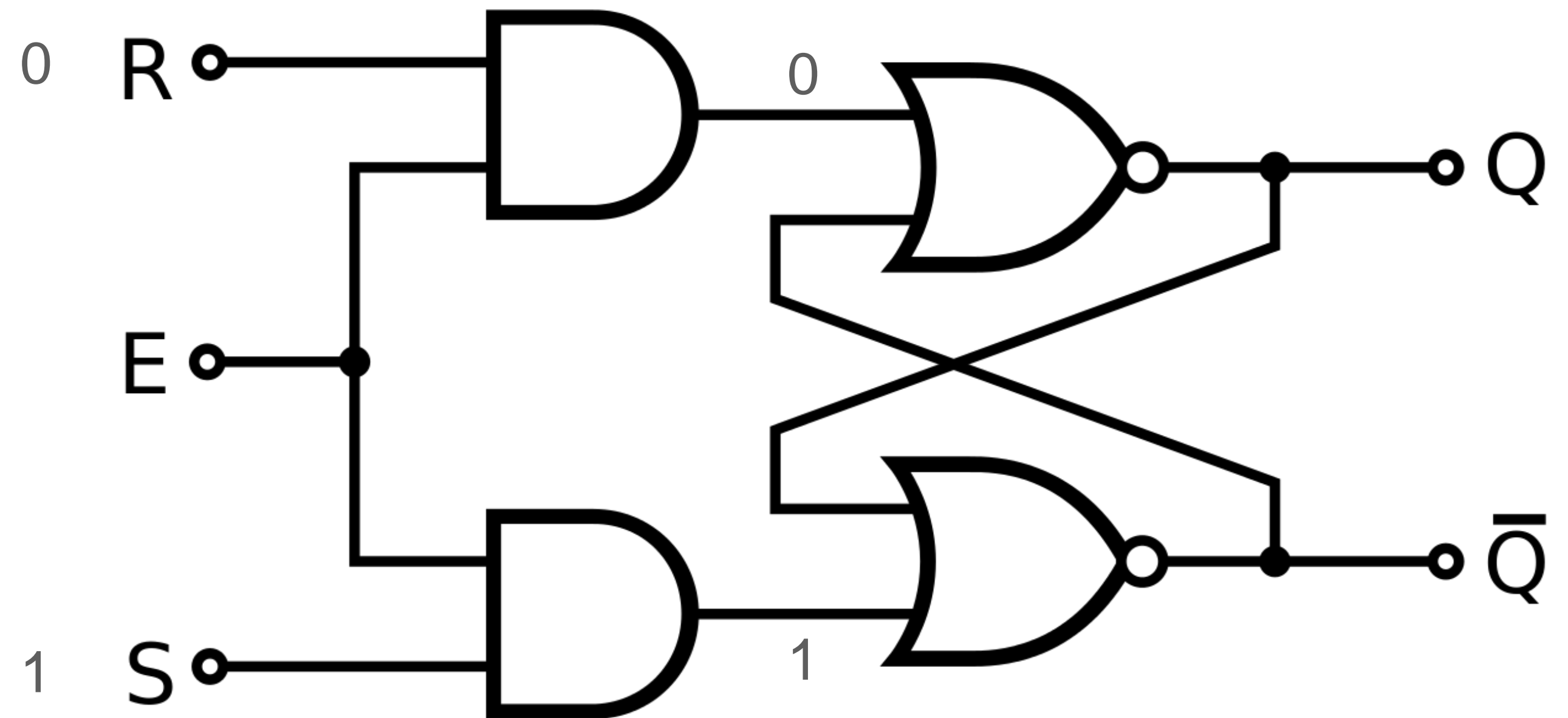


AND 게이트와 NOR 게이트를 사용한 RS Flip Flop

RS Flip Flop의 예시

3. 만약 $S = 1, R = 0$ 일 때

- 앞에 있는 위쪽 AND gate는 0을,
앞에 있는 아래쪽 AND gate는 1을 출력
- Q값이 1인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력
- Q값이 0인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력



AND 게이트와 NOR 게이트를 사용한 RS Flip Flop

RS Flip Flop의 예시

4. 만약 $S = 1, R = 1$ 일 때

- 앞에 있는 2개의 AND gate 모두 1을 출력

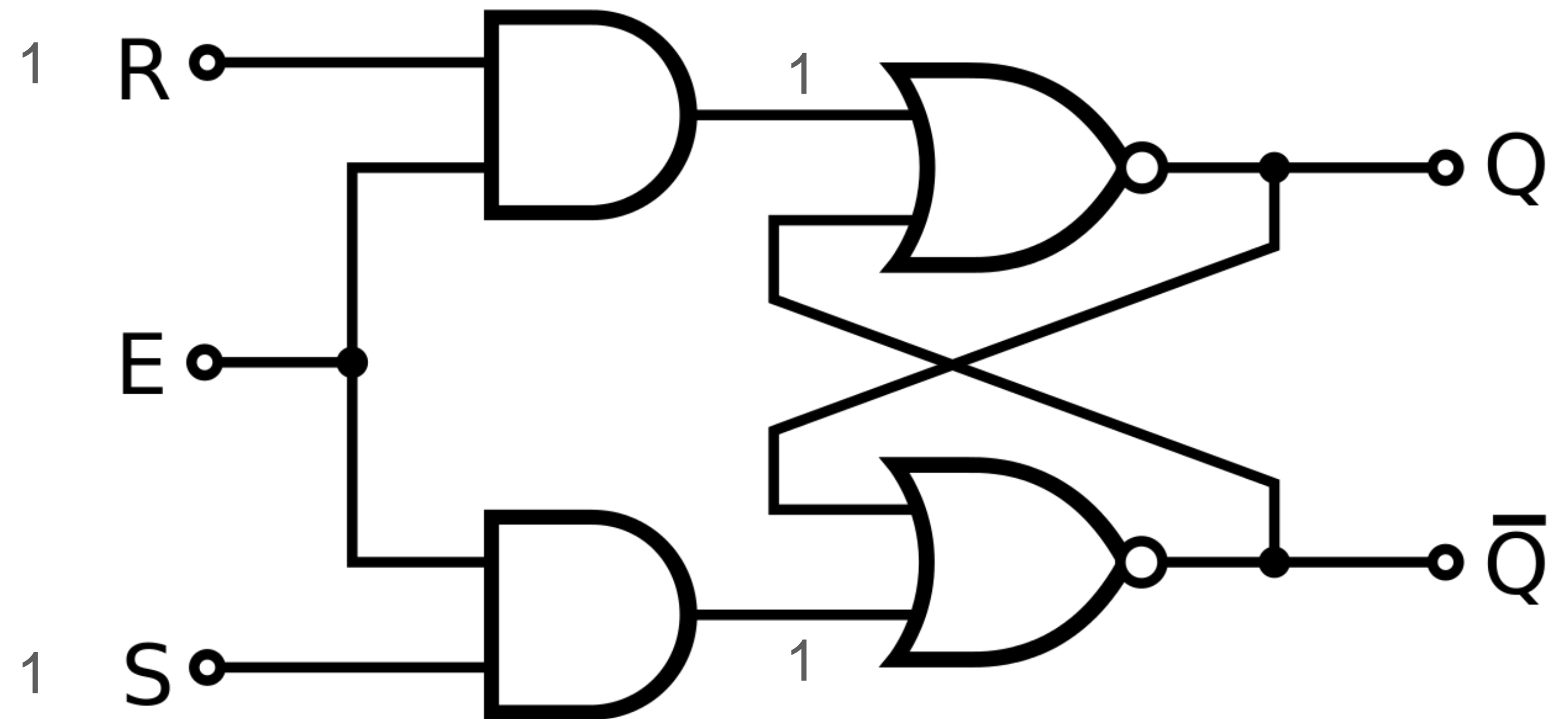
- Q값이 1인 경우

다음 Q값은 0, 다음 Q'값은 0로 출력

- Q값이 0인 경우

다음 Q값은 0, 다음 Q'값은 0로 출력

*Q값과 Q'값은 서로 보수관계여야
하기 때문에 유효하지 않은 경우이다.

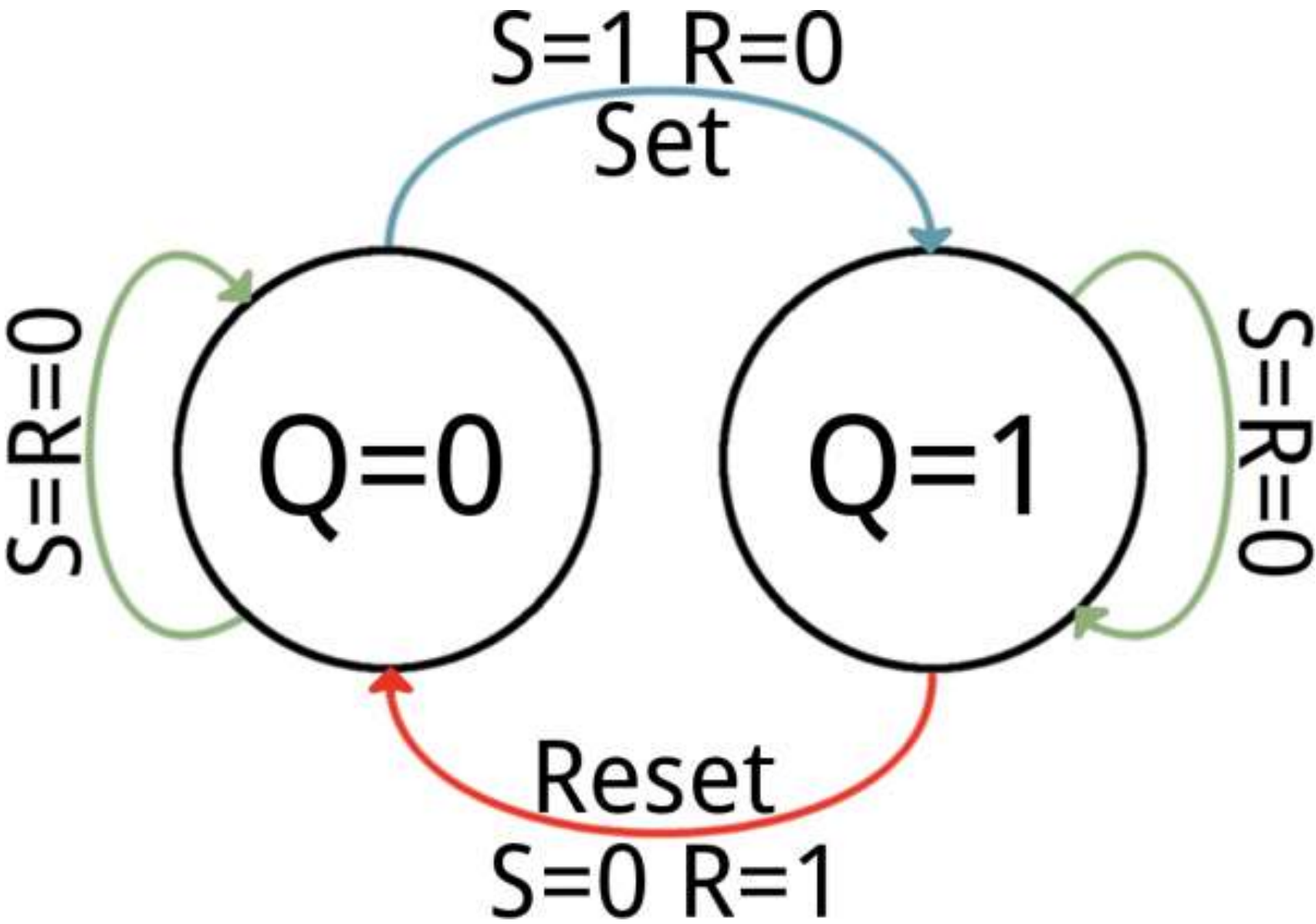


AND 게이트와 NOR 게이트를 사용한 RS Flip Flop

RS Flip Flop의 Truth table, State Diagram

INPUTS			OUTPUTS		ACTIONS
CLK	S	R	Q_{n+1}	\bar{Q}_{n+1}	
1	0	0	Q_n	\bar{Q}_n	No Change
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	X	X	Indeterminate

RS Flip Flop Truth Table



RS Flip Flop State Diagram

앞에서 설명한 예시들을 Truth Table로 나타내면 왼쪽 표와 같이 나타낼 수 있고,
State Diagram로 나타내면 오른쪽 그림과 같이 나타낼 수 있다.

RS Flip Flop Characteristic / Excitation Table

Q _n	S	R	Q _{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	invalid
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	invalid

Characteristic Table

Q _n	Q _{n+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Excitation Table

Characteristic Table은 현재 상태와 입력값 S,R이 주어졌을 때 다음 상태를 보여주는 표이며,

Excitation Table는 현재 상태에서 다음 상태로 변하기 위해 필요한 입력값 S,R이 무엇인지 보여주는 표이다.

RS Flip Flop의 Characteristic Equation

Characteristic Equation은 현재 상태를 기준으로 Flipflop의 다음 상태를 알려주는 방정식이다.

RS-Flipflop의 Characteristic Equation은 위의 K-map 그림을 통해 아래와 같은 식을 도출해 낼 수 있다.

$$Q_{n+1} = S + Q_n \cdot R'$$

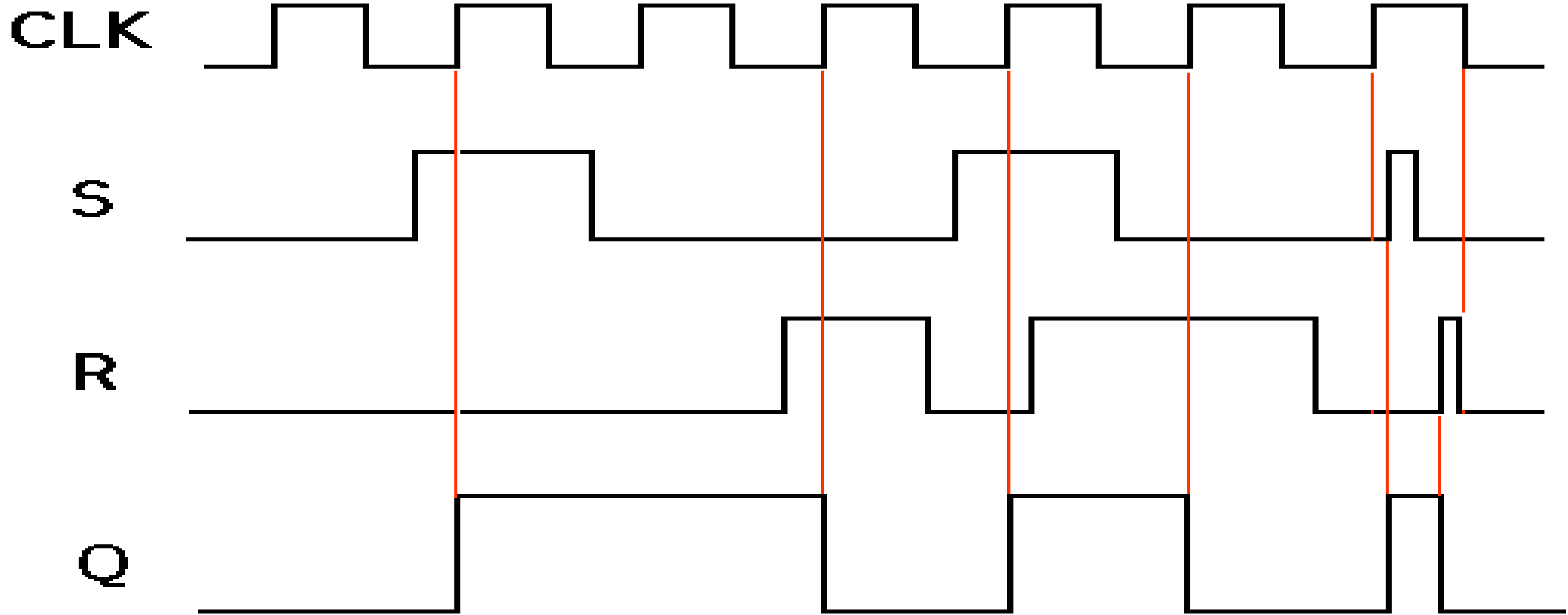
Q _n	S	R	Q _{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	invalid
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	invalid

Characteristic Table

R Q(t)		00	01	11	10
S	0		1		
	1	1	1	x	x

K-map

RS Flip Flop의 Timing Diagram



RS-Flipflop의 Timing Diagram

RS Flip Flop의 응용

1. 레지스터 및 메모리 시스템

여러 개의 RS -Flipflop을 조합하여 레지스터를 만들거나, 메모리 셀을 형성하여 데이터를 저장하는 데 사용된다.

3. 통신 시스템

RS-Flipflop은 통신 시스템에서 데이터의 안정적인 저장 및 전달을 위해 사용된다. 특히, 신호의 정확한 타이밍과 동기화가 중요한 경우에 활용된다.

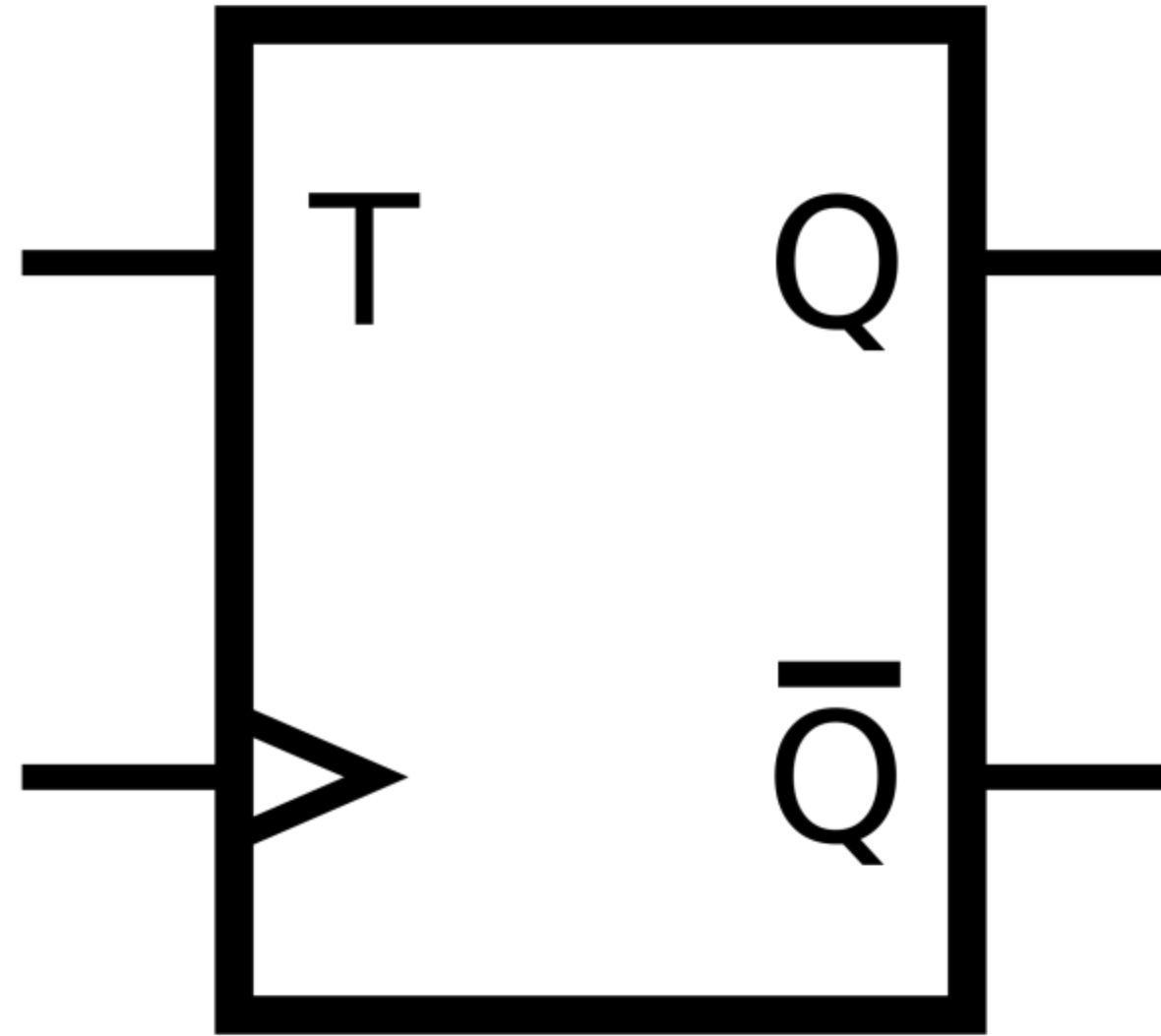
2. 제어 회로

다양한 상태를 표현하고 각 상태 간의 전이를 제어하는 데에 활용되어, 제어 회로(Control Circuit)를 만들 수 있다.

4. 디지털 신호 처리

디지털 신호 처리에서는 RS-Flipflop 이 입력 데이터의 처리와 제어 신호의 동기화에 사용되며, 복잡한 디지털 시스템에서는 RS-Flipflop 이 각종 제어와 상태 유지에 적용된다.

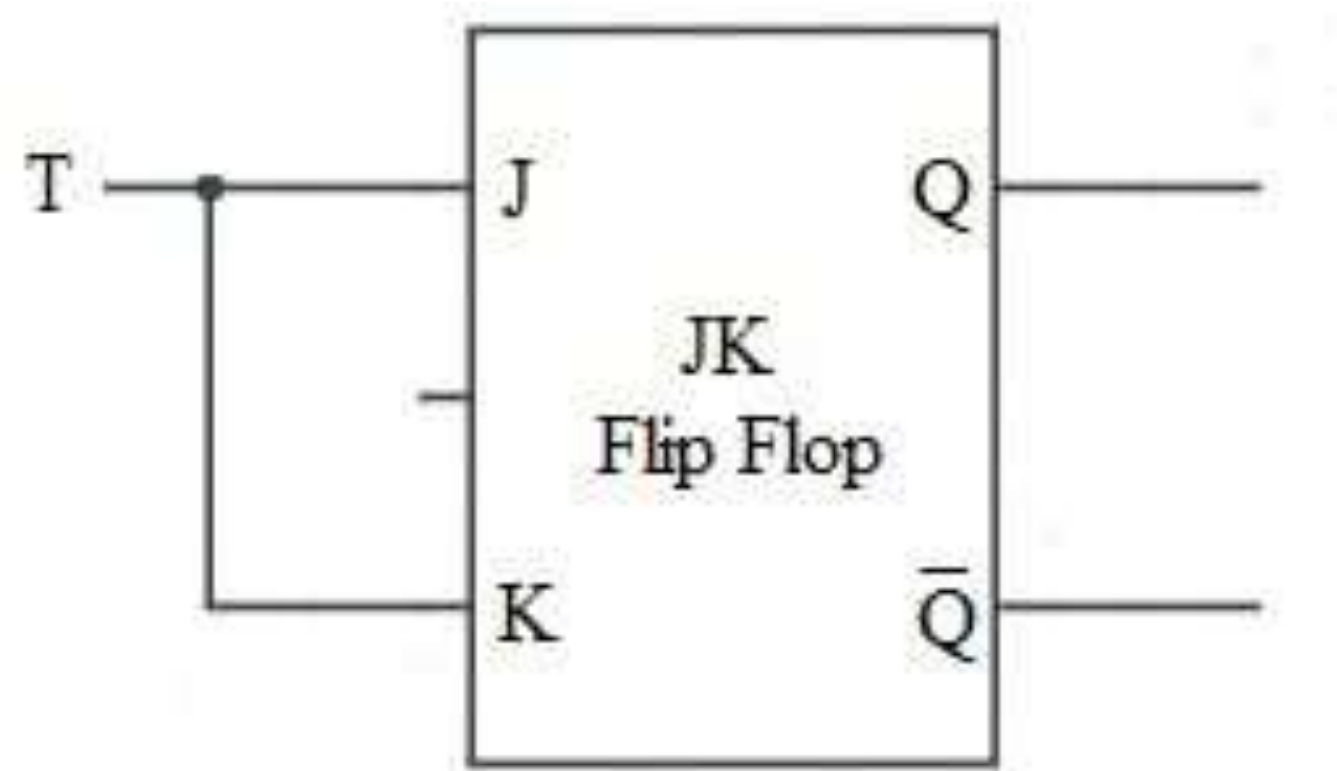
T Flip Flop



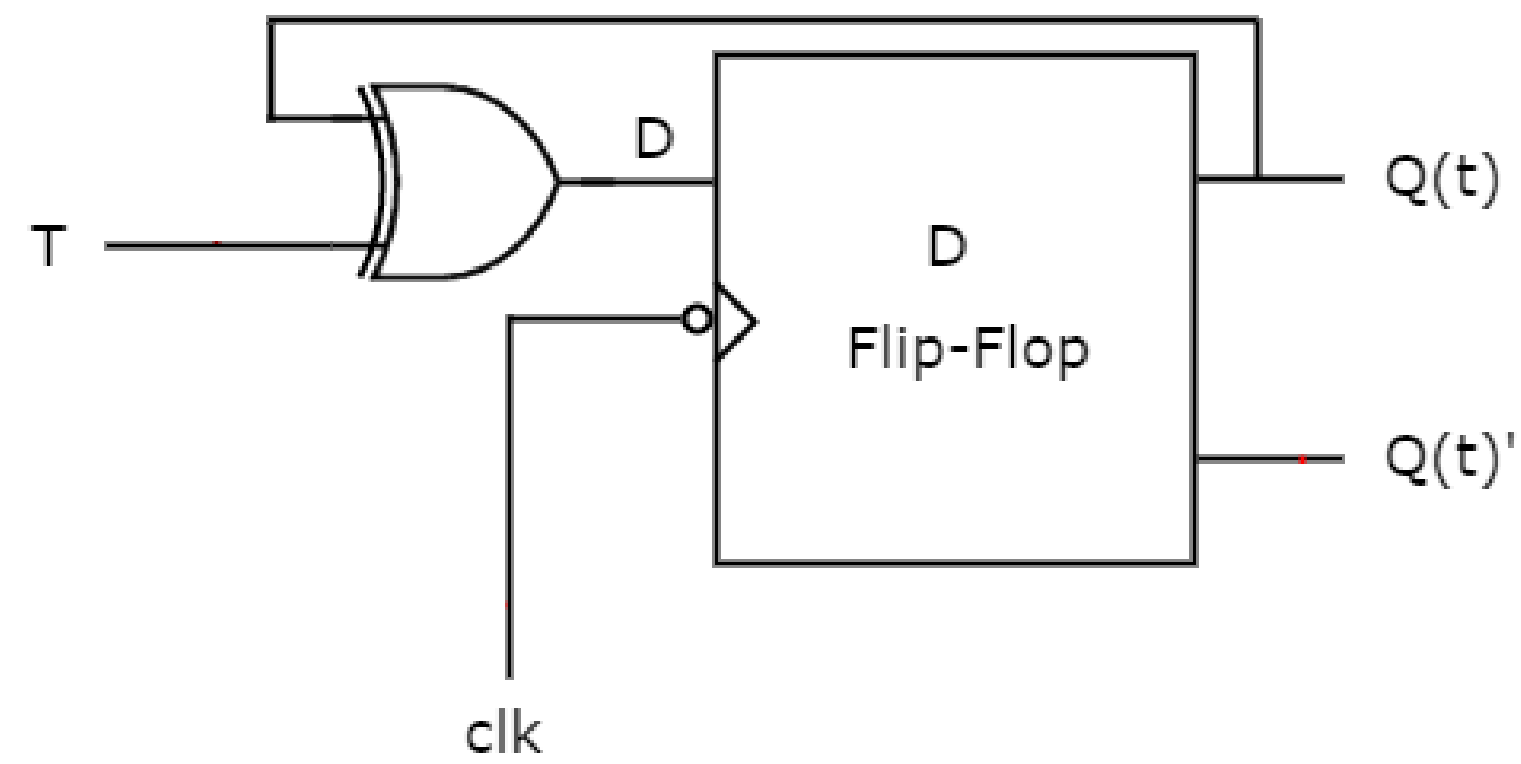
T-Flipflop Graphic Symbol

- T(toggle) 하나의 입력과 이전 상태의 전기신호에 따라 0과 1이 결정
- ‘-▷’기호는 CP, 즉 Clock Pulse의 약자로 회로와 컴퓨터의 동기화를 유지하기 위해 규칙적으로 발생하는 신호

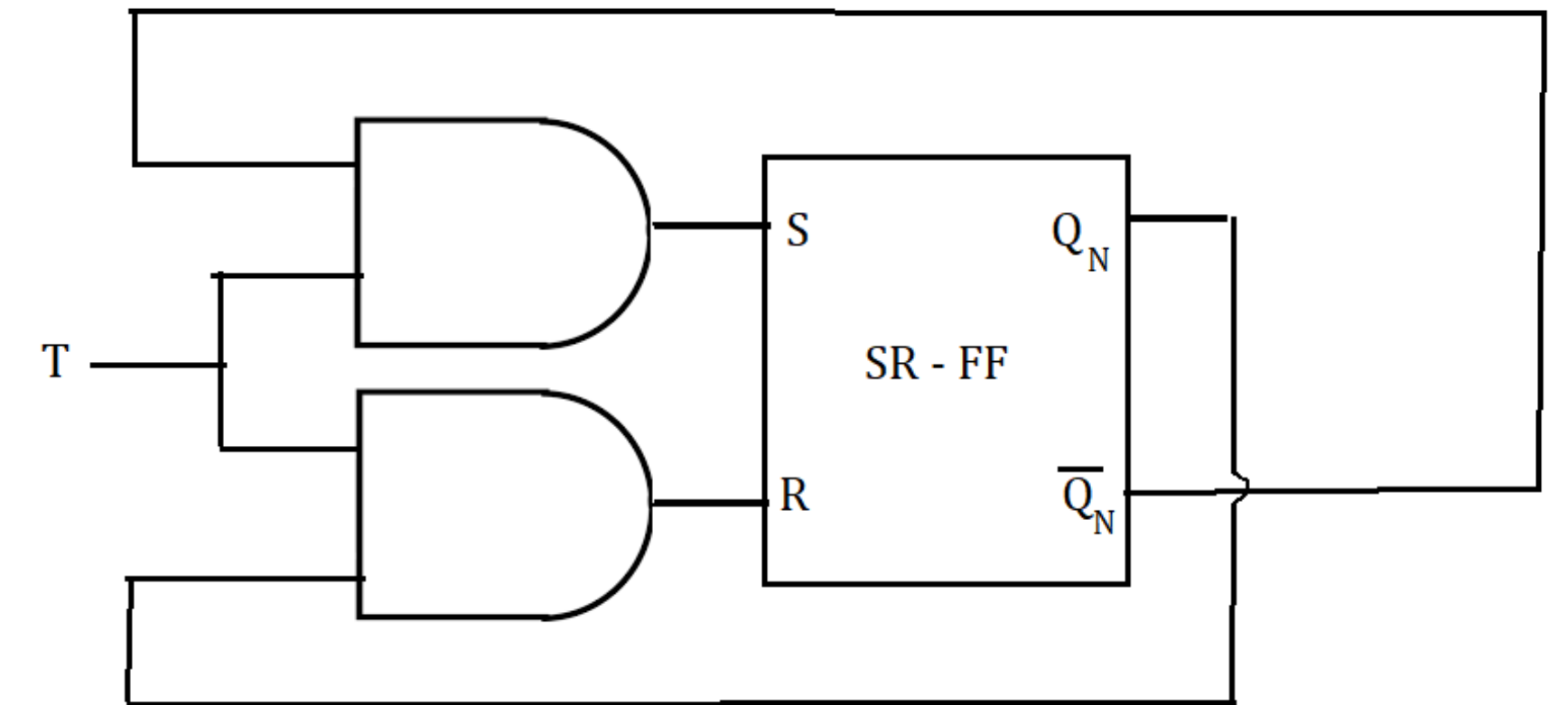
T Flip Flop 구현 종류



T-Flipflop using JK-flipflop



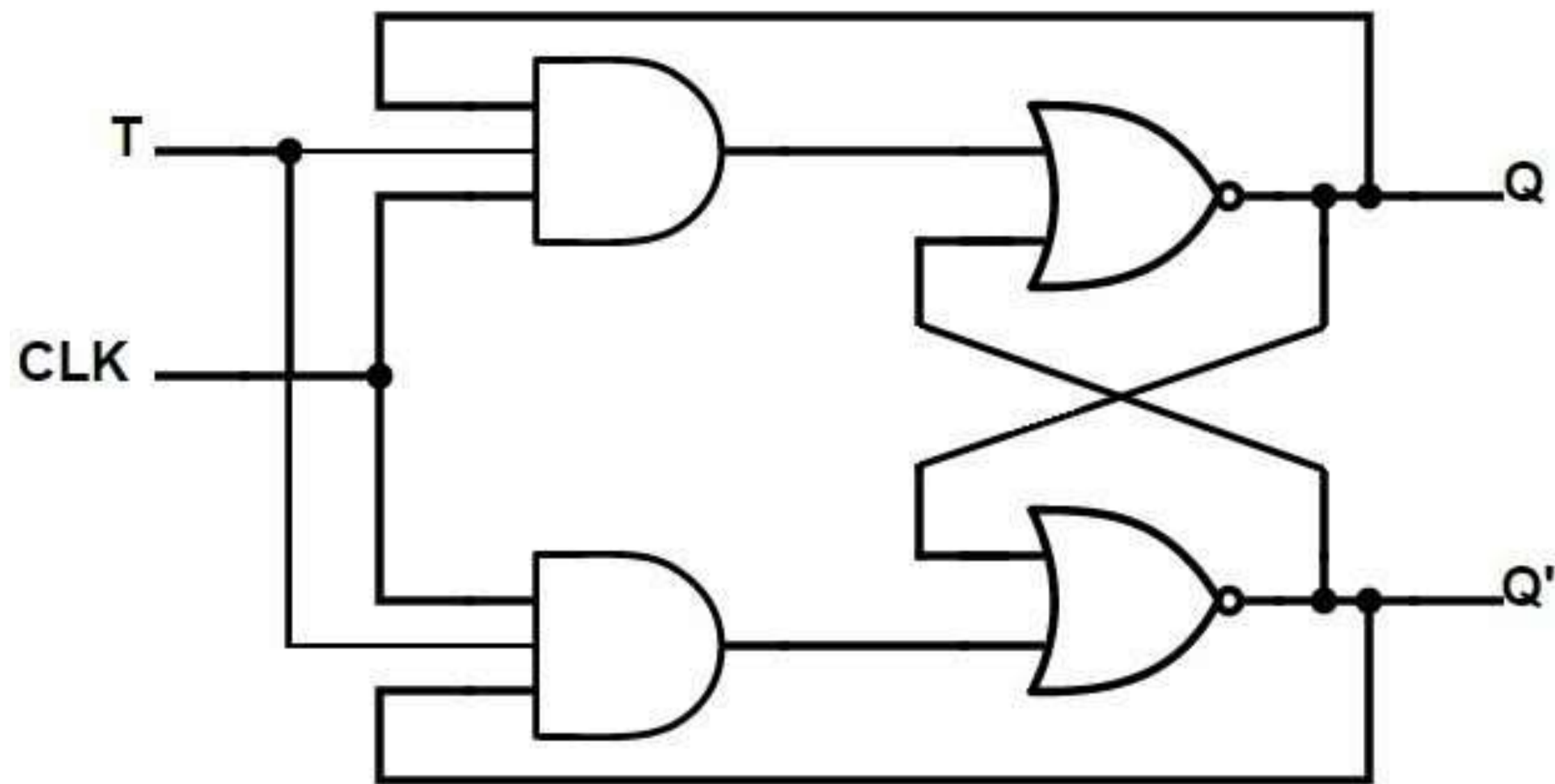
T-Flipflop using D-flipflop



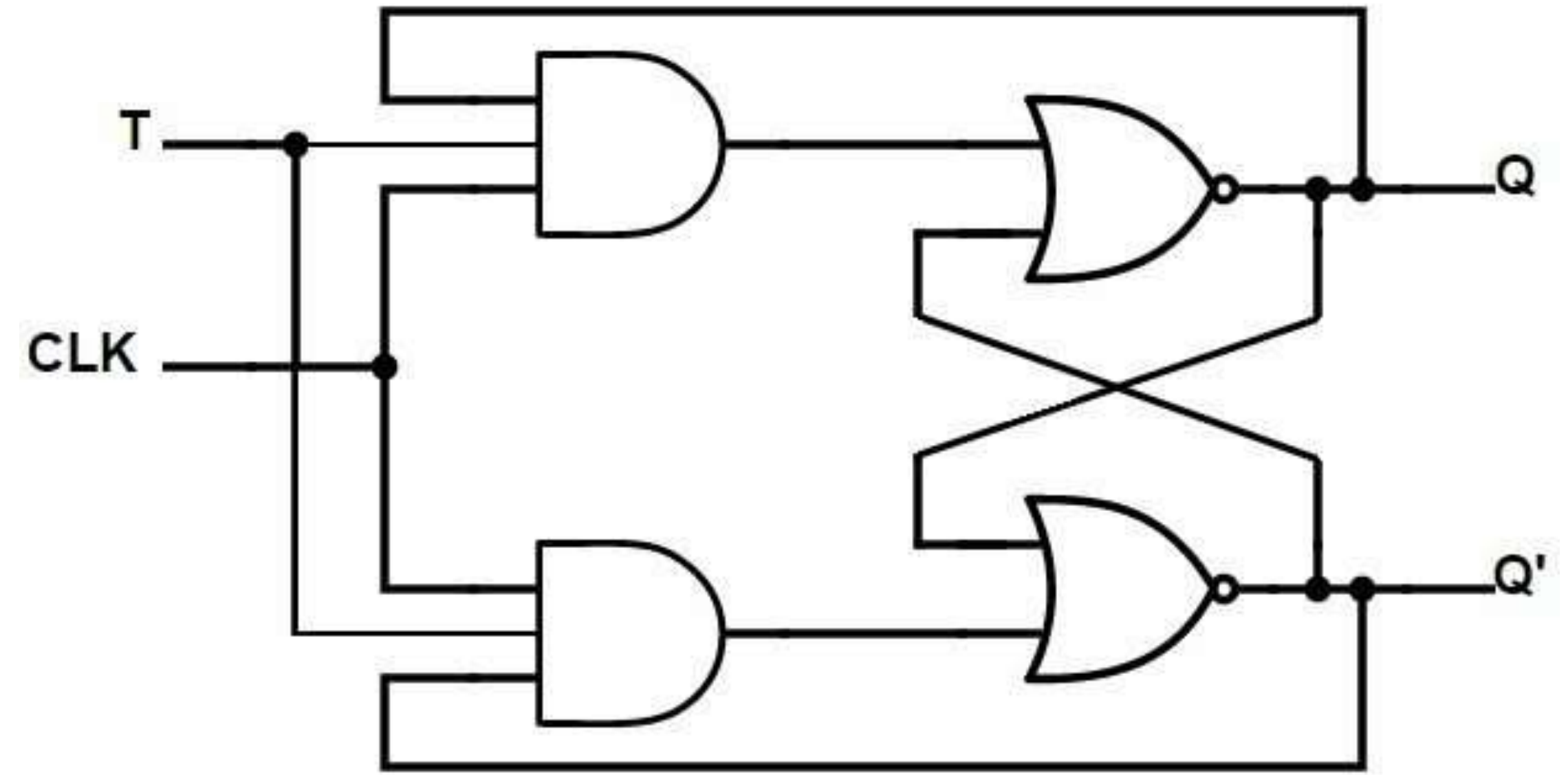
T-Flipflop using SR-flipflop

- T Flip Flop을 구현하는 방법은 여러가지가 있음

T Flip Flop의 동작원리



AND 게이트와 NOR 게이트를 사용한 T-Flipflop



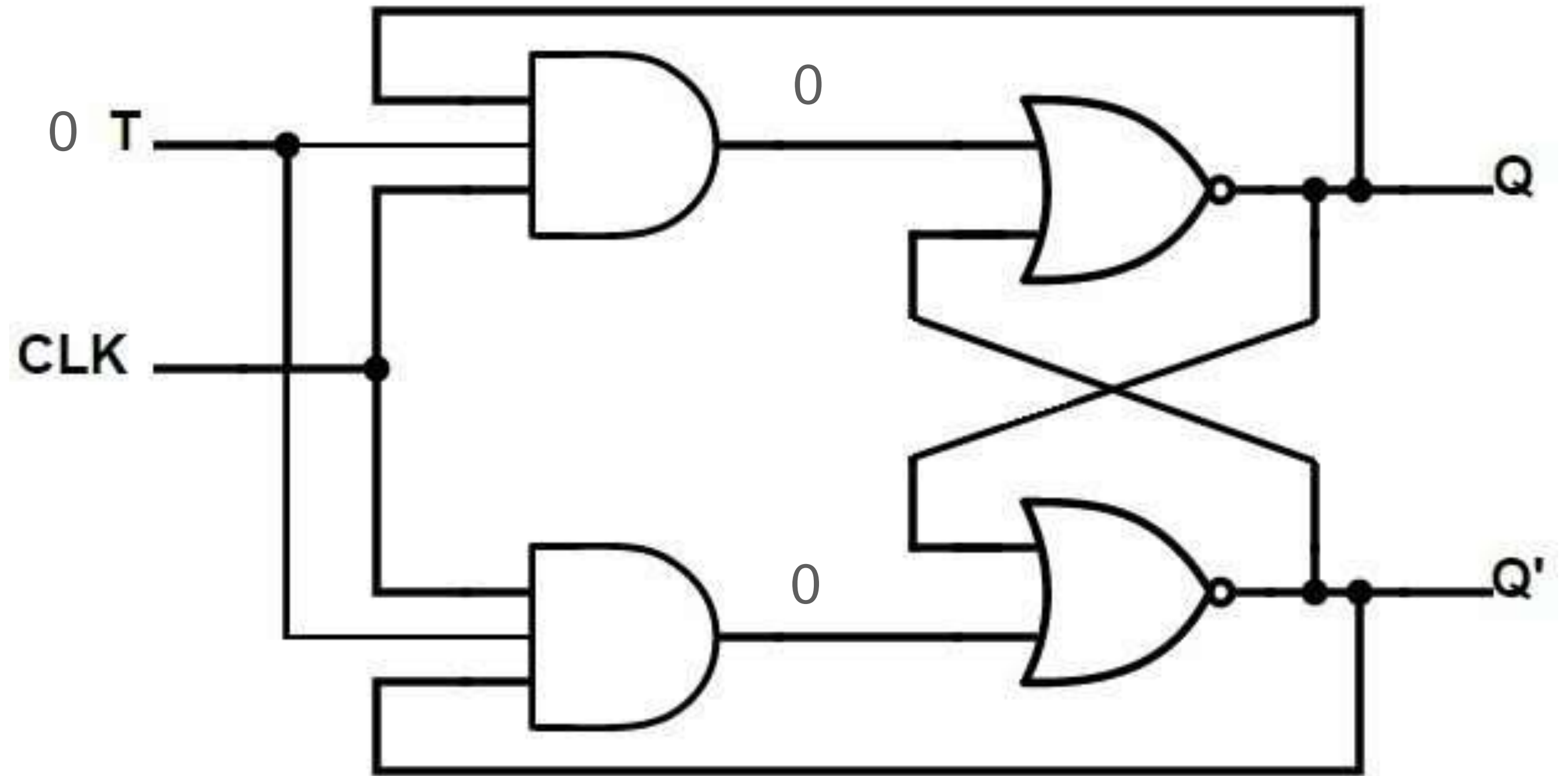
NAND게이트를 사용한 T-Flipflop

- CP가 0일 때는 T값이 변하더라도 출력은 그대로 유지, CP가 1로 변했을 때만 T값에 따라 출력이 변함
- T는 기본적으로 현재 상태를 전환하는 입력값으로, 1일 때는 0으로, 0일 때는 1로 전환

T Flip Flop의 예시

1. 만약 $T = 0$ 일 때

- Q값이 1인 경우
 - 앞에 있는 2개의 AND gate 모두 0을 출력
 - 다음 Q값은 1, 다음 Q'값은 0로 출력
-
- Q값이 0인 경우
 - 앞에 있는 2개의 AND gate 모두 0을 출력
 - 다음 Q값은 0, 다음 Q'값은 1로 출력



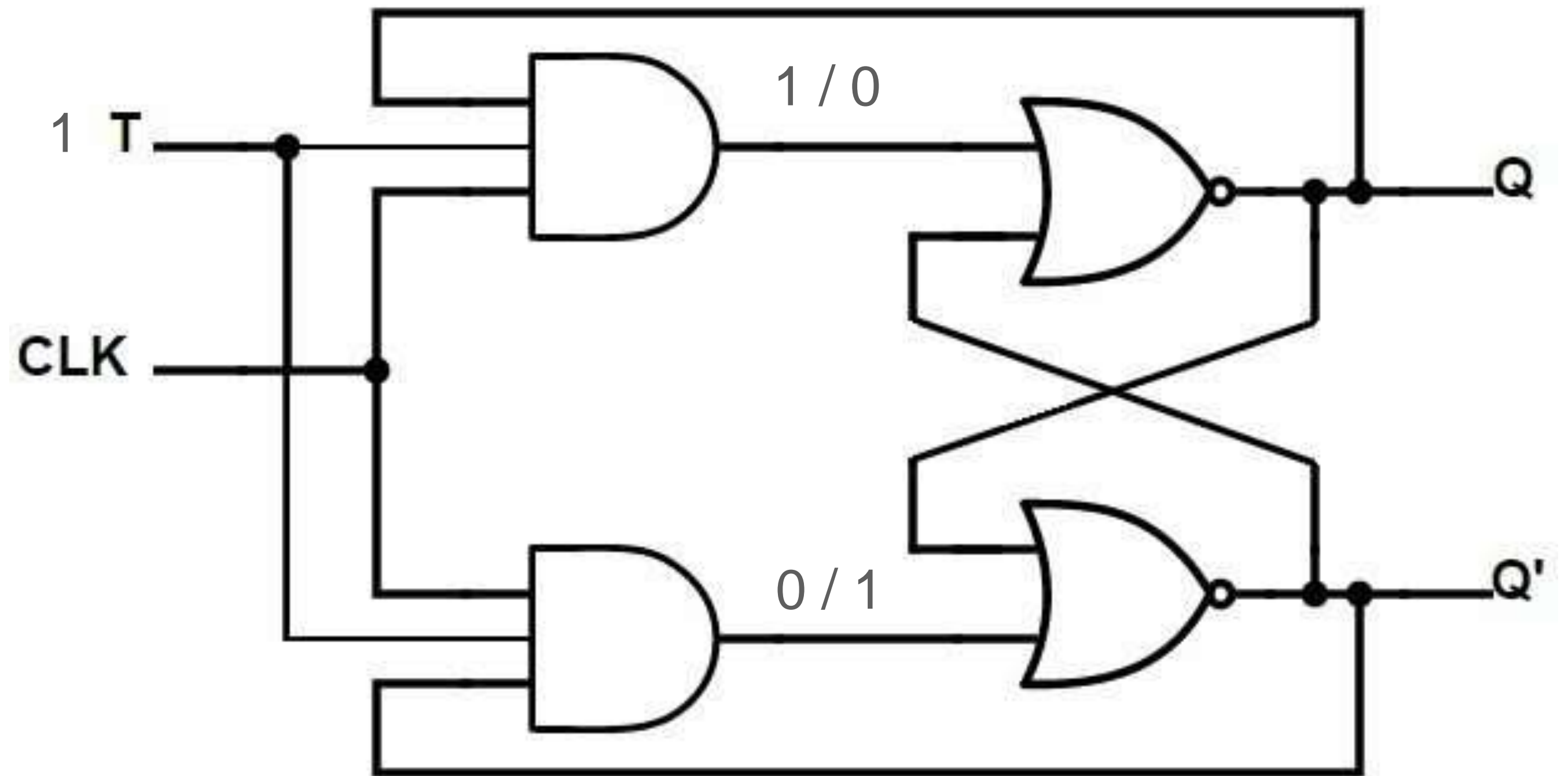
AND 게이트와 NOR 게이트를 사용한 T Flip Flop

T Flip Flop의 예시

2. 만약 $T = 1$ 일 때

- Q값이 1인 경우
- 앞에 있는 위쪽 AND gate는 1을,
앞에 있는 아래쪽 AND gate는 0을 출력
- 다음 Q값은 0, 다음 Q'값은 1로 출력

- Q값이 0인 경우
- 앞에 있는 위쪽 AND gate는 0을,
앞에 있는 아래쪽 AND gate는 1을 출력
- 다음 Q값은 1, 다음 Q'값은 0로 출력

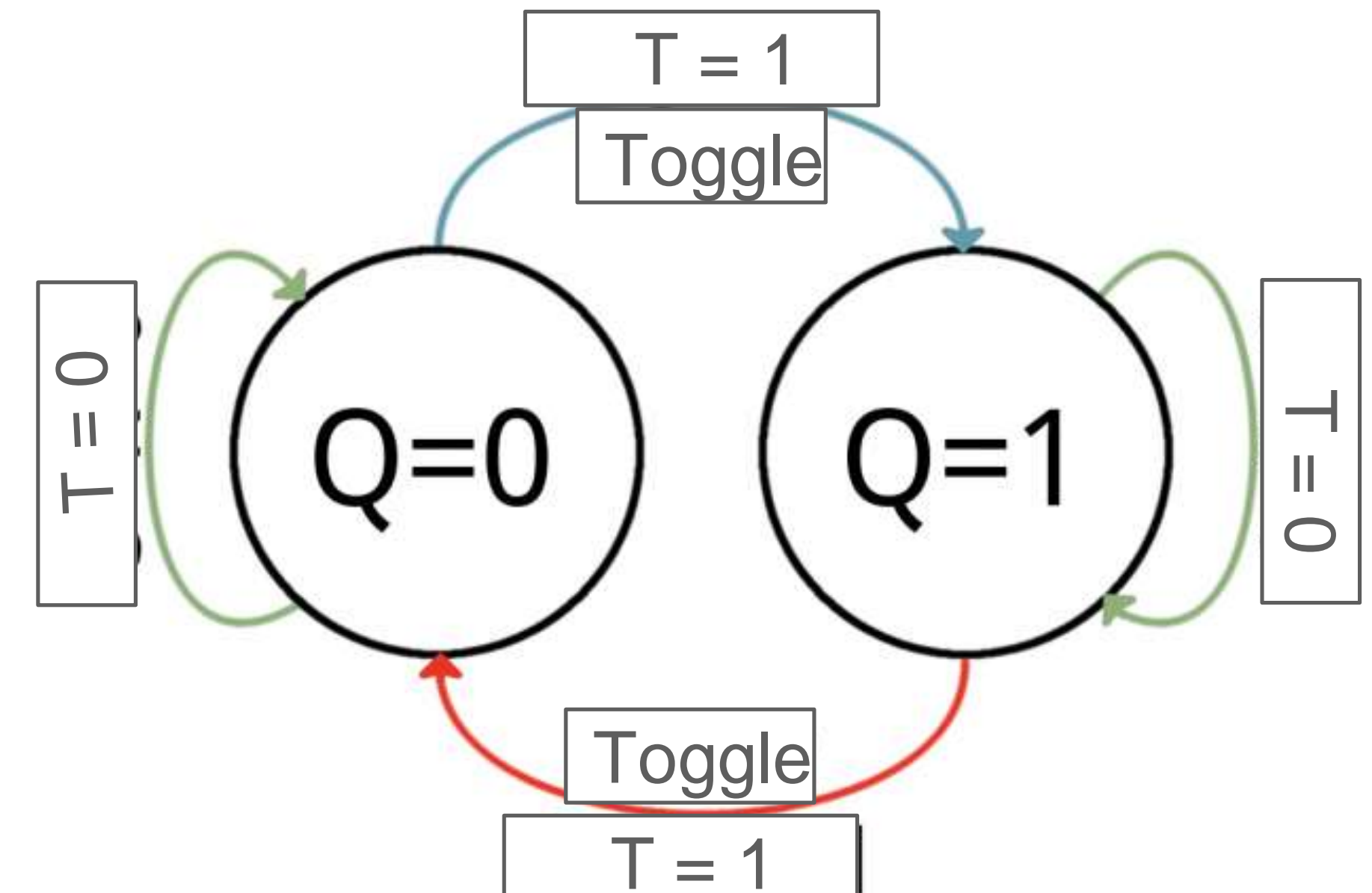


AND 게이트와 NOR 게이트를 사용한 T Flip Flop

T Flip Flop의 Truth table, State Diagram

Q_n	T	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

T Flip Flop Truth Table



T Flip Flop State Diagram

앞에서 설명한 예시들을 Truth Table로 나타내면 왼쪽 표와 같이 나타낼 수 있고,
State Diagram로 나타내면 오른쪽 그림과 같이 나타낼 수 있다.

T Flip Flop의 Characteristic / Excitation Table

Q_n	T	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Characteristic Table

Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

Excitation Table

Characteristic Table은 현재 상태와 입력값 T 가 주어졌을 때 다음 상태를 보여주는 표이며,

Excitation Table는 현재 상태에서 다음 상태로 변하기 위해 필요한 입력값 T 가 무엇인지 보여주는 표이다

T Flip Flop의 Characteristic Equation

Characteristic Equation은 현재 상태를 기준으로 Flipflop의 다음 상태를 알려주는 방정식이다.

T-Flipflop의 Characteristic Equation은 위의 K-map 그림을 통해 아래와 같은 식을 도출해 낼 수 있다.

Q_n	T	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

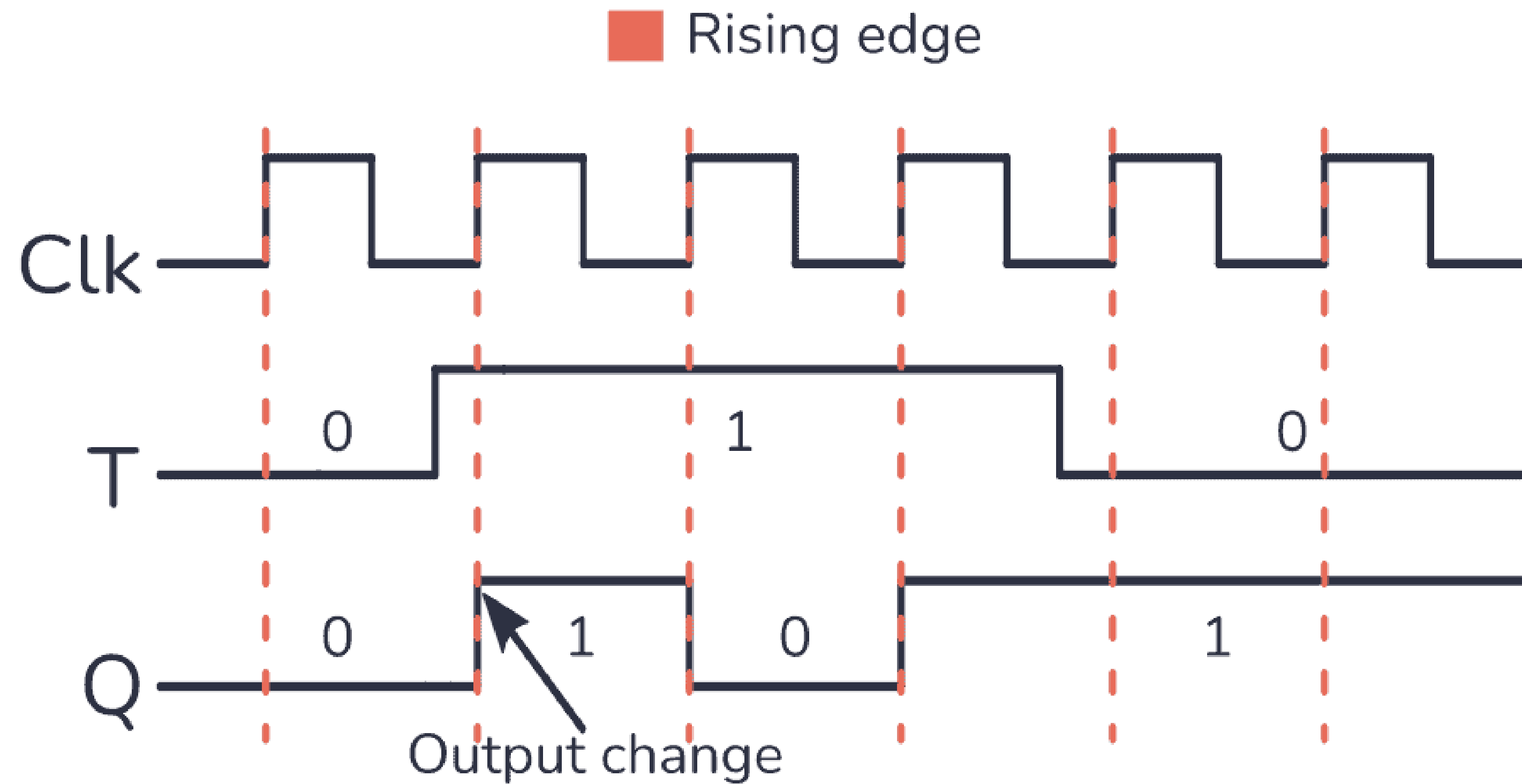
Characteristic Table

$Q(t)$		0	1
T	0		1
	1	1	

K-map

$$Q_{n+1} = T \cdot Q'_n + T' \cdot Q_n = T \oplus Q_n$$

T Flip Flop의 Timing Diagram



T-Flipflop의 Timing Diagram

T Flip Flop의 응용

1. 디지털 발진기(Digital Oscillator)

T-Flipflop 발진기(Oscillator) 회로에서 사용될 수 있으며, Flipflop의 T 입력이 주기적으로 변경되면, 발진기는 주기적인 출력 신호를 생성한다.

3. 펄스 발생기(Pulse Generator)

T-Flipflop은 펄스 발생기로 사용될 수 있다.
일정 주기로 펄스를 생성하여 다양한 제어 신호에 사용된다.

2. 주기적 신호 변조

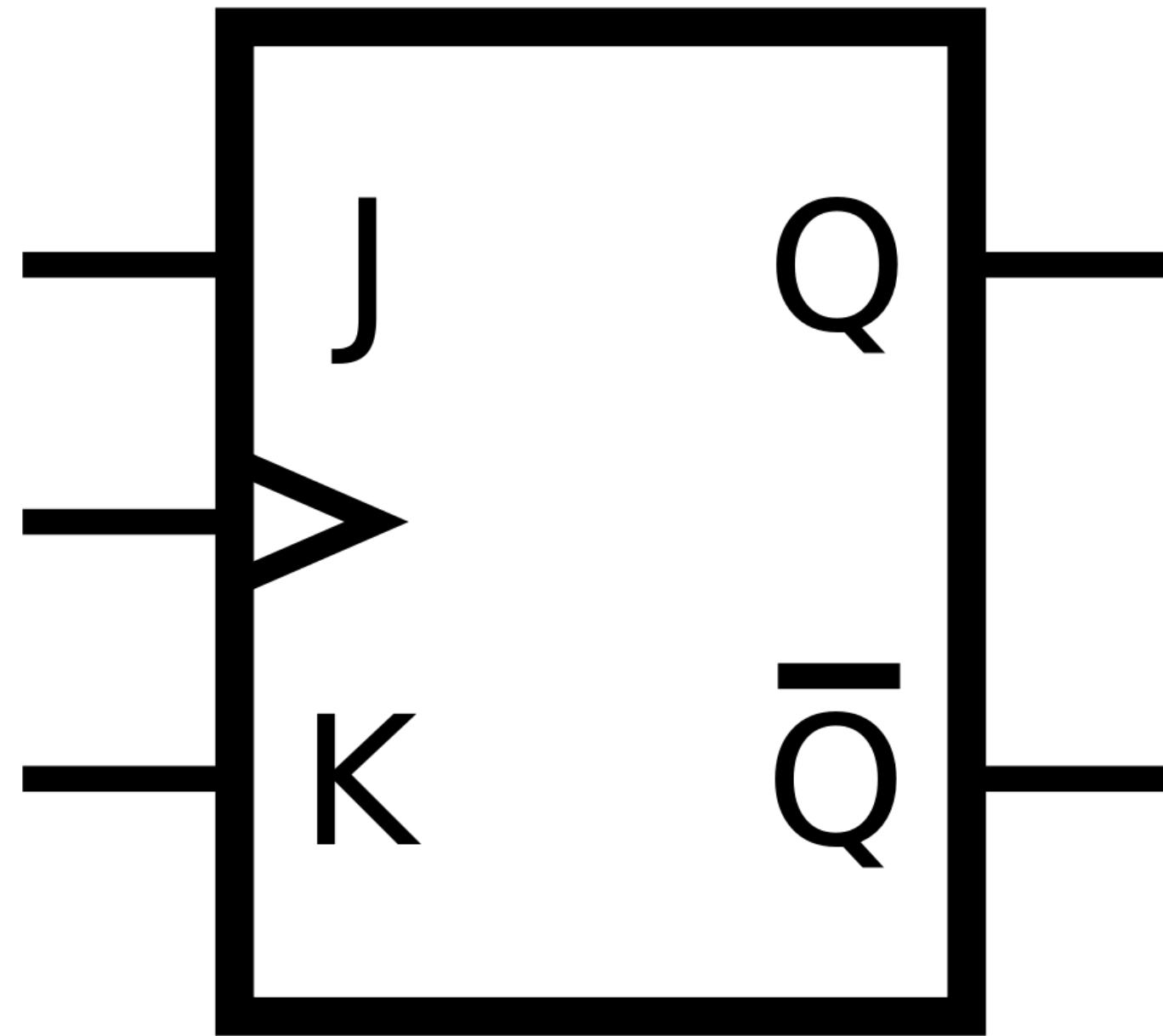
-Flipflop은 주기적으로 입력 신호를 반전시키는 특성을 이용하여, 다양한 주기적 신호 변조 회로에서 사용된다.

4. 카운터

T-Flipflop 은 이진 카운터(Binary Counter)에서 사용된다.

T-Flipflop 의 출력을 피드백하여 카운터를 증가시키는 데에 활용되어, 일정한 주기로 카운팅할 수 있다.

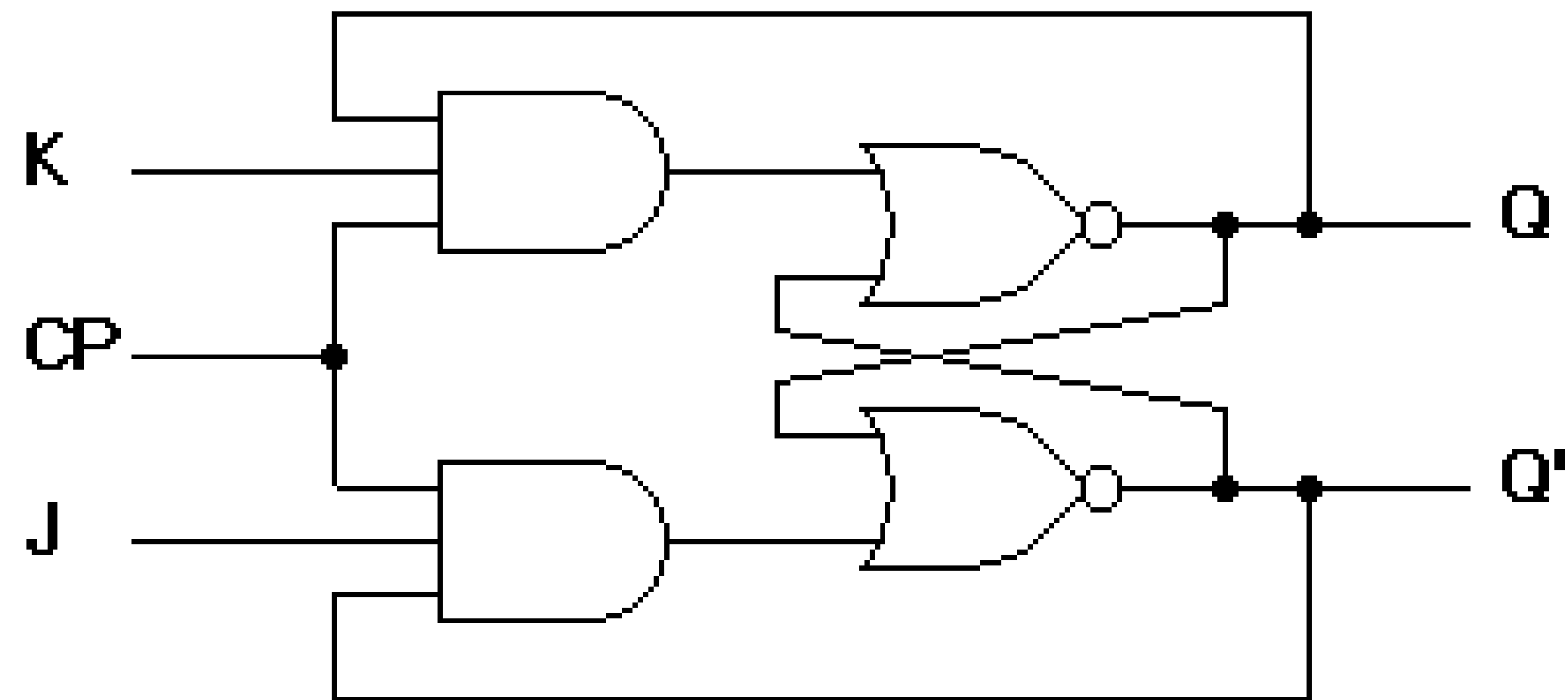
JK Flip Flop



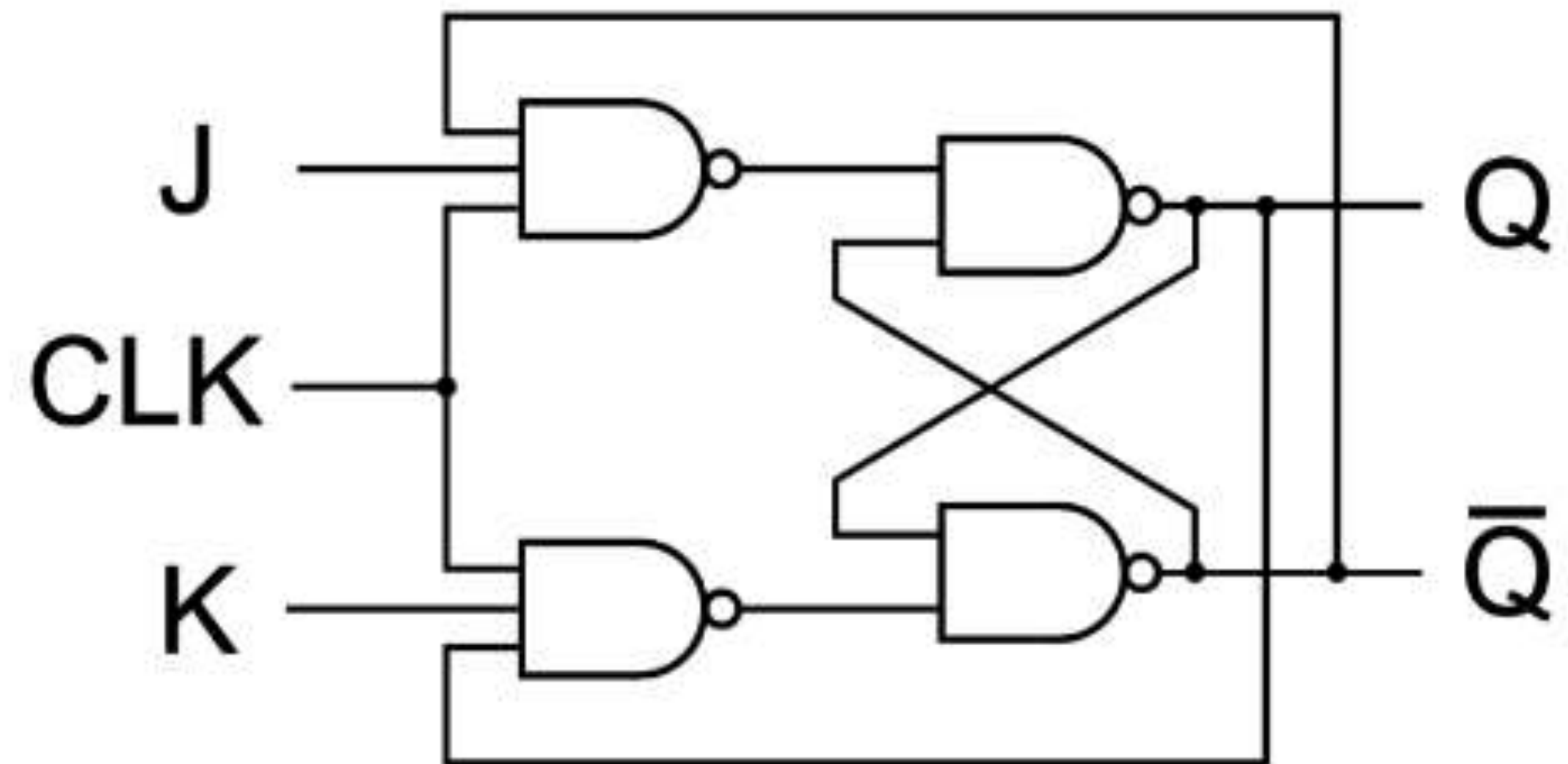
JK-Flipflop Graphic Symbol

- J(Set), K(Reset) 두 개의 입력과 이전 상태의 전기신호에 따라 0과 1이 결정
- 입력값 1, 1은 허용되지 않았던 RS Flip Flop의 단점 보완
- ‘-▷’기호는 CP, 즉 Clock Pulse의 약자로 회로와 컴퓨터의 동기화를 유지하기 위해 규칙적으로 발생하는 신호

JK Flip Flop의 동작원리



AND 게이트와 NOR 게이트를 사용한 JK-Flipflop



NAND게이트를 사용한 JK-Flipflop

- CP가 0일 때는 J와 K값이 변하더라도 출력은 그대로 유지, CP가 1일 때만 J,K 값에 따라 출력이 변함
- J(Set)은 기본적으로 출력을 1로 하는 flipflop으로 세팅하며, K(Reset)은 출력을 0으로 하는 flipflop으로 세팅

JK Flip Flop의 예시

1. 만약 $J = 0, K = 0$ 일 때

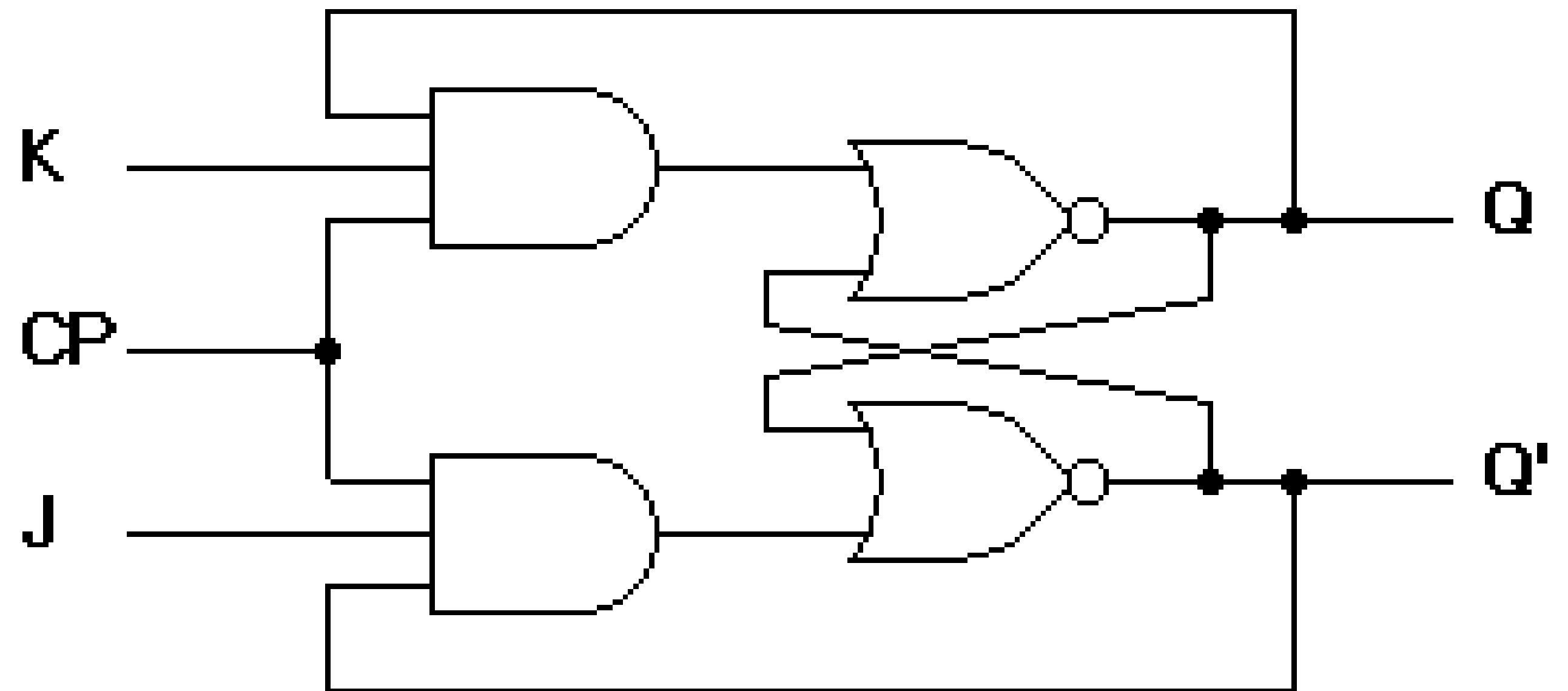
- 앞에 있는 2개의 AND gate 모두 0을 출력

- Q값이 1인 경우

다음 Q값은 1, 다음 Q'값은 0로 출력

- Q값이 0인 경우

다음 Q값은 0, 다음 Q'값은 1로 출력

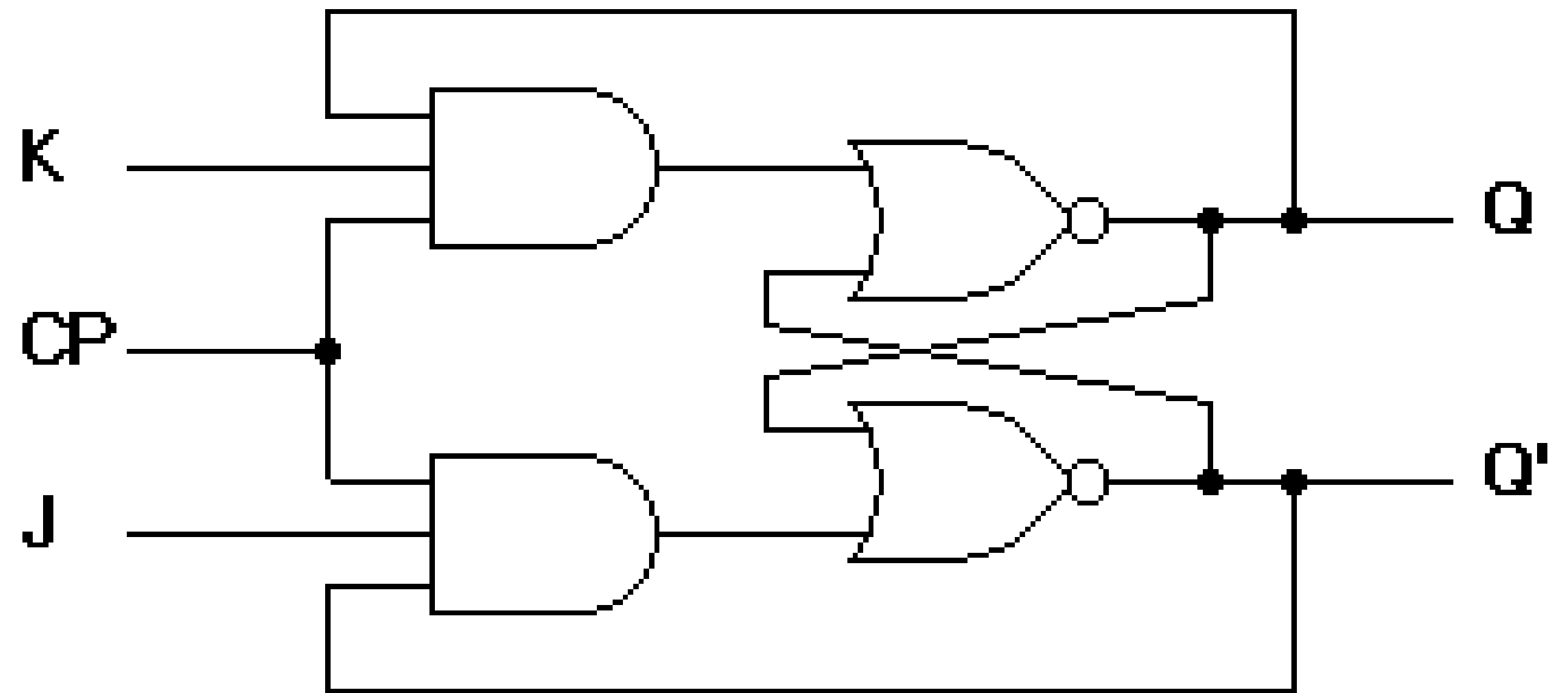


AND 게이트와 NOR게이트를 사용한 JK Flip Flop

JK Flip Flop의 예시

2. 만약 $J = 0, K = 1$ 일 때

- 앞에 있는 위쪽 AND gate는 Q출력
아래쪽에 있는 AND gate 0을 출력
- Q값이 1인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력
- Q값이 0인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력

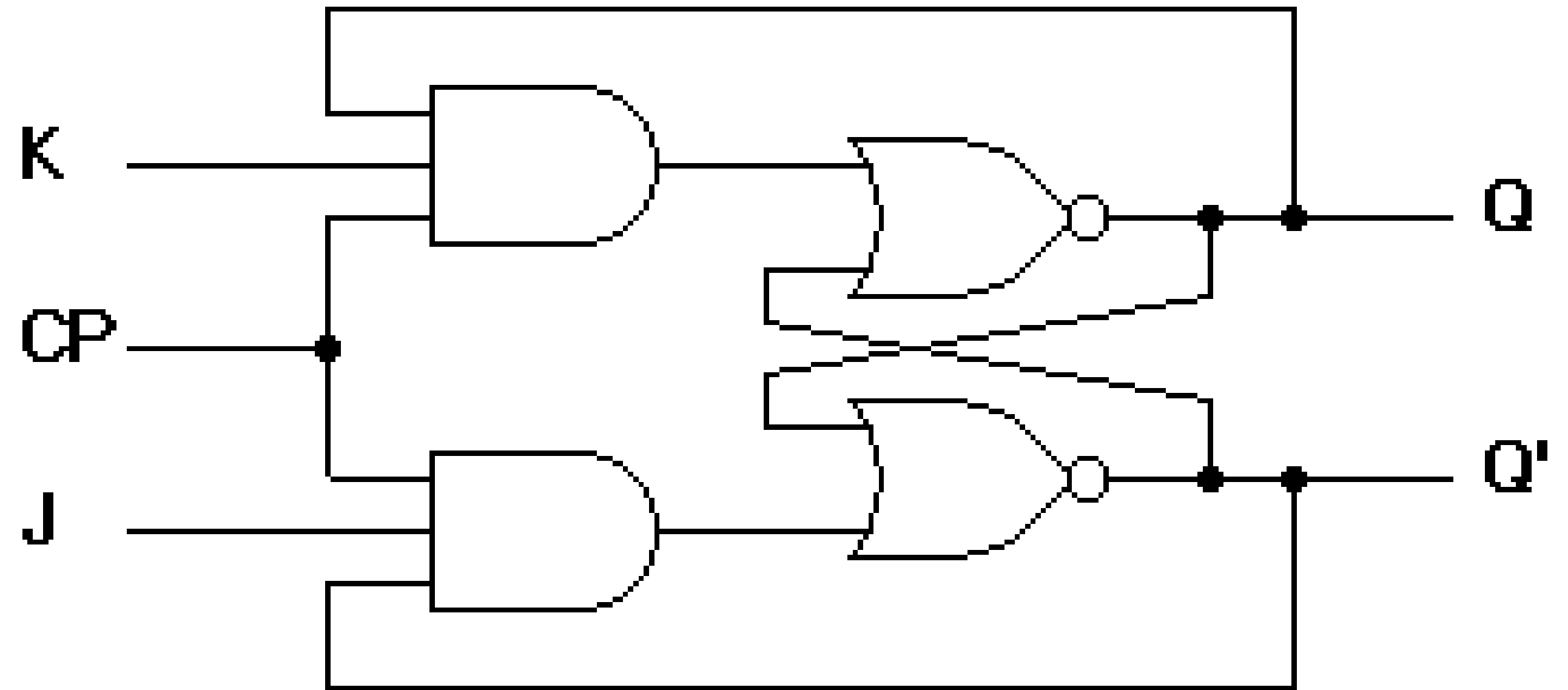


AND 게이트와 NOR게이트를 사용한 JK Flip Flop

JK Flip Flop의 예시

3. 만약 $J = 1, K = 0$ 일 때

- 앞에 있는 위쪽 AND gate는 0출력
아래쪽에 있는 AND gate Q'을 출력
- Q값이 1인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력
- Q값이 0인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력

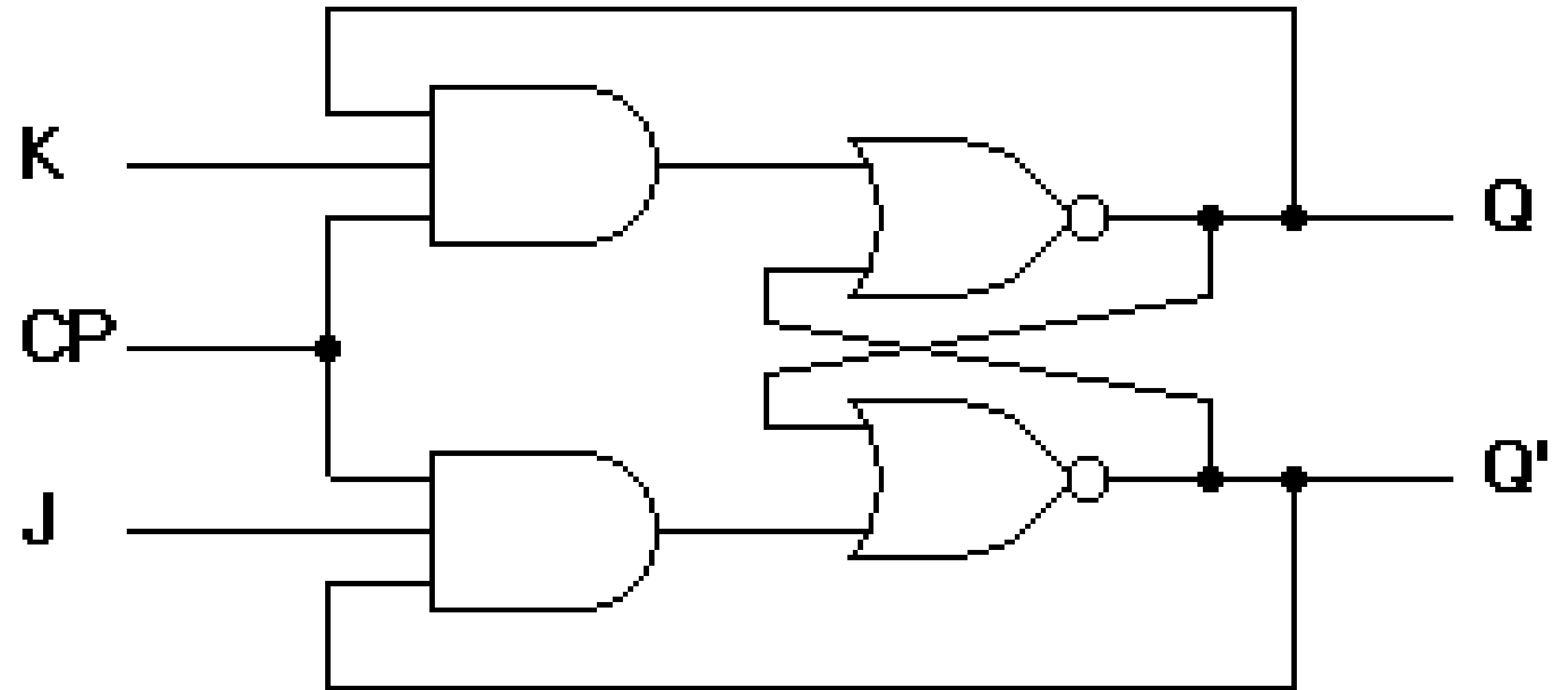


AND 게이트와 NOR게이트를 사용한 JK Flip Flop

JK Flip Flop의 예시

4. 만약 $J = 1, K = 1$ 일 때

- 앞에 있는 위쪽 AND gate는 Q출력
아래쪽에 있는 AND gate Q'을 출력
- Q값이 1인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력
- Q값이 0인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력

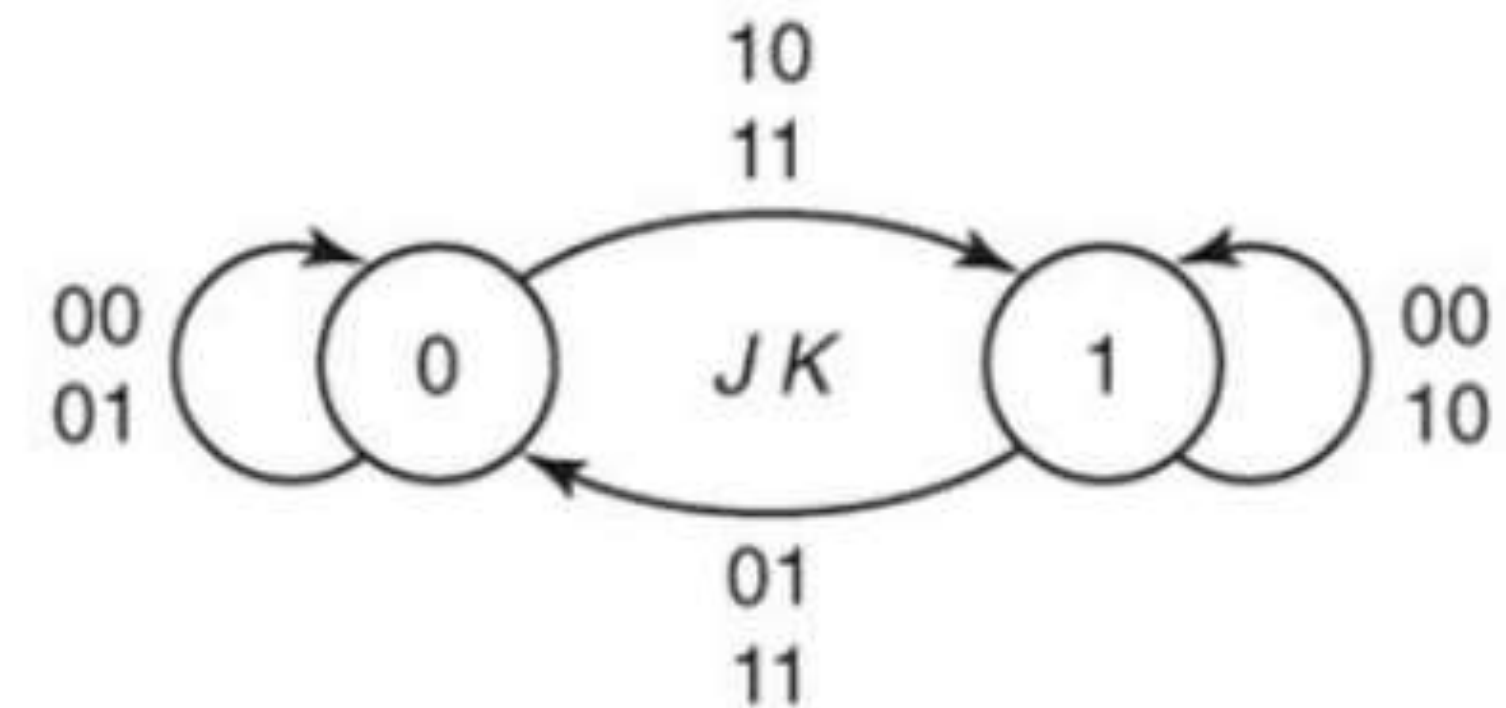


AND 게이트와 NOR게이트를 사용한 JK Flip Flop

JK Flip Flop의 Truth table, State Diagram

E	J	K	Q_{n+1}	\bar{Q}_{n+1}
1	0	0	Q_n	Q_n
1	0	1	0	1
1	1	0	1	0
1	1	1	\bar{Q}_n	Q_{n+1}

JK Flip Flop Truth Table



JK Flip Flop State Diagram

앞에서 설명한 예시들을 Truth Table로 나타내면 왼쪽 표와 같이 나타낼 수 있고,
State Diagram로 나타내면 오른쪽 그림과 같이 나타낼 수 있다.

JK Flip Flop Characteristic / Excitation Table

Q_n	J	K	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Characteristic Table

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Excitation Table

Characteristic Table은 현재 상태와 입력값 J,K이 주어졌을 때 다음 상태를 보여주는 표이며,

Excitation Table는 현재 상태에서 다음 상태로 변하기 위해 필요한 입력값 J,K이 무엇인지 보여주는 표이다.

JK Flip Flop의 Characteristic Equation

Q_n	J	K	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Characteristic Table

Characteristic Equation은 현재 상태를 기준으로 Flipflop의 다음 상태를 알려주는 방정식이다.

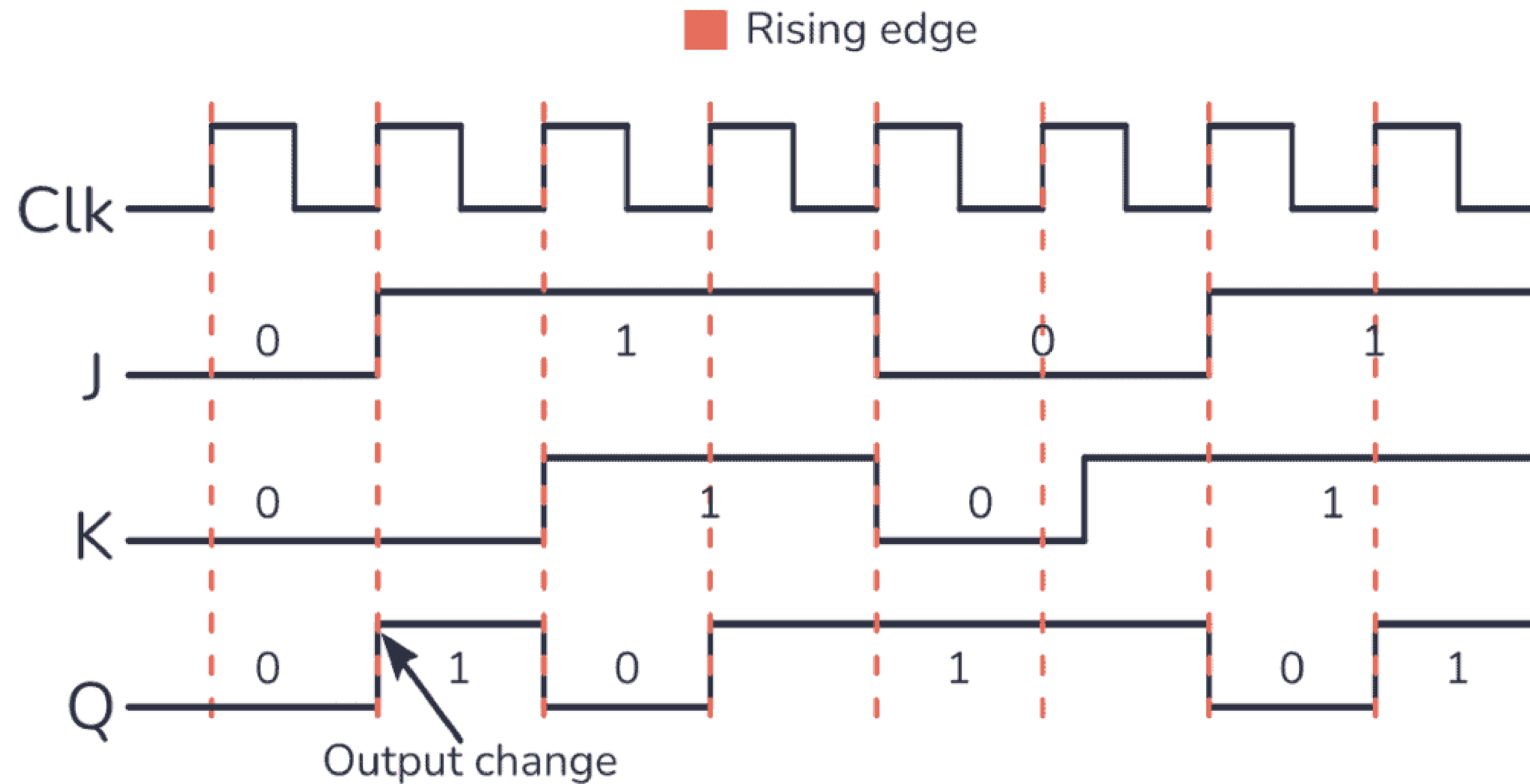
JK-Flipflop의 Characteristic Equation은 위의 K-map 그림을 통해 아래와 같은 식을 도출해 낼 수 있다.

$$Q_{n+1} = J \cdot Q'_n + Q_n \cdot K'$$

		KQ_n			
		$K'Q_n'$ 00	$K'Q_n$ 01	KQ_n 11	KQ_n' 10
J	J' 0		1		
		0	1	3	2
J 1		1	1		1
		4	5	7	6

K-map

JK Flip Flop의 Timing Diagram



JK-Flipflop의 Timing Diagram

JK Flip Flop의 응용

1. Counter

여러 개의 JK Flip Flop을 연결하여 특정 event나 process가 몇 번 일어났는지 저장하는 장치를 만들 수 있다.

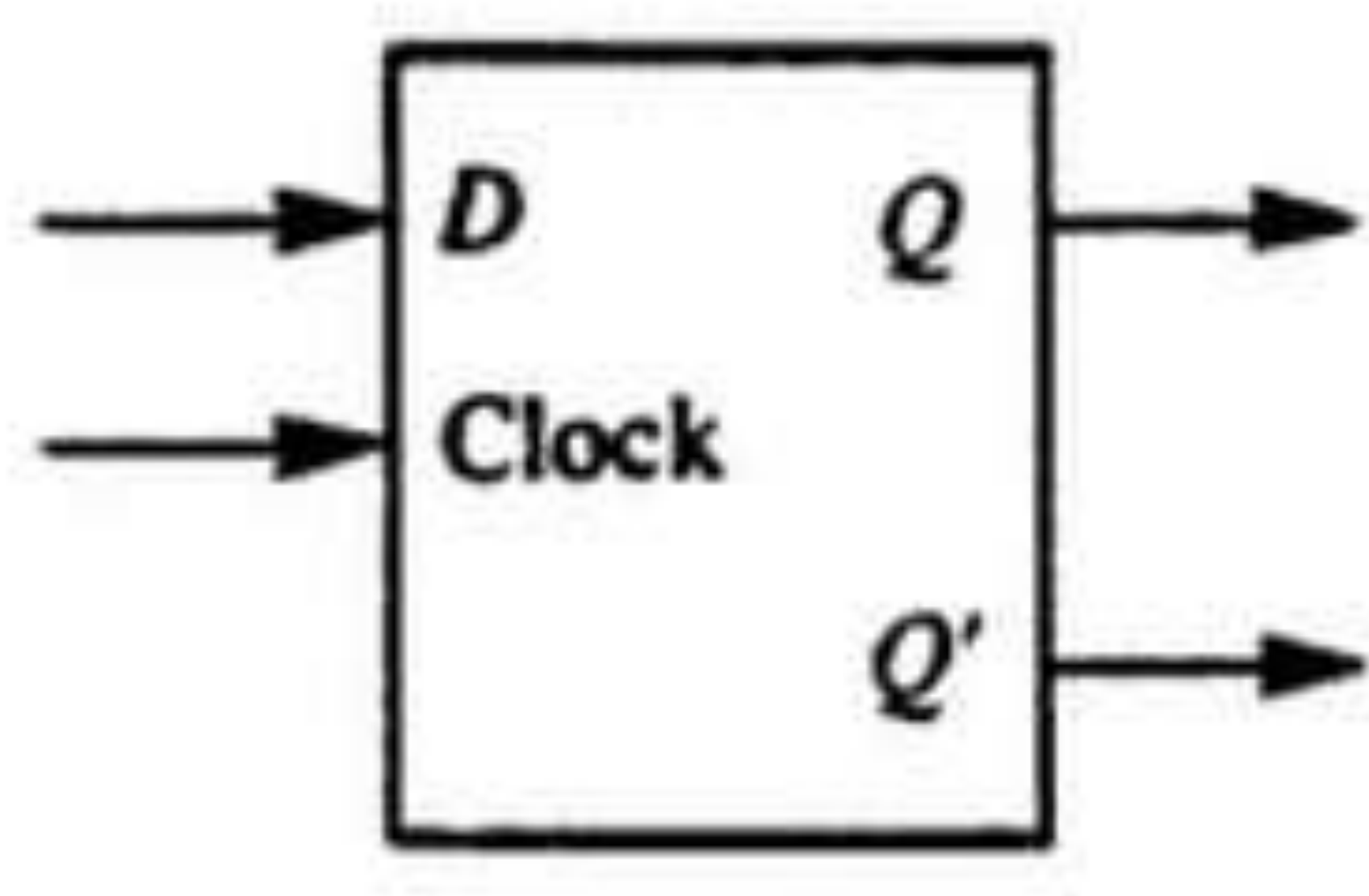
2. Shift Register

Flip Flop 중 하나의 출력이 다른 Flip Flop의 입력이 되는 방식으로 연결해 데이터를 한 번에 1bit 이동시키는 shift register를 만들 수 있다.

3. Memory Units

JK Flip Flop은 이진 정보를 저장하는 Memory Unit의 역할을 한다. JK Flip Flop의 sequential chain을 만들어 RAM처럼 만들 수 있다.

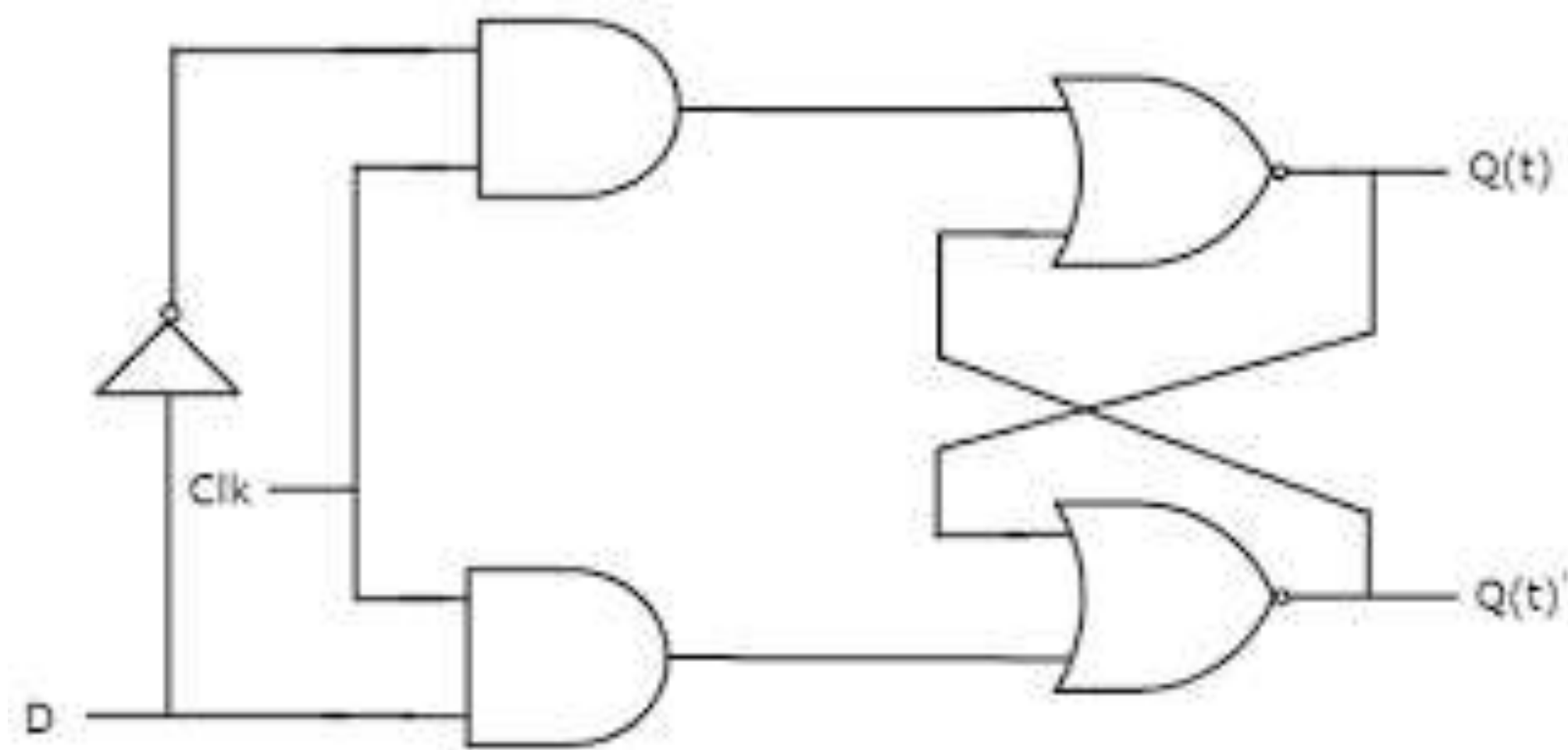
D Flip Flop



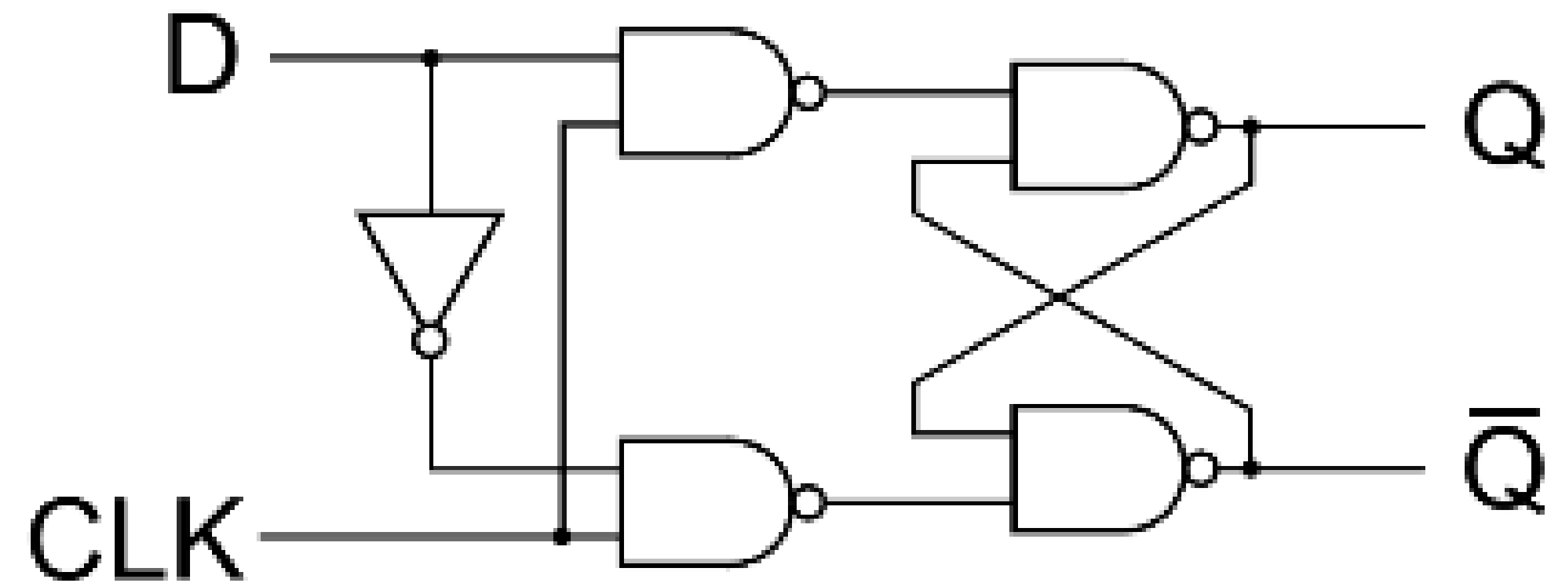
D-Flipflop Graphic Symbol

- D(data) 한 개의 입력에 따라 0과 1이 결정
- ‘-▷’기호는 CP, 즉 Clock Pulse의 약자로 회로와 컴퓨터의 동기화를 유지하기 위해 규칙적으로 발생하는 신호

D Flip Flop의 동작원리



AND 게이트와 NOR 게이트를 사용한 D-Flipflop



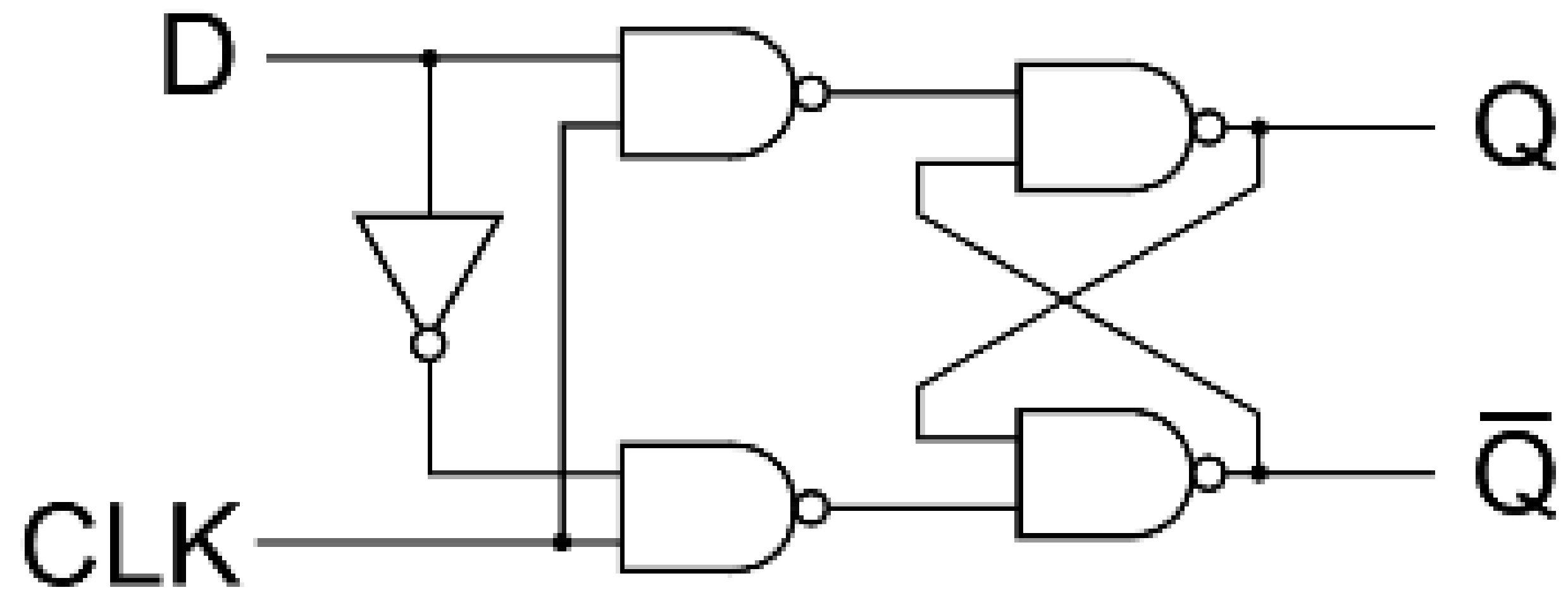
NAND게이트를 사용한 D-Flipflop

- CP가 0일 때는 D값이 변하더라도 출력은 그대로 유지, CP가 1일 때만 D 값에 따라 출력이 변함

D Flip Flop의 예시

1. 만약 $D=0$ 일 때

- 앞에 있는 위쪽 NAND gate는 1 출력
아래쪽에 있는 NAND gate 0을 출력
- Q값이 1인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력
- Q값이 0인 경우
다음 Q값은 0, 다음 Q'값은 1로 출력

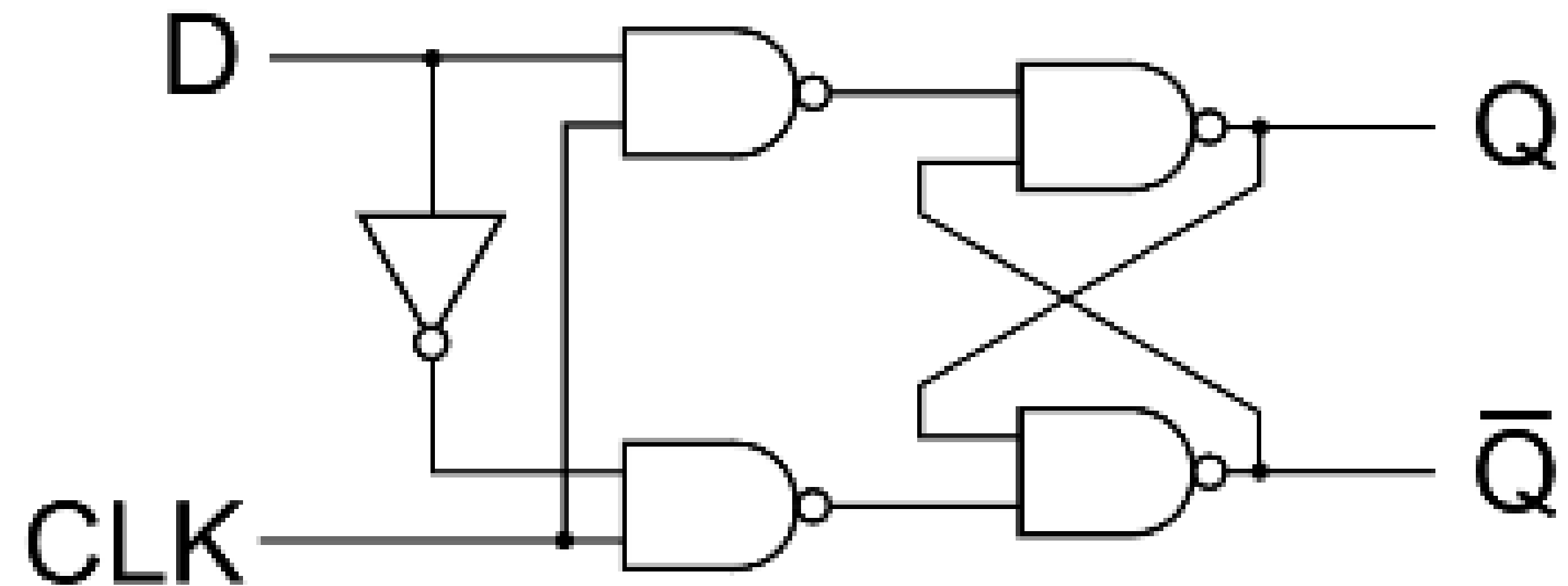


NAND 게이트와 NOT 게이트를 사용한 D Flip Flop

D Flip Flop의 예시

2. 만약 $D=1$ 일 때

- 앞에 있는 위쪽 NAND gate는 0 출력
아래쪽에 있는 NAND gate 1을 출력
- Q값이 1인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력
- Q값이 0인 경우
다음 Q값은 1, 다음 Q'값은 0로 출력

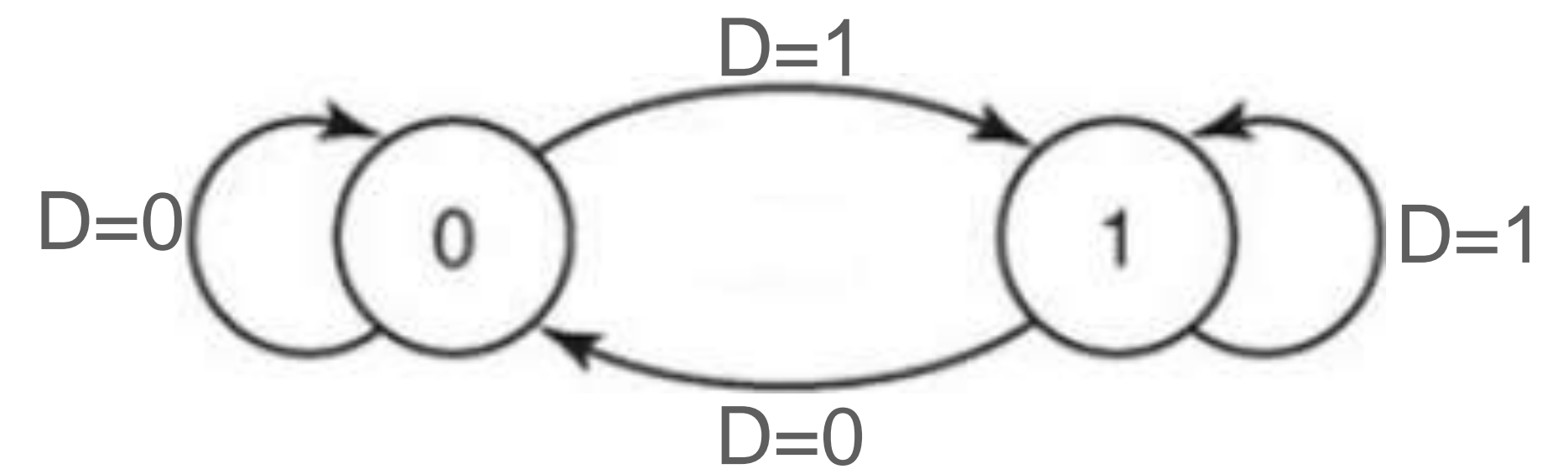


NAND 게이트와 NOT 게이트를 사용한 D Flip Flop

D Flip Flop의 Truth table, State Diagram

<i>CLK</i>	<i>Input D</i>	<i>Output Q_{n+1}</i>
1	0	0
1	1	1
0	X	No Change

D Flip Flop Truth Table



D Flip Flop State Diagram

앞에서 설명한 예시들을 Truth Table로 나타내면 왼쪽 표와 같이 나타낼 수 있고,
State Diagram로 나타내면 오른쪽 그림과 같이 나타낼 수 있다.

D Flip Flop Characteristic / Excitation Table

Q_n	D	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Characteristic Table

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Excitation Table

Characteristic Table은 현재 상태와 입력값 D 가 주어졌을 때 다음 상태를 보여주는 표이며,

Excitation Table는 현재 상태에서 다음 상태로 변하기 위해 필요한 입력값 D 가 무엇인지 보여주는 표이다.

D Flip Flop의 Characteristic Equation

Characteristic Equation은 현재 상태를 기준으로 Flipflop의 다음 상태를 알려주는 방정식이다.

Q_n	D	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Characteristic Table

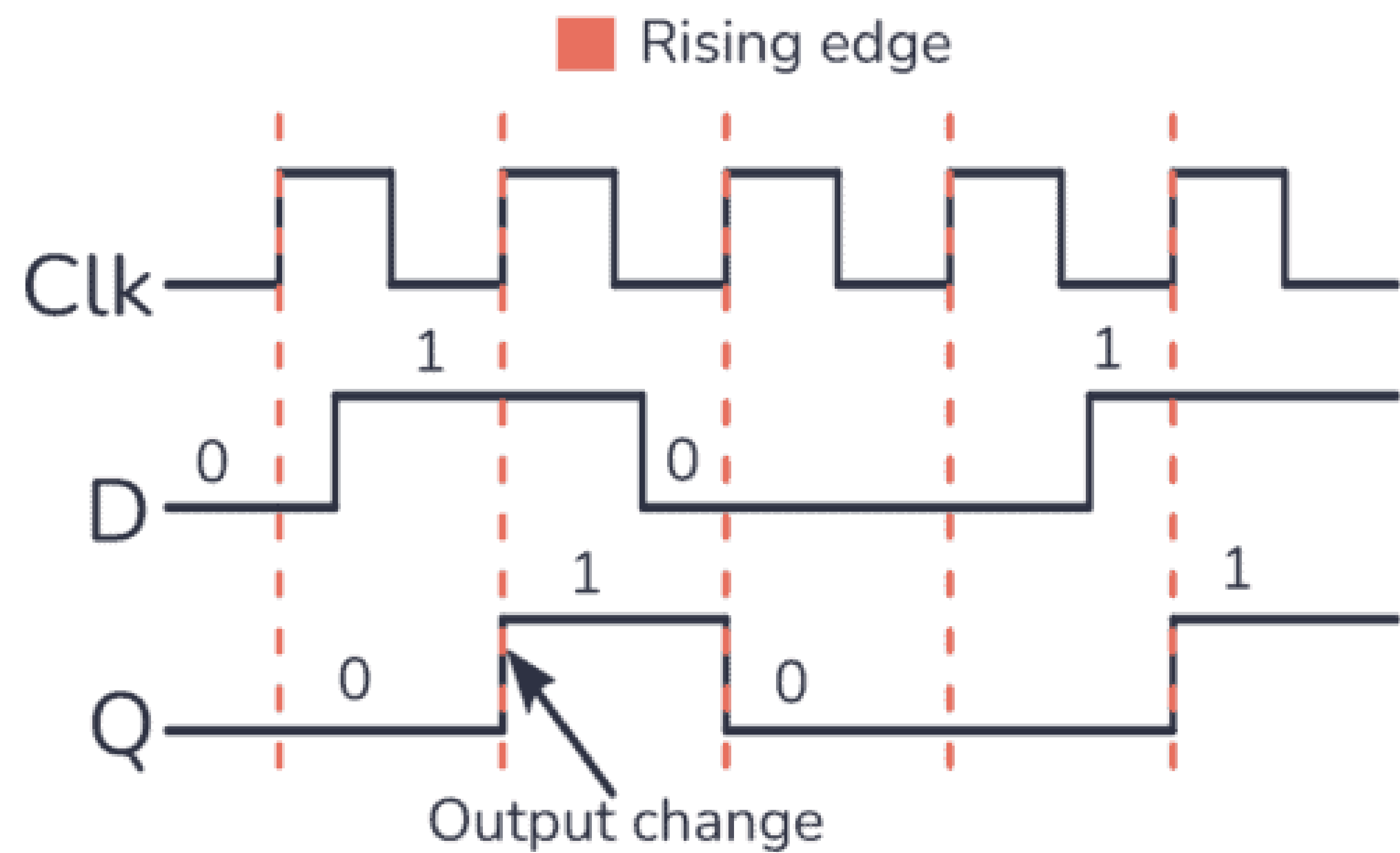
D-Flipflop의 Characteristic Equation은 위의 K-map 그림을 통해 아래와 같은 식을 도출해 낼 수 있다.

$D \backslash Q_n$	Q_n' 0	Q_n 1
D' 0		
D 1	1	1

$$Q_{n+1} = D$$

K-map

D Flip Flop의 Timing Diagram



D-Flipflop의 Timing Diagram

D Flip Flop의 응용

1. Counter

다른 디지털 논리 게이트와 함께 사용해 설계에 따라 count up, count down할 수 있는 이진 카운터를 생성할 수 있다.

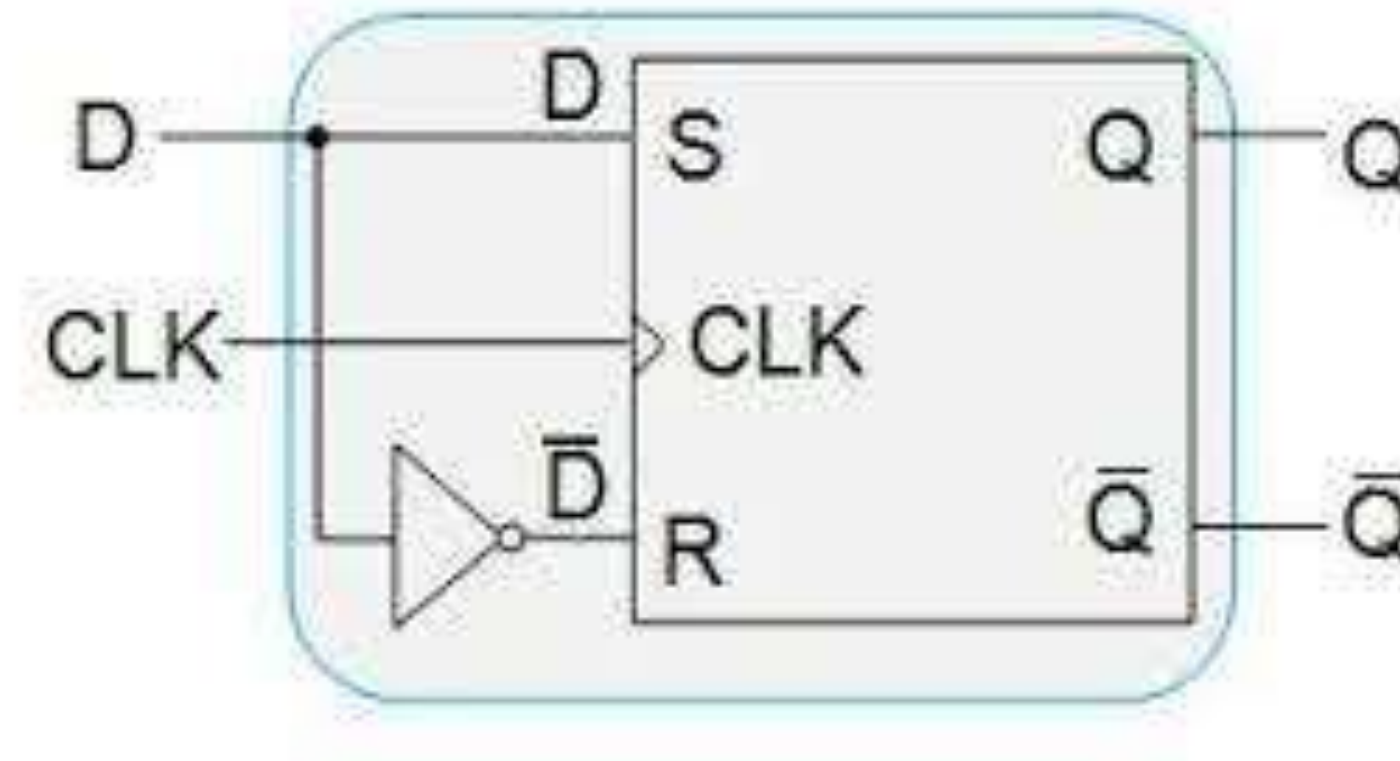
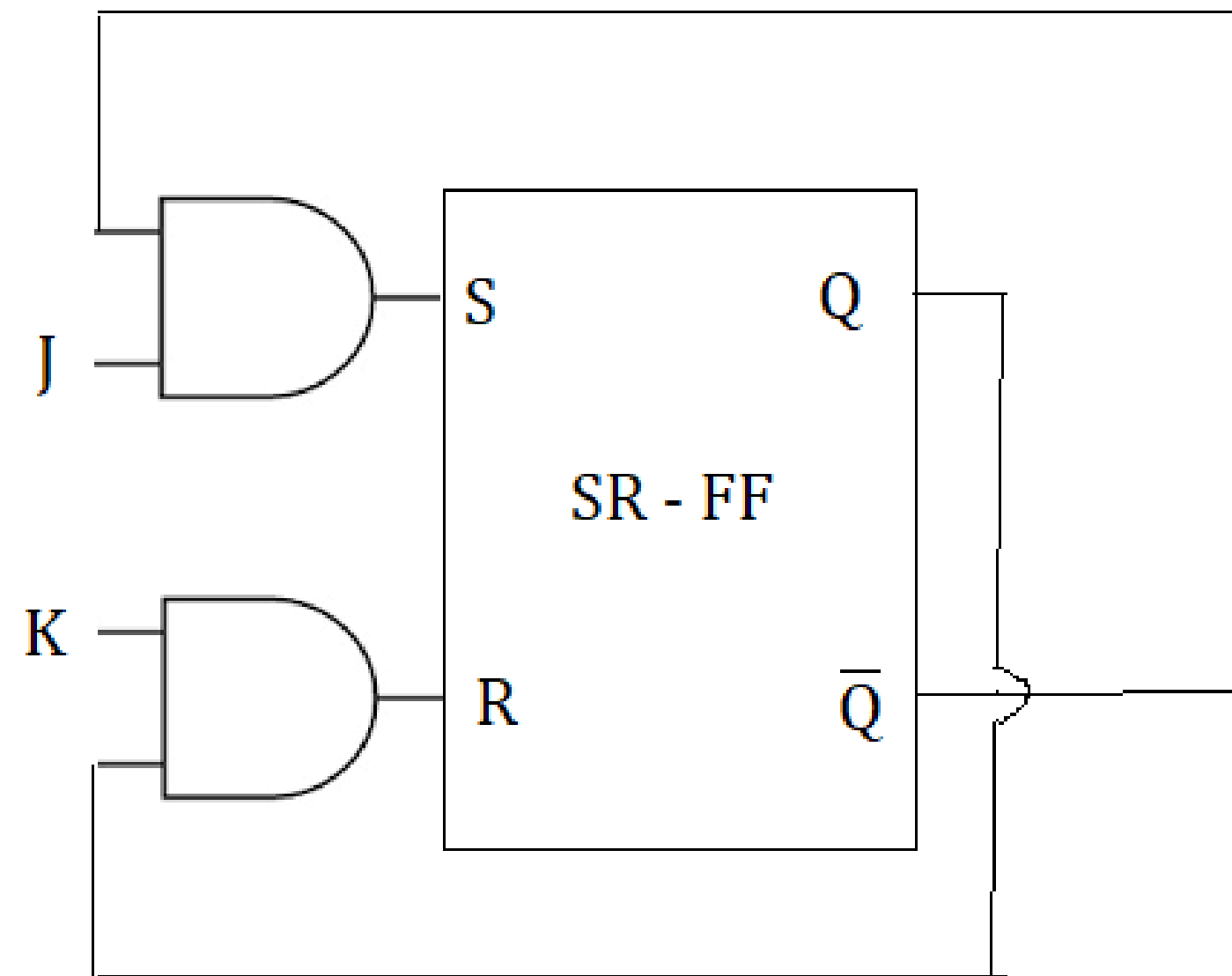
3. State machines

디지털 시스템에서 event의 순서를 정하는데 사용된다. State machines는 제어 시스템, 자동차 어플리케이션 및 산업 자동화에 사용된다.

2. Register

D Flip Flop은 디지털 시스템에서 데이터를 저장할 수 있는 Register를 만드는데 사용된다. D Flip Flop을 사용해 요구사항에 따라 모든 크기의 Register를 만들 수 있다.

(심화) Conversion of JK/D Flip Flop



- JK Flip Flop은 기본적으로 RS Flip Flop에서 input으로 현재 상태를 추가한 Flip Flop
- D Flip Flop은 RS Flip Flop에서 inverter를 추가한 Flip Flop
- 둘 다 RS Flip Flop에서 추가한 형태로 약간의 변형을 해주면 서로 간에 conversion이 가능

(심화) JK to D Excitation Table

$Q(n) : 0, Q(n+1) : 0$

$\rightarrow J, K: 0, 0 / 0, 1$

$Q(n) : 1, Q(n+1) : 0$

$\rightarrow J, K: 0, 1 / 1, 1$

$Q(n) : 0, Q(n+1) : 1$

$\rightarrow J, K: 1, 0 / 1, 1$

$Q(n) : 1, Q(n+1) : 1$

$\rightarrow J, K: 0, 0 / 1, 0$

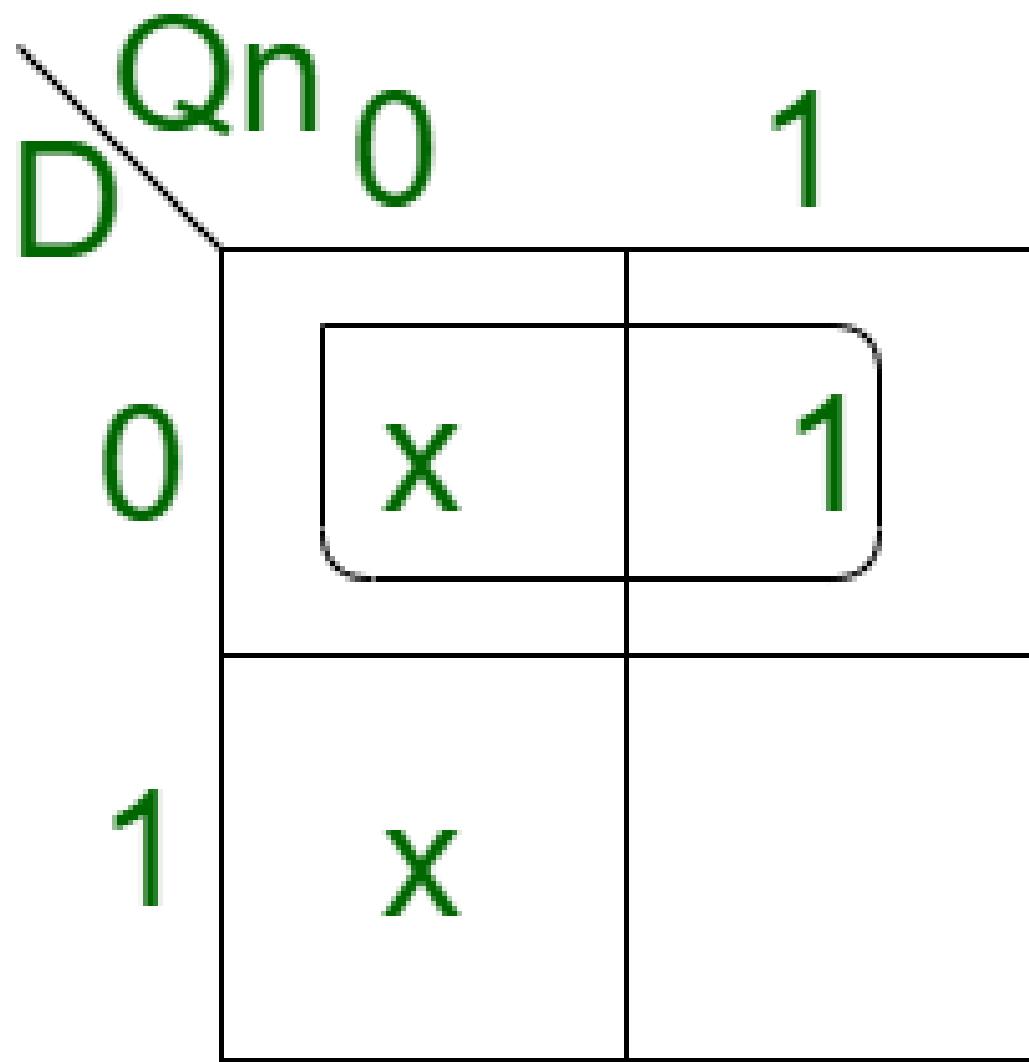
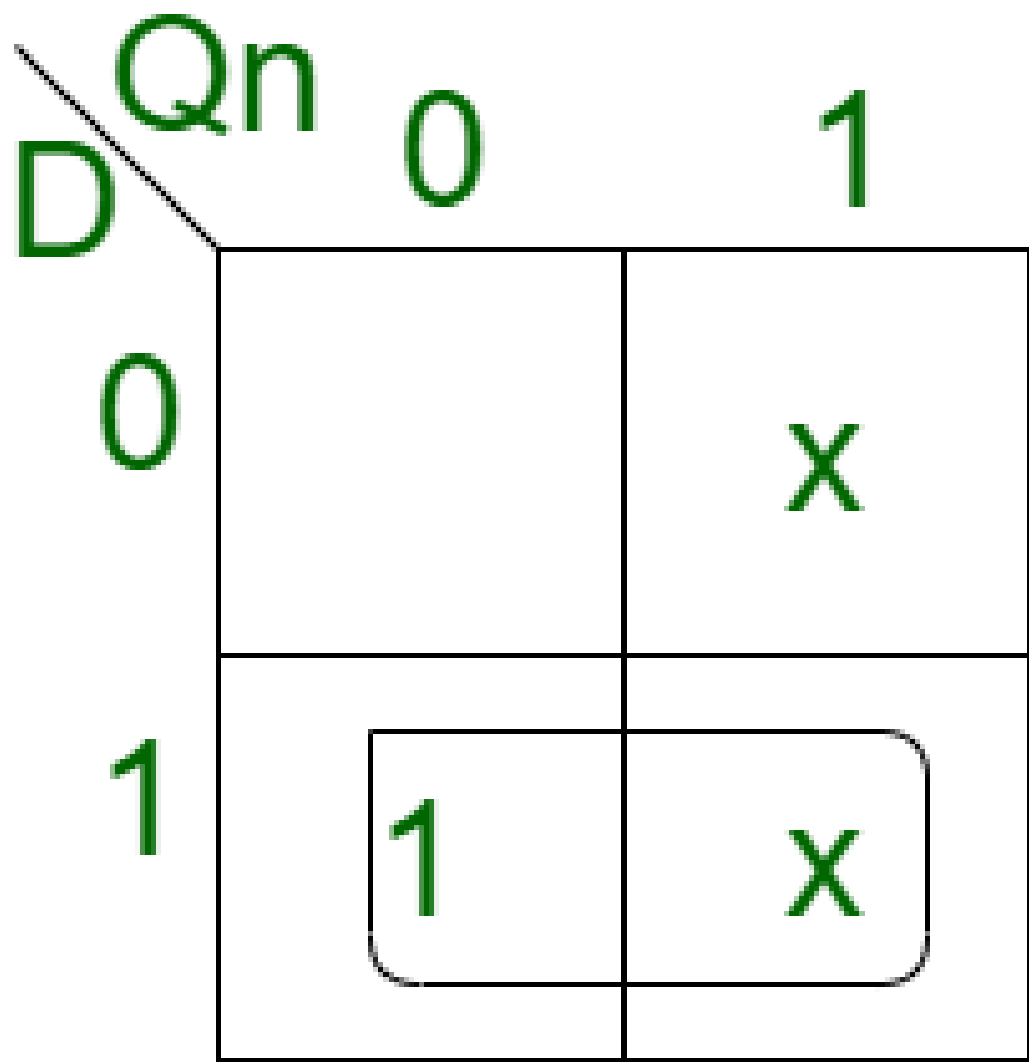
D	Q_n	Q_{n+1}	J	K
0	0	0	0	x
0	1	0	x	1
1	0	1	1	x
1	1	1	x	0

Excitation table

(심화) JK to D Karnaugh map

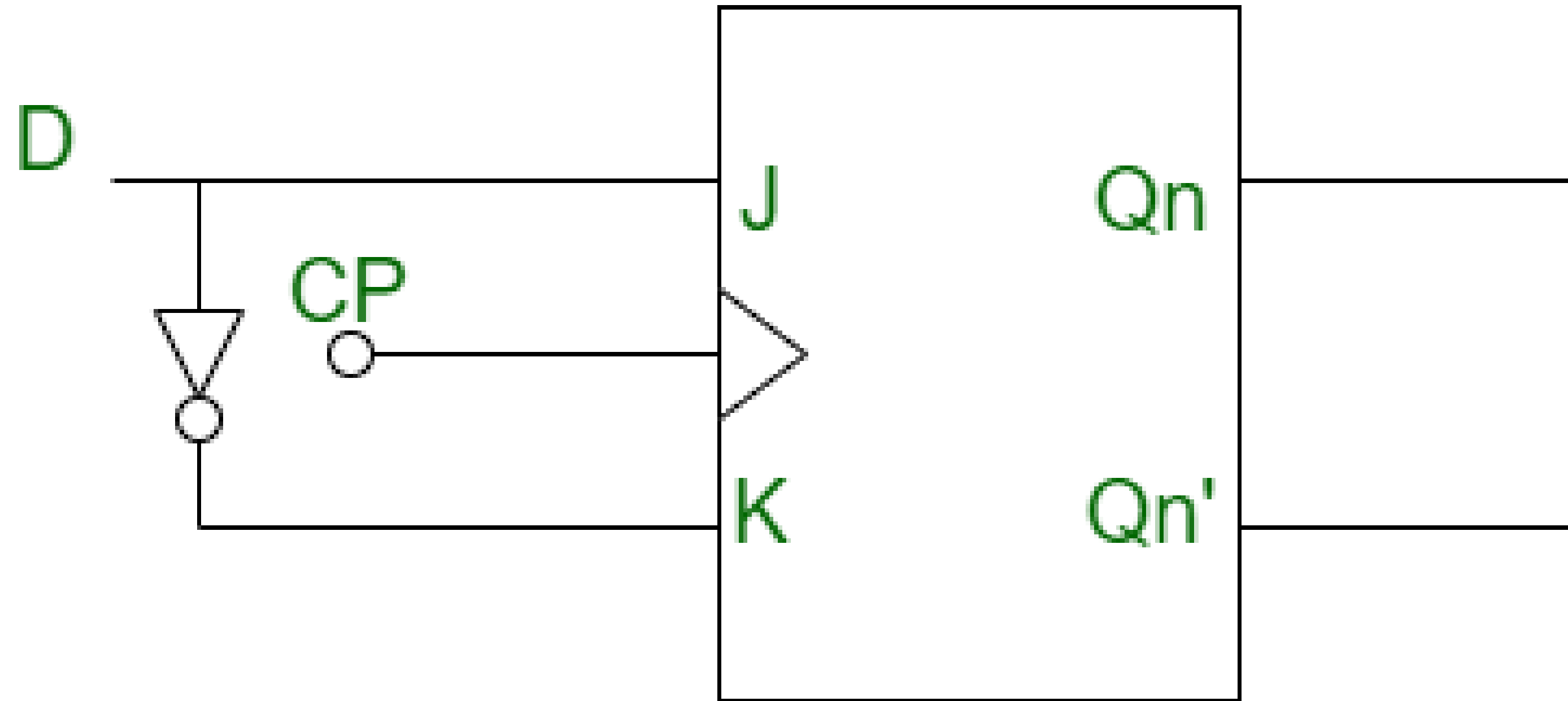
$J = D$

$K = D'$



Karnaugh
map

(심화) JK to D의 회로



JK to D graphic symbol

(심화) D to JK Excitation Table

$Q(n+1) = 0 \rightarrow D = 0$

$Q(n+1) = 1 \rightarrow D = 1$

J	K	Q_N	Q_{N+1}	D
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

Excitation table

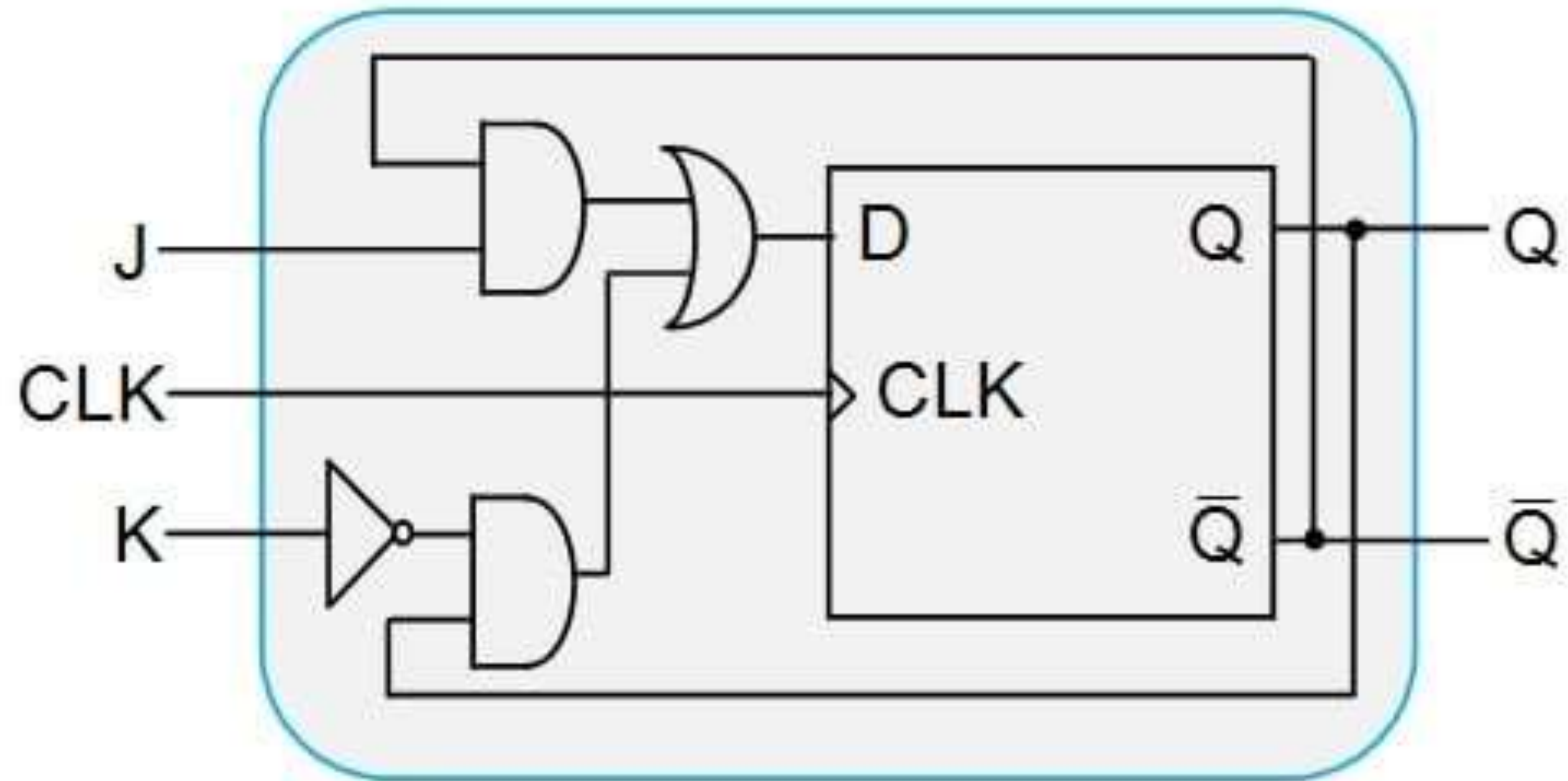
(심화) D to JK Karnaugh map

$$D = K'Q(n) + JQ(n)'$$

	$\overline{K}\overline{Q}_N$	$\overline{K}Q_N$	KQ_N	$K\overline{Q}_N$
\overline{J}	0	1	0	0
J	1	1	0	1

Karnaugh map

(심화) D to JK 회로



출처

Clock / Latch

<https://www.symmetryelectronics.com/blog/what-are-clock-signals-in-digital-circuits-and-how-are-they-produced-symmetry-blog/>

<https://velog.io/@tonyhan18/디지털-회로-개론-17>

RS Flip Flop / T Flip Flop

<https://www.geeksforgeeks.org/sr-flip-flop/>

https://commons.wikimedia.org/wiki/File:SR_%28Clocked%29_Flip-flop.svg

<https://www.allaboutcircuits.com/technical-articles/conversion-of-flip-flops/>

<https://www.electronicsforu.com/technology-trends/learn-electronics/flip-flop-rs-jk-t-d#4-t-flip-flop>

<https://www.engineersgarage.com/flip-flops-de-part-18/>

<https://medium.com/@iamRadhaKulkarni/diving-into-sequential-circuits-part-2-flip-flops-83bac56d457f>

서강대 김주호 교수님 디지털회로개론 강의자료

서강대 컴퓨터공학실험2 자료

대학공개강의(<http://www.kocw.net/home/dcoll/dcollIntro.do>

)

한라대학교 ICT융합공학부

출처

JK Flip Flop / D Flip Flop & 심화

[Conversion of J-K Flip-Flop into D Flip-Flop - GeeksforGeeks](#)

[Flip-flop Conversion – D flip-flop to JK flip-flop \(electronicsengineeringconcepts.com\)](#)

<https://www.electronicsforu.com/technology-trends/learn-electronics/jk-flip-flop-circuit-truth-table-limitations-applications>

<https://www.engineersgarage.com/flip-flops-de-part-18/>

<https://medium.com/@iamRadhaKulkarni/diving-into-sequential-circuits-part-2-flip-flops-83bac56d457f>

[https://en.wikipedia.org/wiki/Flip-flop_\(electronics\)#JK flip-flop](https://en.wikipedia.org/wiki/Flip-flop_(electronics)#JK_flip-flop)

기여도

김택림: 34%, 이예준: 33%, 허결: 33%