

13 주차 Shift Register

컴퓨터공학실험

||

20190067 윤병현

20190067 이승형

20221620 지현종

- 1 Shift Register**
- 2 Ring Counter**
- 3 Asynchronous(Ripple) Up/Down Counter**
- 4 Synchronous Up/Down Counter**
- 5 Johnson Counter**

Part 1 Shift Register

Register: 여러 비트의 데이터를 저장하는 논리 회로

*Flip-Flop 은 하나의 비트를 저장하므로 , 여러 개의 Flip-Flop 을 조합하여 구성

N 개의 비트를 저장하는 Register 를 N-bit Register 라고 부름

Shift Register: 저장된 데이터를 한 비트씩 전송할 수 있는 Register

주로 D Flip-Flop 으로 구현

* 하나의 Flip-Flop 의 Output 이 다음 Flip-Flop 의 Input 과 연결되어 한 비트씩 옆으로 이동하게끔 구성

직렬 입력 (Serial In): 한 개의 선을 이용하여 한 번에 단일 비트에 대한 정보를 차례로 입력 받음

직렬 출력 (Serial Out): 한 개의 선을 이용하여 한 번에 단일 비트에 대한 정보를 차례로 출력함

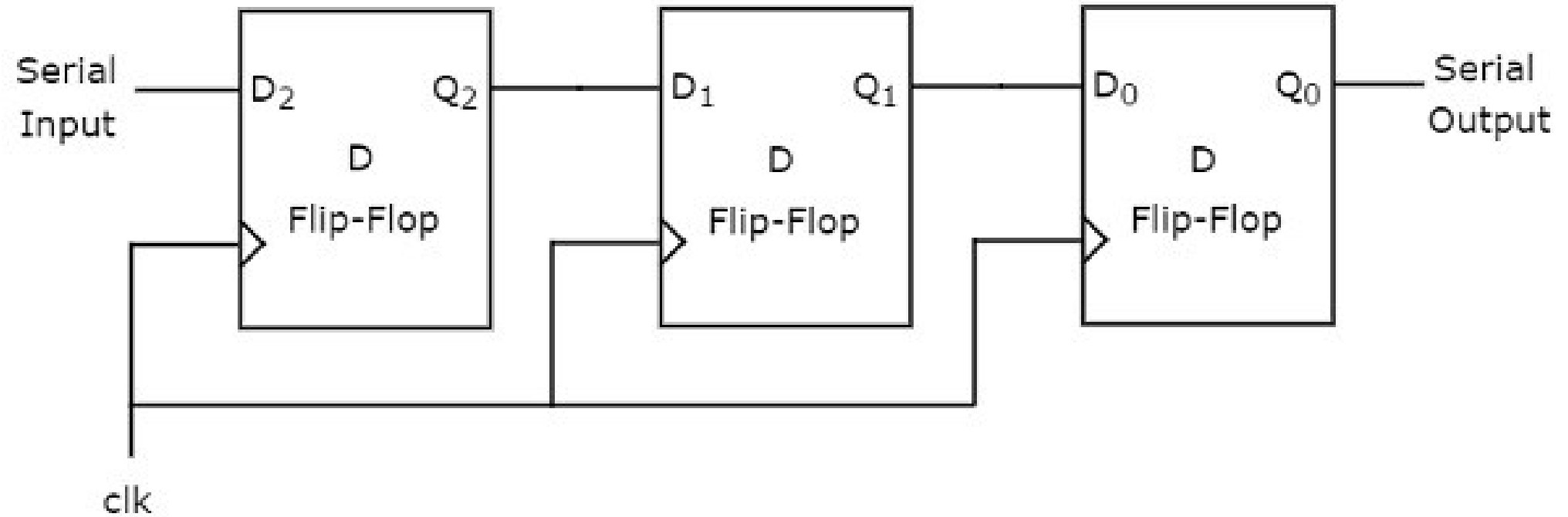
병렬 입력 (Parallel In): 여러 개의 선을 이용하여 한 번에 다중 비트에 대한 정보를 입력 받음

병렬 출력 (Parallel Out): 여러 개의 선을 이용하여 한 번에 다중 비트에 대한 정보를 출력함

- 병렬 입력은 Register 의 초기 상태를 setting 하는 데 사용될 수 있다 .
- 병렬 출력은 Register 의 현재 상태를 확인하는 데 사용될 수 있다 .

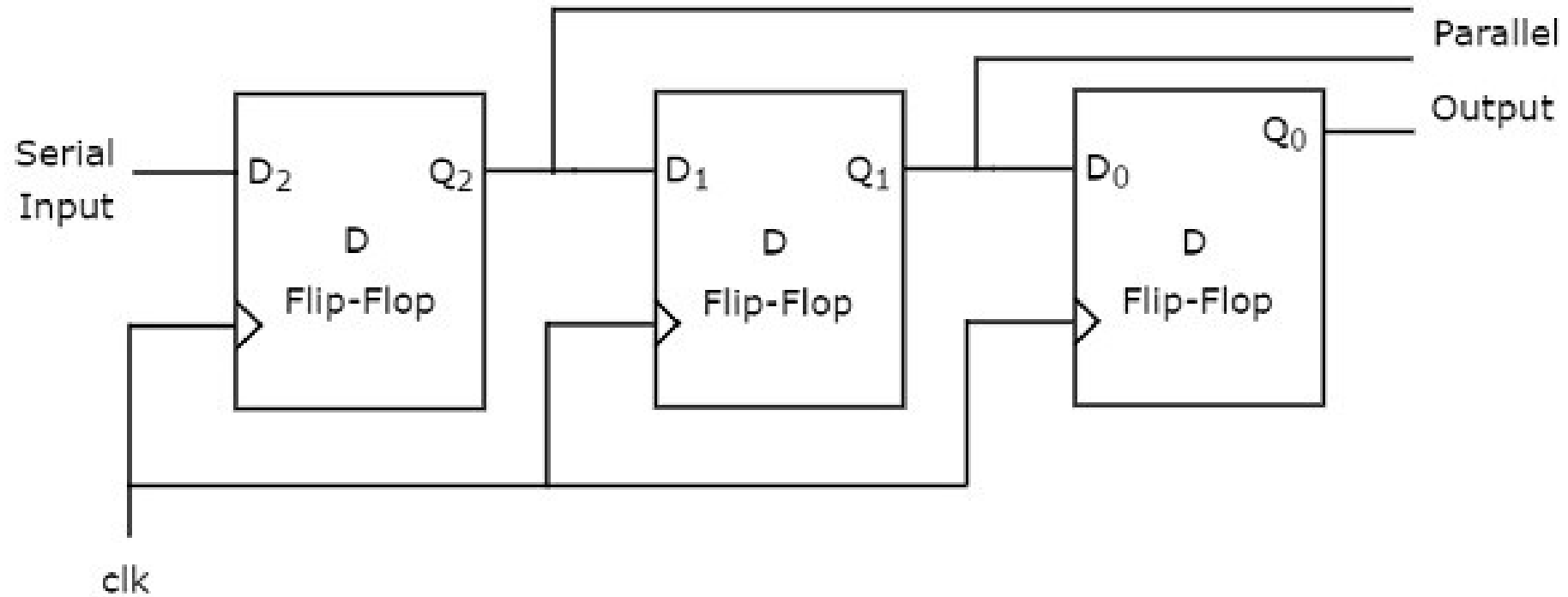
Part 1

SISO Shift Register



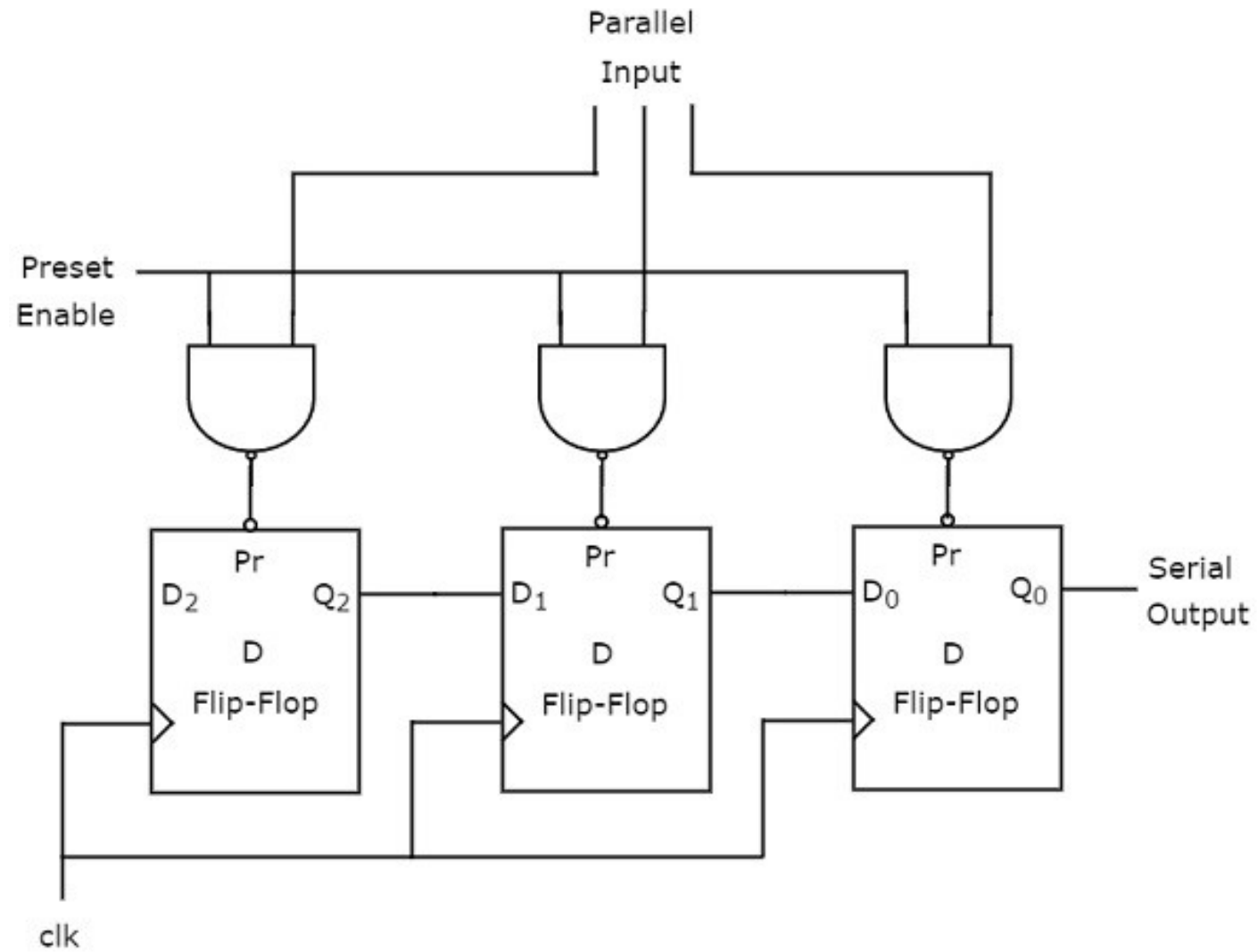
Part 1

SIPO Shift Register



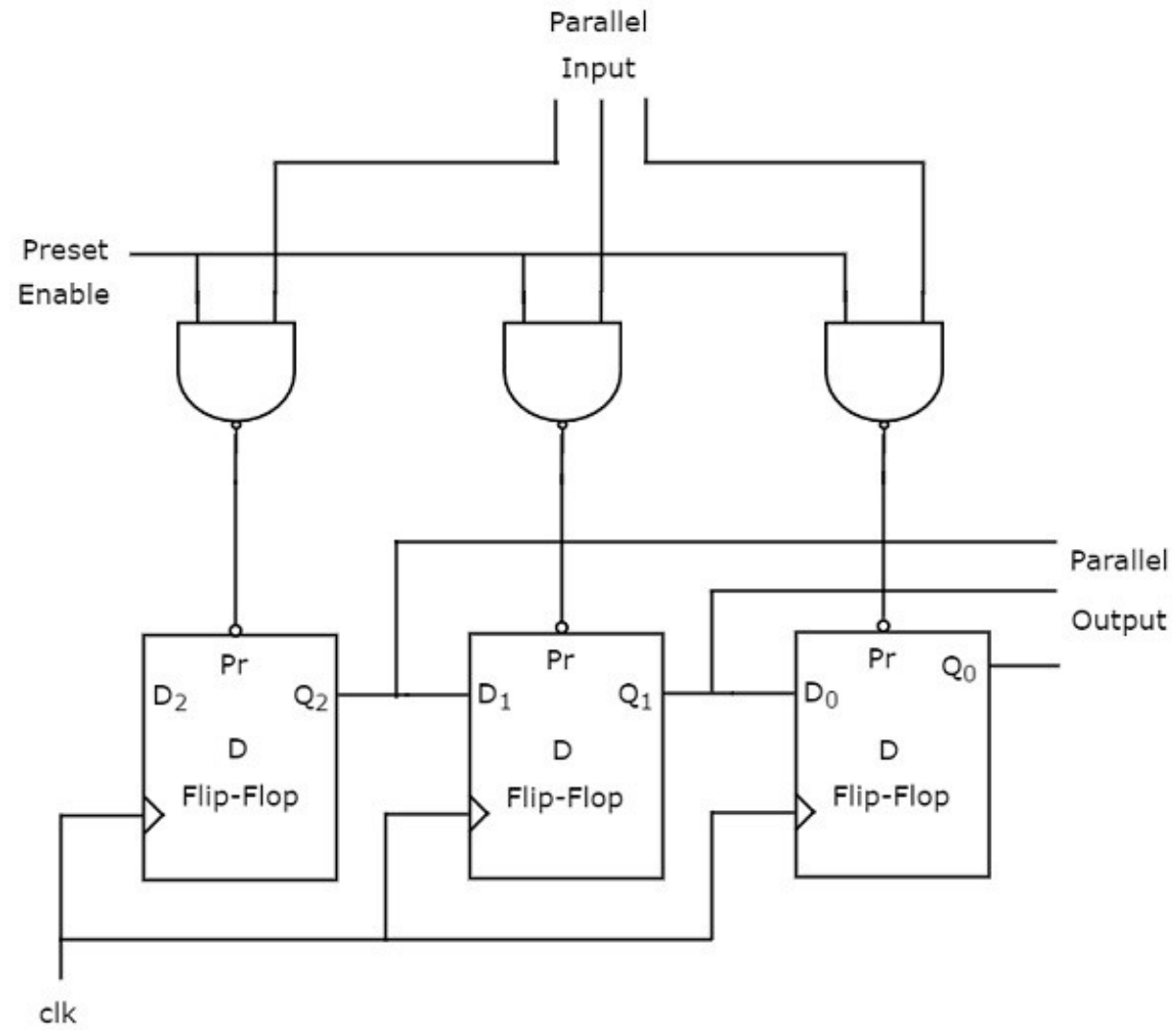
Part 1

PISO Shift Register

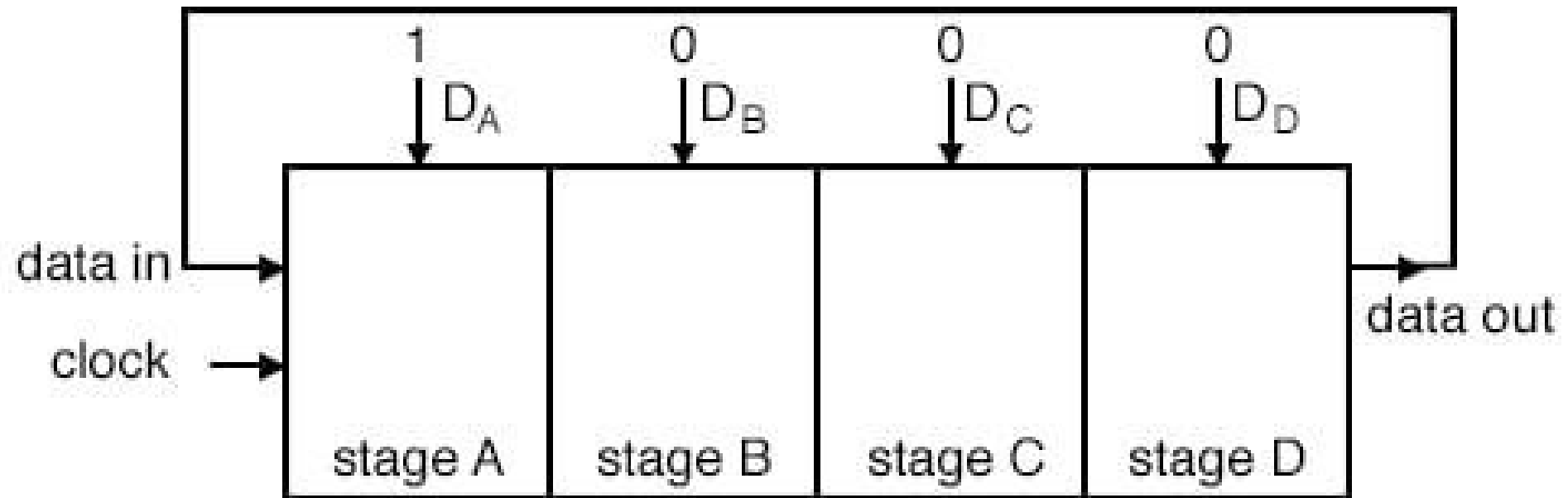


Part 1

PIPO Shift Register

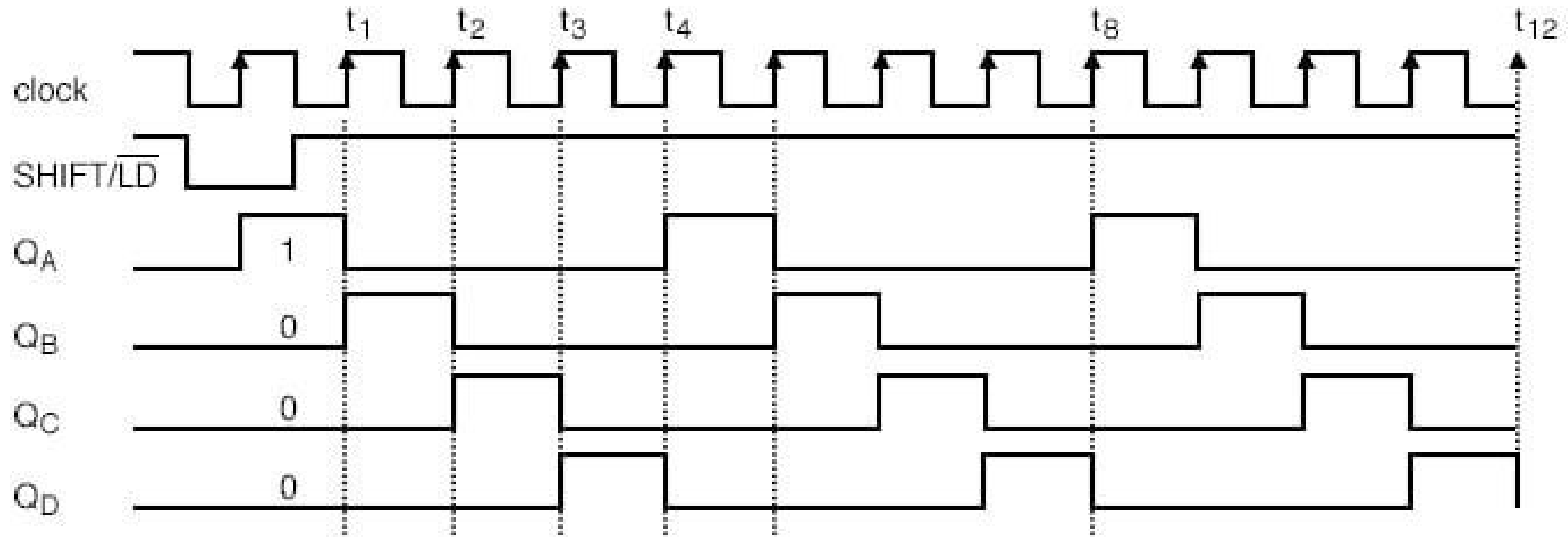


Part 2 Ring Counter



Part 2

Ring Counter



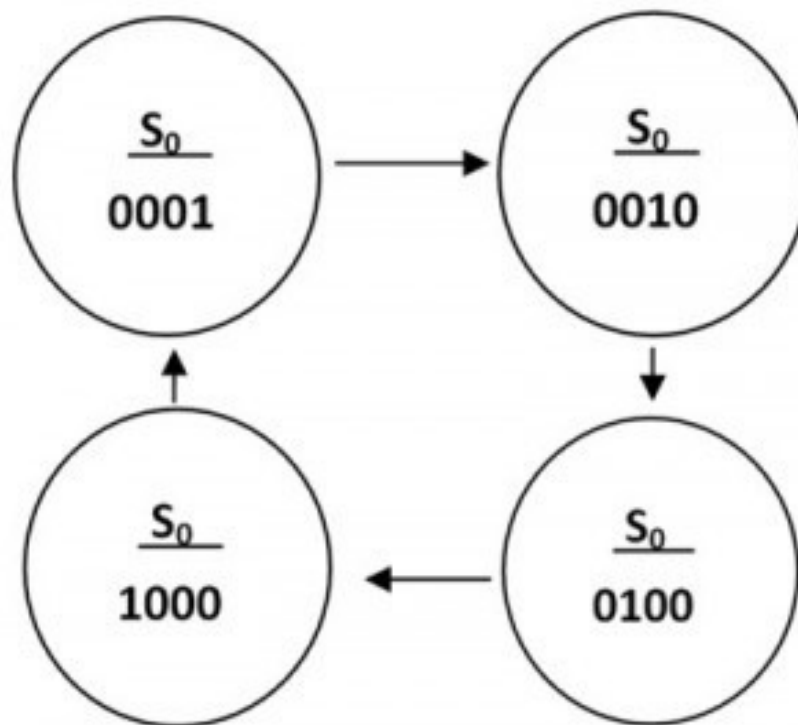
Part 2

of States in Ring Counter

N 개의 Flip-Flop 을 사용하는 Counter 에서 사용할 수 있는 상태의 개수 : 개

Ring Counter 에서 사용하는 상태의 개수 : N 개

* 비효율적인 상태공간 , 특정 명령을 선택적으로 수행하는 디지털 회로에 사용될 수 있다 .

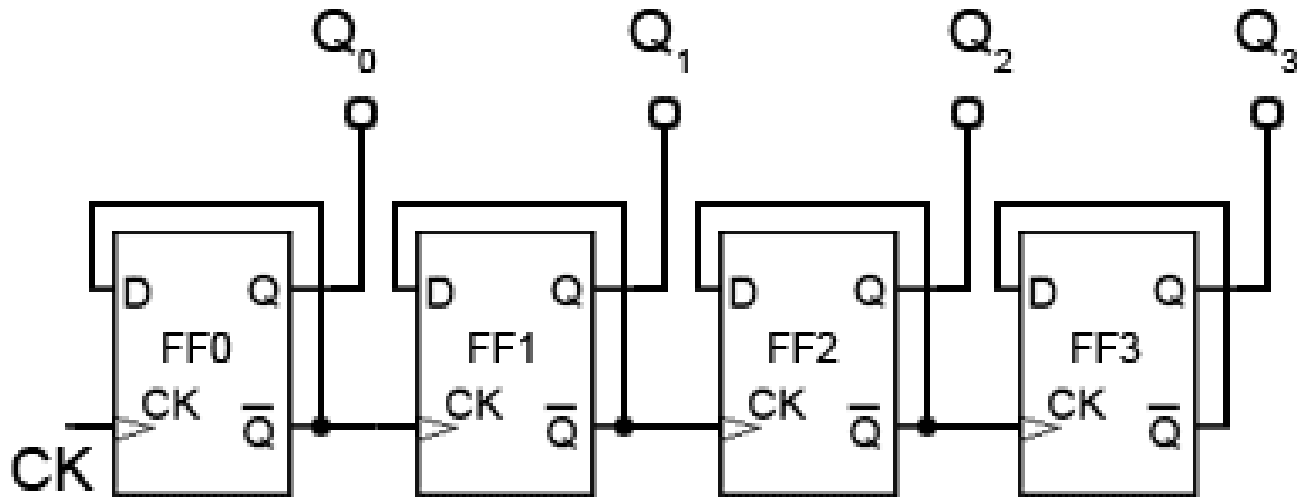


Part 3

Asynchronous(Ripple) Up/Down Counter

Part 3

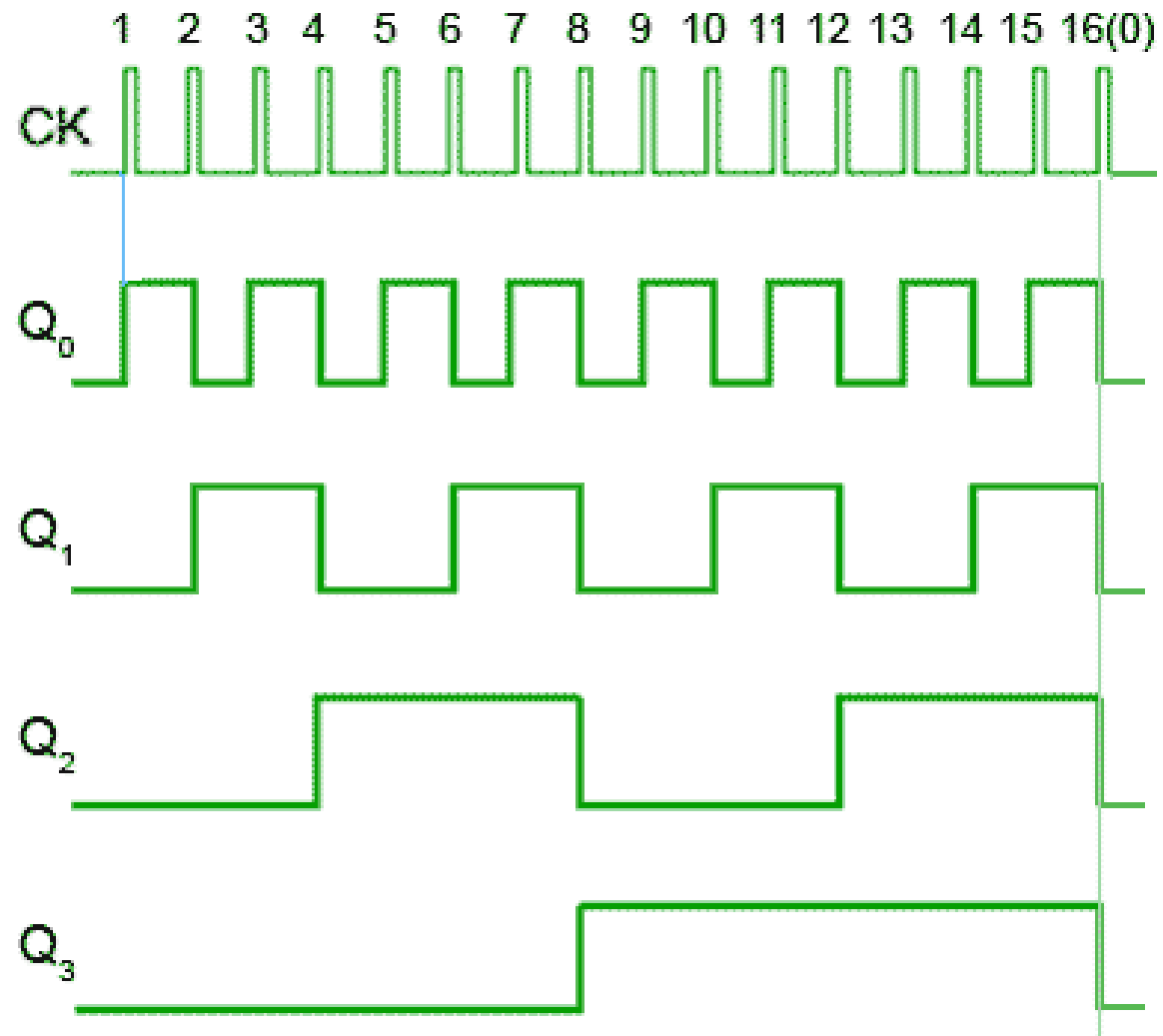
Asynchronous Up Counter

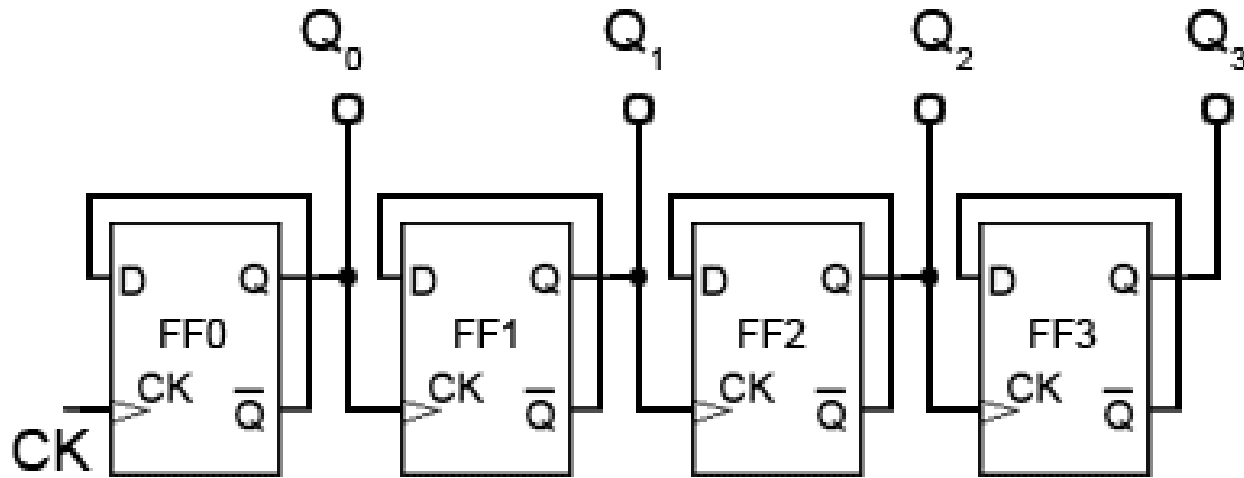


ck 펄스 입력에 따라 $Q_0 \sim Q_3$
증가

Part 3

Asynchronous Up Counter



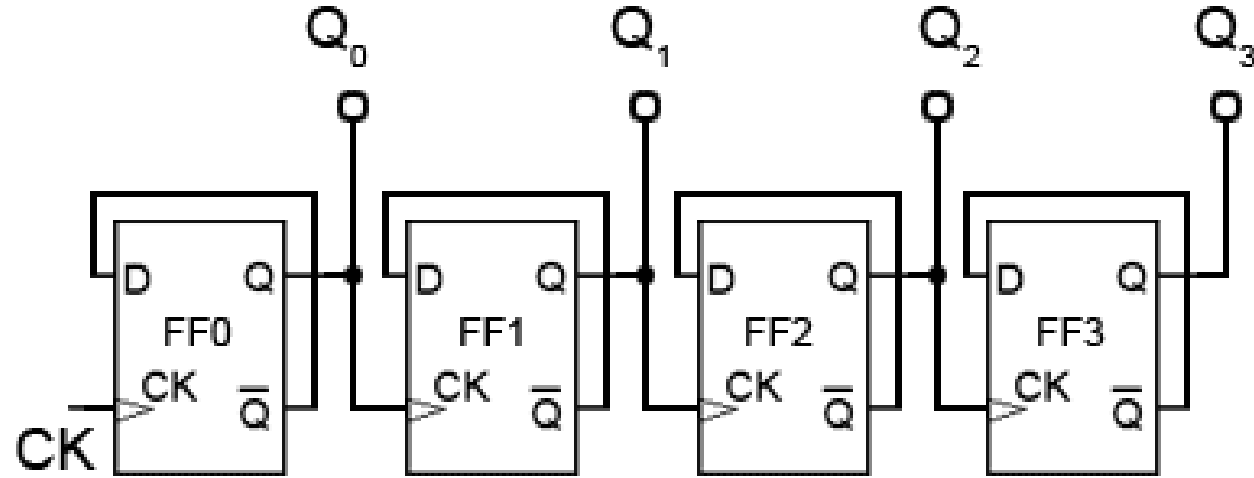


ck 펄스 입력에 따라 Q0~Q3
감소

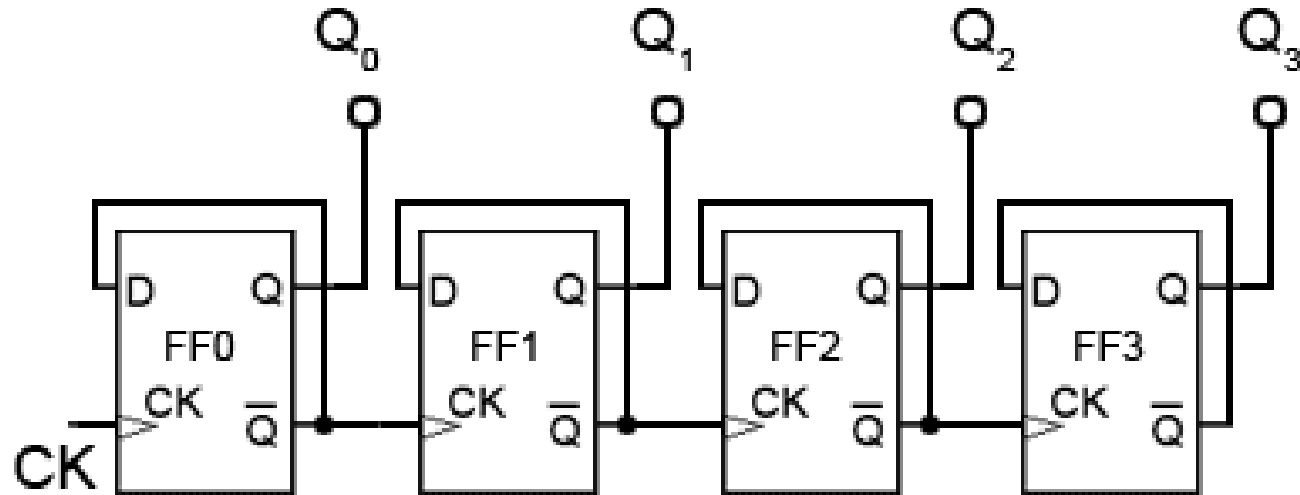
Part 3

Up/Down Counter 차이

Up

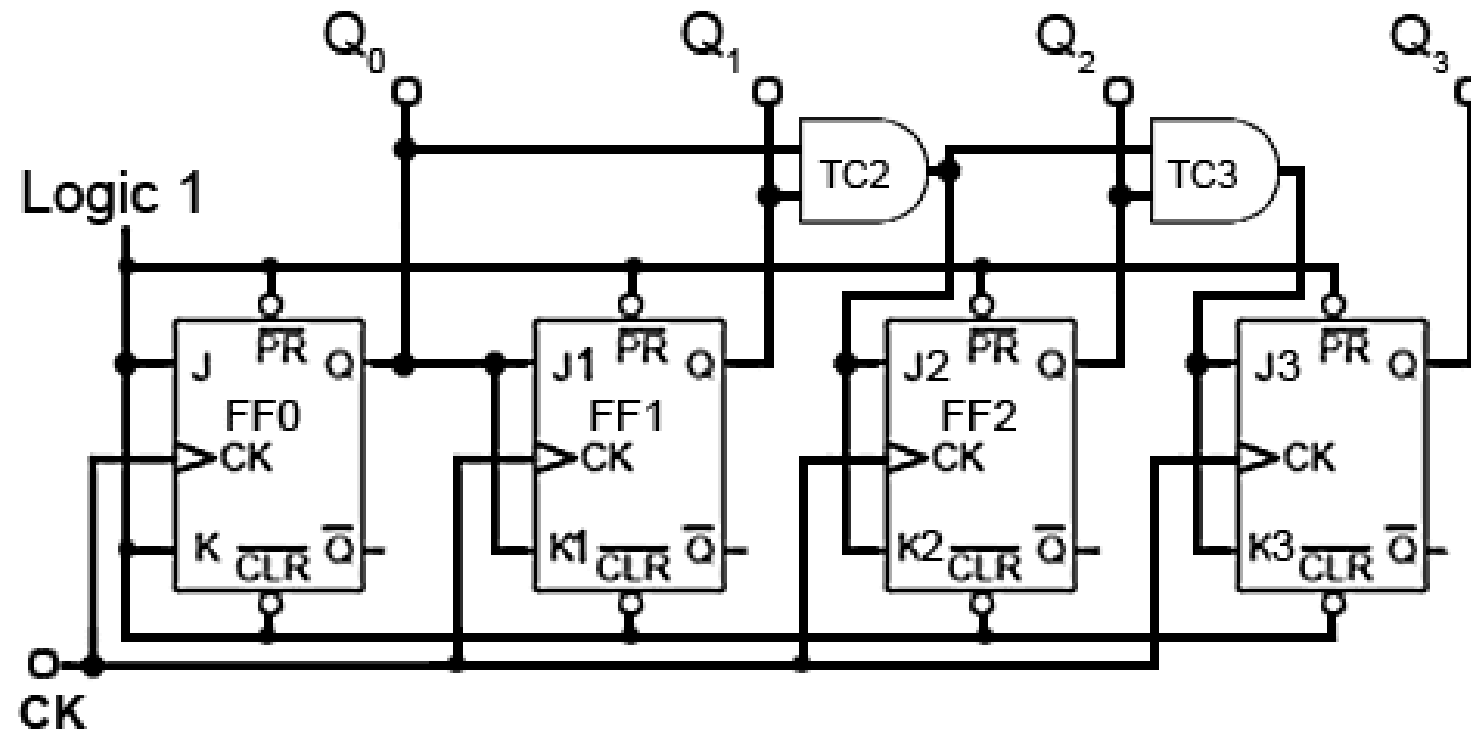


Down

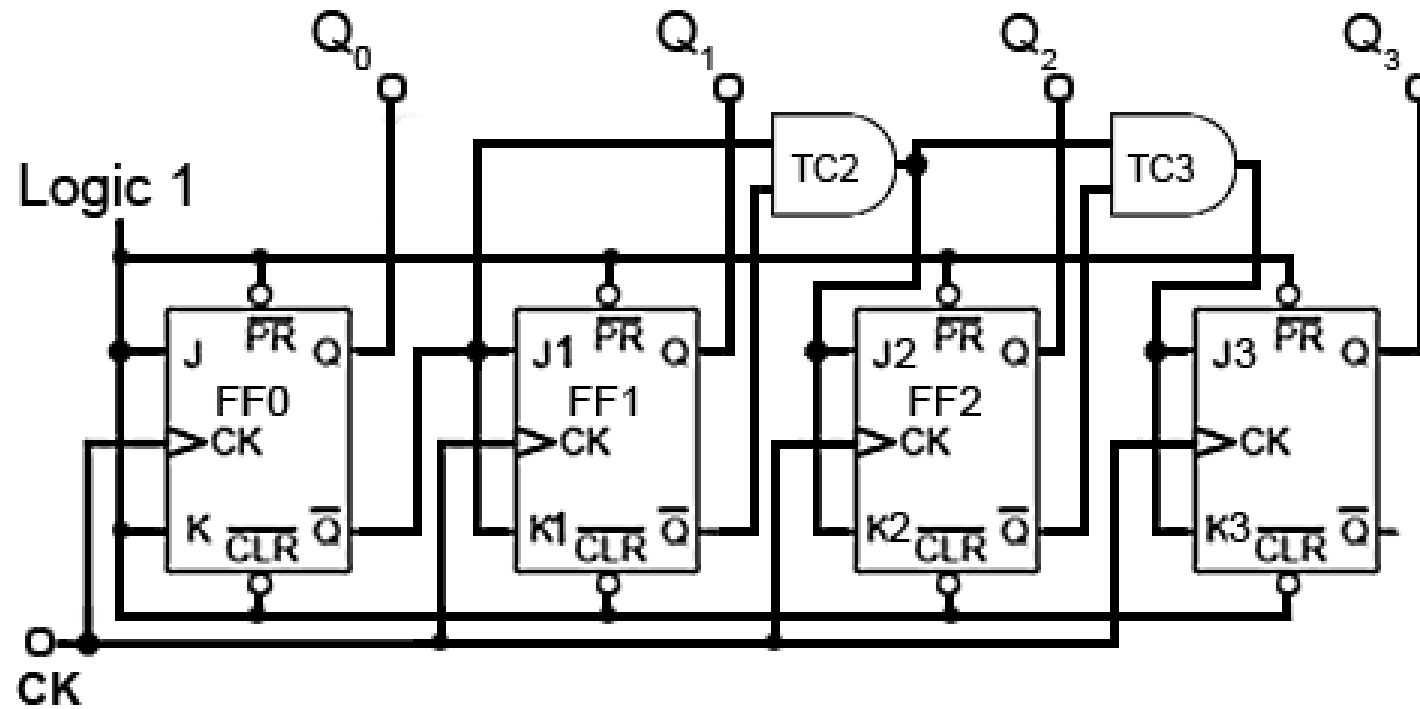


Part 4

Synchronous Up/Down Counter

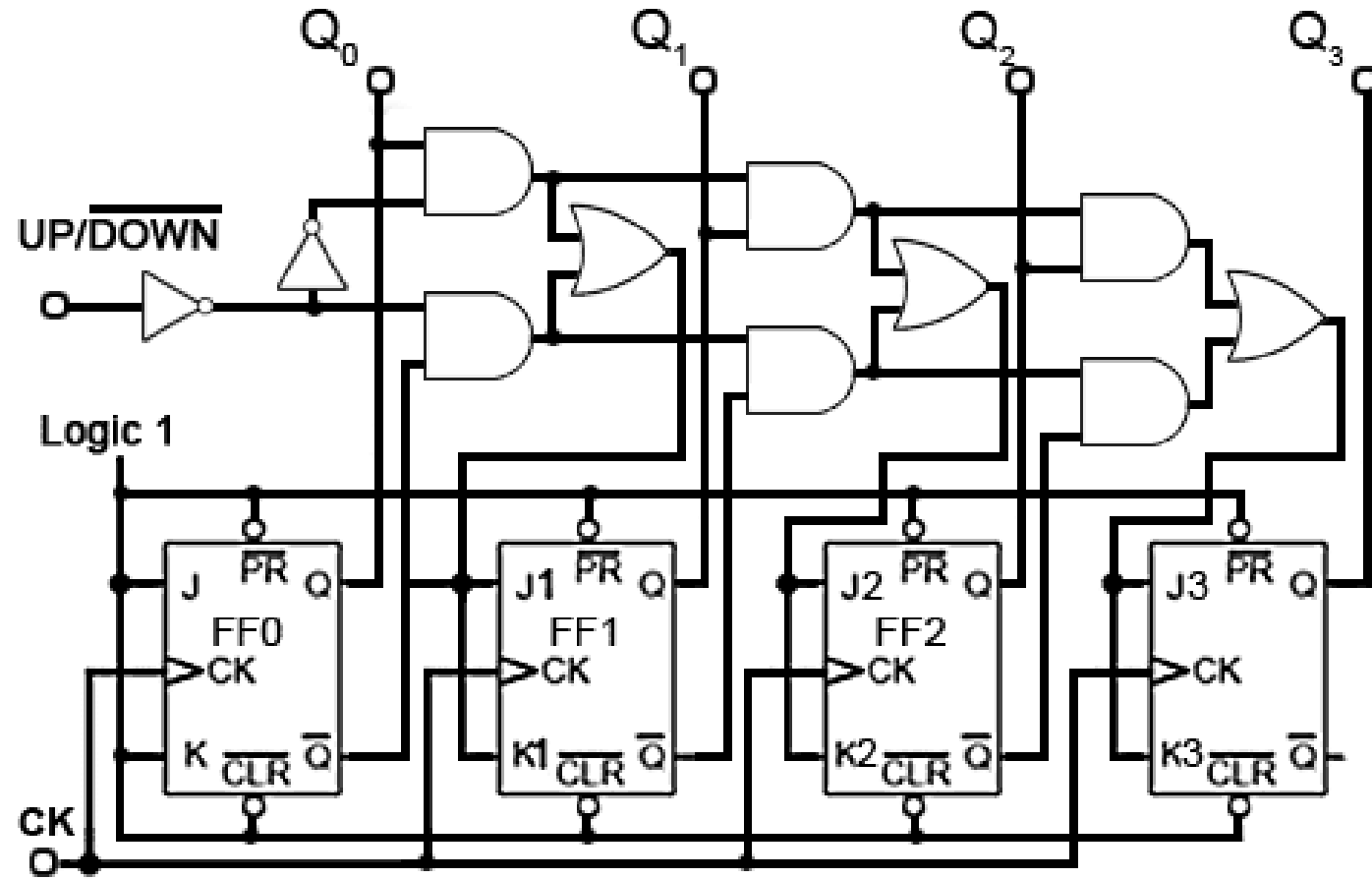


Synchronous Down Counter

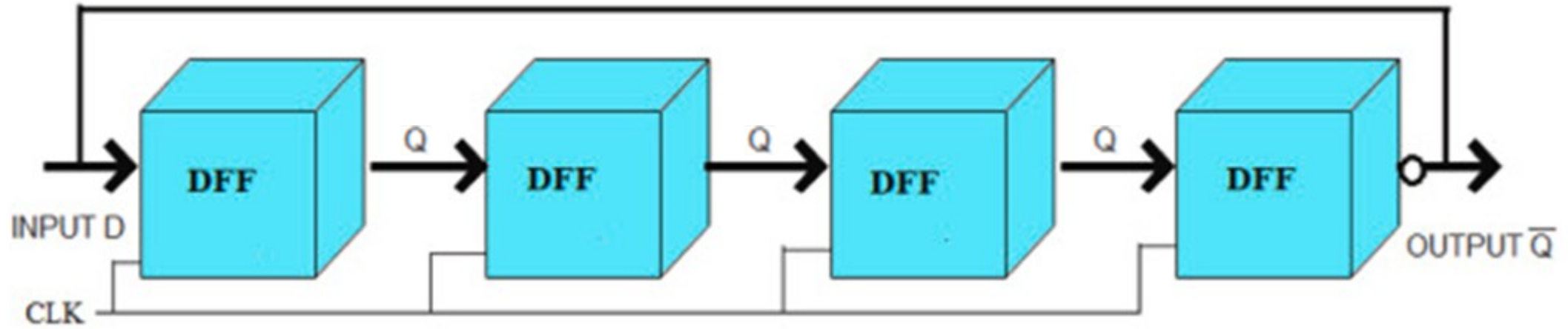


Part 4

Up/Down(Bidirectional) Counter

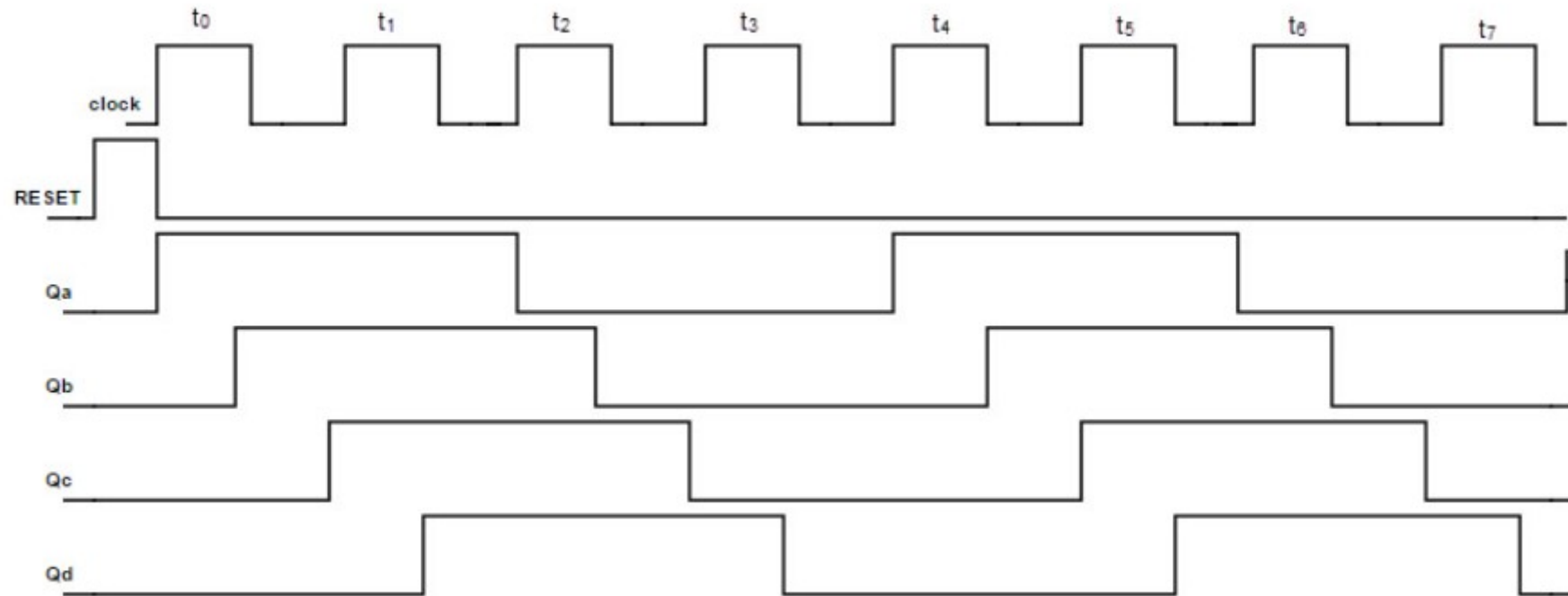


Part 5 Johnson Counter



Part 5

Johnson Counter

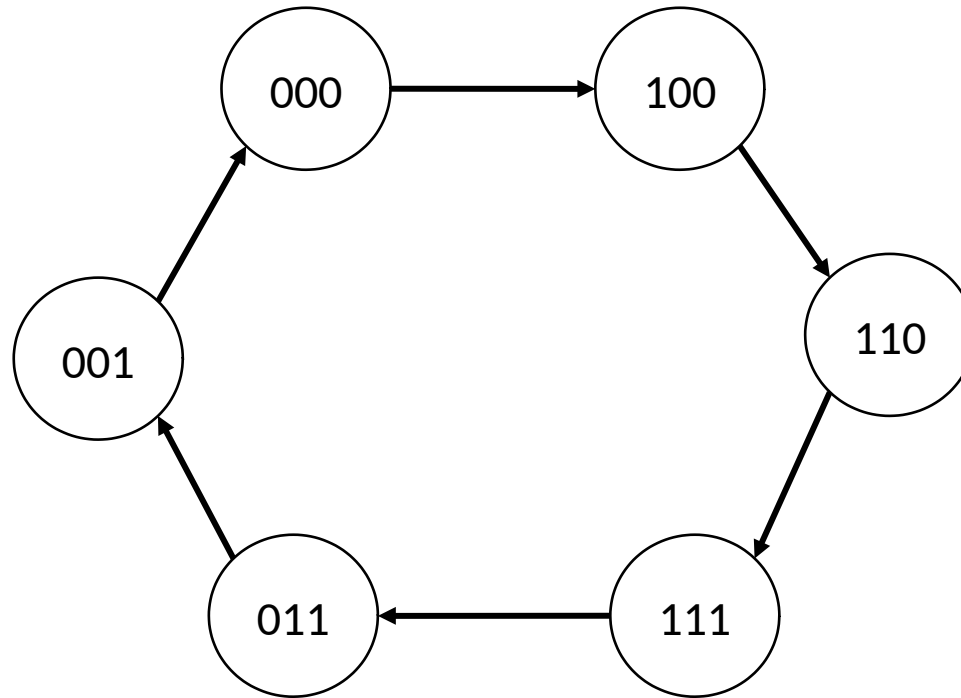


Clock pulse	Q0	Q1	Q2	Q3
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8	0	0	0	0

Truth table of johnson counter

Q ₀	Q ₁	Q ₂	Q ₃
1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	1

Truth table of ring counter



Modulo 6 Johnson Counter

Modulo 6 Counter 여기표

현재 상태			차기 상태			Flip-Flop 입력		
Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀
0	0	0	1	0	0	1	0	0
1	0	0	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	0	1
0	0	1	0	0	0	0	0	0

Part 5

Johnson Counter

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1	0	0	X
1	1	X	0	1

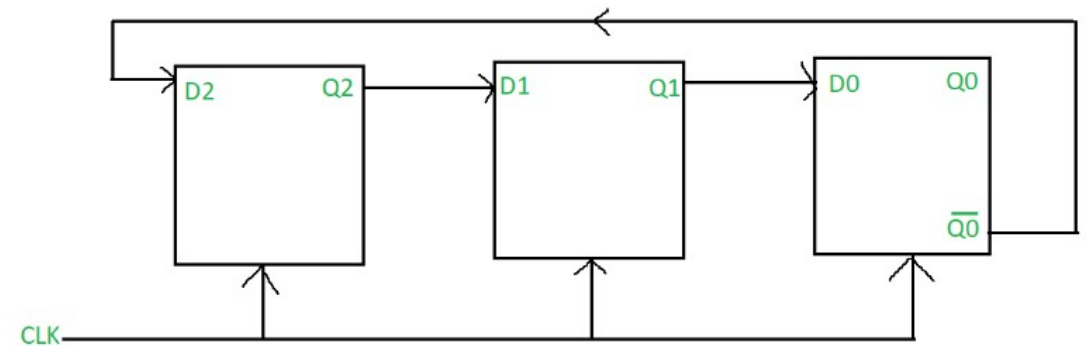
$$D_2 = Q_0'$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	0	1	X
1	0	X	1	1

$$D_0 = Q_1$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	0	0	X
1	1	X	1	1

$$D_1 = Q_2$$



출처 및 팀원 별 기여도

출처

Design of all-optical Johnson counter using SOA-MZI at 100 Gb/s, Nivedita Nair, Sanmukh Kaur, Hardeep Singh

https://www.tutorialspoint.com/digital_circuits/digital_circuits_shift_registers.htm

<https://www.electronicshub.org/ring-counters-johnson-ring-counter/>

<https://www.allaboutcircuits.com/textbook/digital/chpt-12/ring-counters/>

<https://learnabout-electronics.org/Digital/dig56.php>

<https://www.geeksforgeeks.org/n-bit-johnson-counter-in-digital-logic/>

기여도

20190067 윤병현 33.4%

20190067 이승형 33.3%

20221620 지현종 33.3%

감사합니다