11주차 예비보고서

전공: 컴퓨터공학과 학년: 3학년 학번: 20212022 이름: 이예준

**1.**

플립-플롭은 휘발성 메모리의 역할을 하며 1-bit의 정보를 저장하는 회로이다. 플립-플롭은

회로에 들어오는 Input이 변할 때, Cp(Clock pulse)에서 오는 신호에 따라 회로에 현재

state를 보내게 되고 다음 state가 출력된다.

RS 플립플롭은 R(reset)과 S(Set) 2개의 입력값과 현재 상태의 신호에 따라 다음 신호를

결정하는 회로이다. R은 신호가 0일 때는 그대로 유지하지만 신호가 1일 때는 다음 신호를

0으로 변경한다. S는 신호가 1일 때는 그대로 유지하지만 신호가 0일 때는 다음 신호를

1로 변경한다. 만약 S와 R 둘 다 0이면 현재 신호를 그대로 다음 신호까지 유지한다.

하지만 S와 R 둘 다 1인 경우는 유효한 신호로 받지 않는데 그 이유는 아래 그림과 설명을

보면 알 수 있다.

블랙, 어둠이(가) 표시된 사진

자동 생성된 설명

\*RS-Flipflop 회로도

위의 회로도를 보게 되면 는 현재 신호이고 은 현재 신호의 보수이다.

예를 들어 현재 신호 가 1일 때, R과 S 모두 1이라면 위아래의 AND gate는 출력을 1로

내보내게 되며, 이때 위쪽 NOR gate은 현재 신호 과 AND gate에서 나온 1을 입력값으로

받아 출력 0을 내보내게 되고 그 출력 0은 다음 신호 가 되게 된다. 아래쪽 NOR gate는

다음 신호 와 AND gate에서 나온 1을 입력값으로 받아 0을 내보내게 된다. 이렇게 되면 와 의 보수관계가 성립되지 않기 때문에 유효하지 않은 경우로 취급한다. Characteristic Table은 현재 상태와 입력값 S,R이 주어졌을 때 다음 상태를 보여주는 표로 아래와 같다.

|  |  |  |  |
| --- | --- | --- | --- |
| Input | | | Output |
| S | R | Q(t) | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | X |
| 1 | 1 | 1 | X |

\*RS-Flipflop Characteristic Table

Characteristic Table을 통해 카르노맵을 그리게 되면 아래와 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S R Q(t) | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | X | X |

\*RS-Flipflop 카르노맵

Characteristic equation은 현재 상태를 기준으로 다음 상태를 알려주는 방정식으로

위의 카르노맵을 기준으로 Characteristic equation을 구하게 되면

이 된다.

**2.**

JK 플립플롭은 RS 플립플롭에서 R, S 입력이 1,1이 유효하지 않았던 단점을 보완한

플립플롭으로 RS 플립플롭과 동일하게 J는 Set의 역할을, K는 Reset의 역할을 한다.

RS 플립플롭과 다른 점은 J, K가 1,1일 때는 현재 상태의 보수를 취한다. 그 원리는

아래 그림과 설명을 보면 알 수 있다.

도표, 라인, 폰트, 기술 도면이(가) 표시된 사진

자동 생성된 설명

\*JK-Flipflop 회로도

예를 들어 현재 신호 가 1일 때, J과 K 모두 1이라면 앞에 있는 위쪽의 NAND gate는

출력 1을 내보내게 되며, 앞에 있는 아래쪽의 NAND gate는 출력 0을 내보내게 된다.

이때 뒤에 있는 위쪽 NAND gate은 현재 신호 와 NAND gate에서 나온 0을 입력값으로

받아 출력 1로 내보내게 되고 이 출력 1은 다음 신호 이 되게 된다.

뒤에 있는 위쪽 NAND gate은 다음 신호 와 NAND gate에서 나온 1을 입력값으로 받아

0을 내보내게 된다. 이렇게 되면 의 다음 신호는 현재 신호와 반대로 되고,

와 의 보수관계도 성립되기 때문에 유효한 경우로 취급한다.

JK 플립플롭의 Characteristic Table은 아래와 같다.

|  |  |  |  |
| --- | --- | --- | --- |
| Input | | | Output |
| J | K | Q(t) | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

\*JK-Flipflop Characteristic Table

Characteristic Table을 통해 카르노맵을 그리게 되면 아래와 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J K Q(t) | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |

\*JK-Flipflop 카르노맵

위의 카르노맵을 기준으로 Characteristic equation을 구하게 되면

이 된다.

**3.**

D 플립플롭은 입력 D가 1이면 1을, 0이면 0을 출력해주며 D의 입력값에 따라

입력값을 그대로 출력해주는 플립플롭이다. D 플립플롭은 여러가지 형태로 구현할 수 있지만

이번에 설명할 구현 방법은 밑에 있는 회로도를 보면 알 수 있듯이 RS 플립플롭에서

R과 S를 NOT gate로 연결하여 D라는 기호를 붙인 형태로 볼 수 있다. 따라서 입력이 R이

1, S가 0이거나 R이 0, S가 1인 경우, 즉 R과 S가 서로 보수관계인 경우에만

플립플롭의 기능을 하는 회로라고 볼 수 있다. 그냥 현재 상태 그대로 출력하면

이 플립플롭이 왜 있냐는 생각이 들 수도 있지만 이 플립플롭은 데이터의 일시적인

보관 또는 데이터가 전송되는 시간을 늦추는 목적으로 사용될 수 있다.

블랙, 어둠, 천체, 우주이(가) 표시된 사진

자동 생성된 설명

\*D-Flipflop 회로도

예를 들어 S가 0이고, R이 1인 경우에는 현재 신호 가 1일 때 다음 신호 가 0이 되며,

현재 신호 가 0일 때 다음 신호 가 0이 된다. 따라서 위의 회로도를 볼 때 R 입력이 위에 있고, S 입력이 밑에 있기 때문에 D가 0인 경우와 마찬가지이므로 D가 0일 때 출력이 D와 똑같이 나와야 하는 원칙을 위배하지 않는다. 반대로 S가 1이고, R이 0인 경우에는 현재 신호 가 1일 때 다음 신호 가 1이 되며, 현재 신호 가 0일 때 다음 신호 가 1이 된다. 따라서 D가 1인 경우와 마찬가지로 역시 D가 1일 때 출력이 D와 똑같이 나와야 하는 원칙을 위배하지 않는다.

D 플립플롭의 Characteristic Table은 아래와 같다.

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| D | Q(t) | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

\*D-Flipflop Characteristic Table

Characteristic Table을 통해 카르노맵을 그리게 되면 아래와 같다

|  |  |  |
| --- | --- | --- |
| D Q(t) | 0 | 1 |
| 0 | 0 | 0 |
| 1 | 1 | 1 |

\*D-Flipflop 카르노맵

위의 카르노맵을 기준으로 Characteristic equation을 구하게 되면

이 된다.

**4.**

T 플립플롭은 입력 T에 따라 T가 0이면 현재상태 그대로를, T가 1이면 현재상태의 보수를

출력으로 내보내는 플립플롭이다. 위에서 설명한 D 플립플롭과 마찬가지로 이 T 플립플롭도

여러가지 형태로 구현할 수 있지만 이번에 설명할 구현 방법은 밑에 있는 회로도를 보면

알 수 있듯이 JK 플립플롭에서 J와 K를 연결하여 T라는 기호를 붙인 형태로 볼 수 있다.

따라서 입력이 J와 K가 0이거나 또는 1인 경우, 즉 J와 K가 서로 동일한 관계인 경우에만

플립플롭의 기능을 하는 회로라고 볼 수 있다.

도표, 라인, 스케치, 평면도이(가) 표시된 사진

자동 생성된 설명

\*T-Flipflop 회로도

예를 들어 J가 1이고, K가 1인 경우에는 현재 신호 가 1일 때 다음 신호 가 0이 되며,

현재 신호 가 0일 때 다음 신호 가 1이 된다. 따라서 위의 회로도를 볼 때 T가

1인 경우와 같은 경우라고 볼 수 있으므로 T가 1일 때 출력이 현재 상태의 보수로 나와야

하는 원칙을 위배하지 않는다. 반대로 들어 J가 이고, K가 0인 경우에는 현재 신호 가

1일 때 다음 신호 가 1이 되며, 현재 신호 가 0일 때 다음 신호 가 0이 된다. 따라서

T가 0인 경우와 같은 경우라고 볼 수 있으므로 T가 0일 때 출력이 현재 상태와 그대로

나와야 하는 원칙을 위배하지 않는다. T 플립플롭의 Characteristic Table은 아래와 같다.

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| D | Q(t) | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

\*T-Flipflop Characteristic Table

Characteristic Table을 통해 카르노맵을 그리게 되면 아래와 같다

|  |  |  |
| --- | --- | --- |
| D Q(t) | 0 | 1 |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

\*T-Flipflop 카르노맵

위의 카르노맵을 기준으로 Characteristic equation을 구하게 되면

이 된다.

**5.**

래치(Latch)는 플립플롭과 마찬가지로 1-bit의 정보를 저장하는 회로이지만 플립플롭과는 다르게 Cp신호가 없어, 플립플롭이 동기적으로 작동하는데 비해 래치는 입력을 지속적으로 확인하면서 입력의 변화에 즉각적으로 반응하면서 비동기적으로 작동된다. 플립플롭과 마찬가지로 종류는 RS, JK, D, T Latch가 있다.

-SR Latch

스크린샷, 그래픽, 흑백, 창의성이(가) 표시된 사진

자동 생성된 설명 스크린샷, 그래픽, 디자인이(가) 표시된 사진

자동 생성된 설명

\*SR NOR Latch 회로도 \*SR NAND Latch 회로도

NOR 래치는 S가 Set을 의미하며 R은 Reset을 의미한다. S가 1, R이 0이거나 S가 0, R이

1일 때 출력이 변하며, S와 R이 0이면 입력 상태를 그대로 유지한다. 하지만 S와 R이

모두 1이라면 출력 Q와 Q’이 둘 다 0이 되면서 유효한 경우로 취급하지 않는다.

NAND 래치는 NOR 래치와 같은 기능을 하지만 차이점은 입력이 Invert되어 있다는 점이다.

S가 1, R이 0이거나 S가 0, R이 1일 때 출력이 변하며, S와 R이 1이면 입력 상태를 그대로 유지한다. 하지만 S와 R이 모두 0이라면 출력 Q와 Q’이 둘 다 1이 되면서 유효한 경우로 취급하지 않는다.

|  |  |  |
| --- | --- | --- |
| S | R | Q(t+1) |
| 0 | 0 | Q(t) |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | X |

|  |  |  |
| --- | --- | --- |
| S | R | Q(t+1) |
| 0 | 0 | X |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | Q(t) |

\*SR NOR Latch 진리표 \*SR NAND Latch 진리표

-JK Latch

도표, 스케치, 라인, 디자인이(가) 표시된 사진

자동 생성된 설명

\*JK Latch 회로도

SR 래치와 다르게 J와 K가 둘 다 1일 때도 동작을 할 수 있도록 설계되었다. 위에서

설명한 JK플립플롭과 같은 원리로 기능하기 때문에 중복 설명을 피하기 위해 자세한 설명은

생략한다.

|  |  |  |
| --- | --- | --- |
| J | K | Q(t+1) |
| 0 | 0 | Q(t) |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | Q’(t) |

\*JK Latch 진리표

-D Latch

도표, 스케치, 라인, 라인 아트이(가) 표시된 사진

자동 생성된 설명

\*D Latch 회로도

위에서 설명한 D 플립플롭과 마찬가지로 SR플립플롭의 입력이 S=1, R=0 또는 S=0, R=1인 경우만 취급하여 D의 입력에 따라 D와 같은 출력을 내보내게 된다.

|  |  |
| --- | --- |
| D | Q(t+1) |
| 0 | 0 |
| 1 | 1 |

\*D Latch 진리표

-T Latch

스케치, 도표, 라인, 그림이(가) 표시된 사진

자동 생성된 설명

위에서 설명한 T 플립플롭과 마찬가지로 JK플립플롭의 입력이 J, K가 모두 0이거나 1인 것처럼 같은 입력이 들어가는 경우만 유효한 경우로 취급하기 때문에 T가 0일 때는 상태유지, T가 1일 때는 현재 상태의 보수를 출력으로 내보낸다.

|  |  |
| --- | --- |
| D | Q(t+1) |
| 0 | Q(t) |
| 1 | Q’(t) |

\*T Latch 진리표

Latch에 Enable신호를 추가시켜 Enable 신호가 0이면 래치의 기능을 비활성화시키고,

Enable 신호가 1이면 래치의 기능을 활성화시키는 Latch를 Gated Latch라고 한다.

스크린샷, 그래픽, 디자인이(가) 표시된 사진

자동 생성된 설명

\*SR Gated Latch

플립플롭과 다른 점은 플립플롭은 Cp신호의 변화에 따라 회로에 입력이 전달되는 구조이지만 게이트 래치는 Enable 신호의 Low와 High에 따라 회로가 작동한다.

**6.**

플립플롭은 Sequential 회로라고 할 수 있는데 이 회로의 동작을 Asynchronous와

Synchronous로 구분할 수 있다. Asynchronous는 Logic Control로 입력이 변할 때만 출력이

변하지만 Synchronous는 Clock Control로 Clock Signal의 Edge에서만 출력이 변한다.

또한 이 신호가 0에서 1로 변하는 시점에서 출력이 바뀌는 방식을 Rising Edge(0→1)라고

하며, 1에서 0으로 변하는 시점에서 출력이 바뀌는 방식을 Falling Edge(1→0)라고 한다.

따라서 입력 데이터가 언제나 Clock Signal이 오기 전에 먼저 와있어야 Edge 부분에서

원하는 입력을 줄 수 있다.

**7.**

플립플롭의 Cp에서 오는 신호는 0과 1을 주기적으로 반복하여 오는데 그 신호에 따라

현재 state를 회로로 보내는 순간을 Trigger라고 한다. Trigger는 Level Trigger와 Edge

Trigger로 나뉘고 각각의 Trigger는 또 positive와 negative로 나뉘어진다. Level Trigger는

Cp의 신호의 변화가 있기 전까지 현재 상황을 기준으로 동작하는 방식을 말하며,

Edge Trigger는 Cp의 신호의 변화가 생기는 그 순간을 기준으로 동작하는 방식을 말한다.

Positive-Level은 Cp가 1일 때, Negative-Level은 Cp가 0일 때 동작한다. Positive-Edge는

Cp가 0에서 1로 변할 때, Negative-Edge는 Cp가 1에서 0로 변할 때 동작한다.

텍스트, 도표, 디자인, 스크린샷이(가) 표시된 사진

자동 생성된 설명

\*Trigger 종류

**8.**

이전 상태의 출력이 현재 상태의 입력에 반영되어 현재 상태의 출력이 변화할 때,

입력도 같이 변화되어 오작동을 하는 것을 Race 현상이라고 한다. 이런 Race 현상을 방지하고자 만든 형태를 Master-Slave라고 한다. 이름에서 볼 수 있듯이 두 개의 플립플롭이 있는데 하나의 플립플롭이 주인이 되고 나머지 하나의 플립플롭이 주인 플립플롭에 종속되어 동작하는 방식을 Master-Slave라고 한다.

도표, 라인, 평면도, 폰트이(가) 표시된 사진

자동 생성된 설명

\*Master-Slave Flipflop 회로도

그림을 보게 되면 앞에 있는 플립플롭이 Master역할이며, 뒤에 있는 플립플롭이

Slave 역할이다. Master 플립플롭은 Cp가 Positive Edge일 때 동작하며, Slave 플립플롭은 Cp가 Negative Edge일 때 동작한다.

**9.**

플립프롭은 Cp의 등락에 의해 동작되기 때문에 Cp의 주파수에 따라서 플립플롭의 속도가

결정된다. 이때 단순히 속도를 높이기 위해 Cp의 주파수를 너무 높이게 되면 플립플롭이

제대로 작동하지 않고 오작동을 일으킬 수 있기 때문에 Cp의 주파수의 한계를 둬야 한다.

이렇게 플립플롭이 안전하게 동작할 수 있는 최대 주파수를 Maximum Clock Frequency라고

하며 항상 이 Maximum Clock Frequency 이하에서 동작해야 한다.