2주차 예비보고서

전공: 컴퓨터공학과 학년: 3학년 학번: 20212022 이름: 이예준

**1.**

Hardware Description Language의 약자로 하드웨어 정보들을 텍스트 형태로 표현하여

하드웨어적인 구조 및 동작들을 설계할 수 있다. 이전에는 단순히 실제 회로를 구현하기 전에 텍스트 형태로 설계 및 오류 수정을 통해 시뮬레이션 하는 부문에 머물렀다면 오늘날에는 설계, 시뮬레이션, 검증 뿐만 아니라 구현도 담당하고 있다.

대표전인 HDL로는 Verilog, VHDL가 있으며 그 외에도 AHDL, ABEL , Confluence 등이 있다.

**2.**

1983년 Prabhu Goel이 세운 Gateway Design Automation 회사에서 개발했고 1985년에는 새 version의 verilog인 verilog-XL과 그 simulator를 공개됐다. 이후 Cadence Design System 회사에 인수되었고 IEEE에서 IEEE 표준 Verilog-95(1364-1995)로 공개되었다. 그에 이어 2001년과 2005년에 각각 IEEE 표준Verilog-2001(2001-1364), IEEE 표준 Verilog-2005(2005-1364)로 개정되었다. 이후 디지털 시스템의 설계의 수요 및 필요성이 증가함에 따라 확장이 필요하게 되였고, 2009년을 기준으로 Verilog는 System Verilog 2009(1800-2009)로 통합되었다.

**3.**

-모듈(module)

크게 머리부, 선언부, 몸체부 이렇게 3부분으로 구성되어 있다.

1. 머리부 : module {모듈 이름} ({port 목록});

\*이후에 module 맨 마지막에 ENDMODULE을 붙여 module의 끝을 알린다.

2. 선언부: C언어에서 변수를 선언하는 것과 같이 module의 필요한 것들을 선언한다.

3. 몸체부: 회로의 기능, 동작, 구조 등을 표현하는 다양한 구문들로 구성한다.

-데이터 타입(Data Type)

추상적인 저장장치인 Register와 디바이스의 물리적인 연결을 담당하는 선인 Net가 있다.

Register를 통해 값들을 받아서 저장하고 Net를 통해 신호들을 연결한다.

Register의 종류

1.reg: 절차형 할당문을 통해 값을 받는 객체

2. integer: 정수형 변수

3. time, realtime: 시간형 변수(simulation 시간을 처리)

4. real: 실수형 변수

Net의 종류

1. wire: 변수들이 모듈 내에서 어떻게 연결되어 있는지를 나타내 주는 변수

2. tri: 선을 연결할 때 사용

-상수(constant)선언

bit 수 제한이 있는 reg의 값 선언할 때: {bit 수}‘{입력 형식}{입력 값}

**bit(size) 정한 경우:** 4’b1111; [binary 1111 (4bit)]  
 4’hf; [hexadecimal F (4bit)]  
 4’d15; [decimal 15 (4bit)]

**bit(size) 정하지 않은 경우:** 214; [integer 214]

h32; [hexadecimal 32]

o324; [octal 324]

**부호가 있는 수(음의 값은 2의 보수로 처리):** -8’d6; [decimal –6 (8bit)]

-연산자

|  |  |  |
| --- | --- | --- |
|  | 연산자 | 의미 |
| 산술 연산자 | +, -, %, \*, / | 산술 연산 |
| 관계 연산자 | ==, !=, >, >= | 관계 연산 |
| 논리 연산자 | && | 논리적 AND |
| || | 논리적 OR |
| ! | 논리적 NOT |
| & | 비트 AND |
| | | 비트 OR |
| ~ | 비트 NOT |
| ^ | 비트 XOR |
| ^~,~^ | 비트 XNOR |
| 시프트 연산자 | >> | 오른쪽 shift |
| << | 왼쪽 shift |
| 기타 | {} | 결합 연산자 |
| {{}} | 반복 연산자 |
| exp1?exp2:exp3 | 3항 조건 연산자 |