4주차 결과보고서

전공: 컴퓨터공학과 학년: 3학년 학번: 20212022 이름: 이예준

**1.**

이번 실험의 목적은 NAND, NOR, XOR, AOI gate의 동작원리 이해,

각 게이트의 다중입력 게이트를 Verilog를 이용해 코드 구현,

각 코드의 simulation 결과를 통해 코드의 정상작동 확인

그리고 FPGA 보드를 통해서 구현된 회로의 정상작동을 확인하는 것이다.

**2.**

스크린샷, 디스플레이, 소프트웨어, 멀티미디어 소프트웨어이(가) 표시된 사진

자동 생성된 설명

\*4-input NAND gate의 simulation 결과

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **In A** | **In B** | **In C** | **In D** | **Out E** | **Out F** | **Out G** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

\*4-input NAND gate의 진리표

이 게이트는 NAND게이트로만 조합되어 있으며 A, B, C, D가 입력으로 이루어져 있고 출력은 E, F, G로 이루어져 있다. 출력 E는 A, B를 입력으로 받고 있고, 출력 F는 E, C를 입력으로 받고 있고 마지막 출력 G는 F, D를 입력으로 받고 있다.

모든 출력은 두 입력이 모두 1일때만 ‘0’을 반환하고, 그 외의 경우는 모두 ‘1’을 반환한다.

AND게이트의 진리값과 모두 반대로 생각하면 된다.

**3.**

**스크린샷, 디스플레이, 텍스트, 소프트웨어이(가) 표시된 사진

자동 생성된 설명**

\*4-input NOR gate의 simulation 결과

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **In A** | **In B** | **In C** | **In D** | **Out E** | **Out F** | **Out G** |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

\*4-input NOR gate의 진리표

이 게이트는 NOR게이트로만 조합되어 있으며 A, B, C, D가 입력으로 이루어져 있고 출력은 E, F, G로 이루어져 있다. 출력 E는 A, B를 입력으로 받고 있고, 출력 F는 E, C를 입력으로 받고 있고 마지막 출력 G는 F, D를 입력으로 받고 있다.

모든 출력은 두 입력이 모두 0일때만 ‘1’을 반환하고, 그 외의 경우는 모두 ‘0’을 반환한다.

OR게이트의 진리값과 모두 반대로 생각하면 된다.

**4.**

스크린샷, 디스플레이, 소프트웨어, 텍스트이(가) 표시된 사진

자동 생성된 설명

\*4-input XOR gate의 simulation 결과

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **In A** | **In B** | **In C** | **In D** | **Out E** | **Out F** | **Out G** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

\*4-input XOR gate의 진리표

이 게이트는 XOR게이트로만 조합되어 있으며 A, B, C, D가 입력으로 이루어져 있고 출력은 E, F, G로 이루어져 있다. 출력 E는 A, B를 입력으로 받고 있고, 출력 F는 E, C를 입력으로 받고 있고 마지막 출력 G는 F, D를 입력으로 받고 있다.

모든 출력은 두 입력이 모두 같을 때만 ‘0’을 반환하고, 그 외의 경우는 모두 ‘1’을 반환한다.

**5.**

스크린샷, 디스플레이, 텍스트, 소프트웨어이(가) 표시된 사진

자동 생성된 설명

\*4-input AOI gate의 simulation 결과

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **In A** | **In B** | **In C** | **In D** | **Out E** | **Out F** | **Out G** |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

\*4-input AOI gate의 진리표

이 게이트는 AND게이트와 NOR게이트로 조합되어 있으며 A, B, C, D가 입력으로 이루어져 있고 출력은 E, F, G로 이루어져 있다. 출력 E는 A, B를 입력으로 받고 있고, 출력 F는 C, D를 입력으로 받고 있고 마지막 출력 G는 E, F를 입력으로 받고 있다.

출력 E와 F는 AND게이트의 작동원리에 따라 두 입력이 모두 1일때만 ‘1’을 반환하고, 그 외의 경우는 모두 ‘0’을 반환한다. 출력 G는 두 NOR게이트의 작동원리에 따라 두 입력이 모두 0일때만 ‘1’을 반환하고, 그 외의 경우는 모두 ‘0’을 반환한다.

**6.**

2~5번 문항을 시뮬레이션, 진리표를 통해 서로 대조했을 때 모두 정상적으로 작동하는 것을 확인했고 FPGA 보드에서도 정상적으로 작동하는 것을 확인했다.

3주차 실험에서는 AND와 OR게이트를 이용하여 실험했고, 이번 4주차 시험에서는

NAND와 NOR게이트를 이용했다.

도표, 폰트, 텍스트, 라인이(가) 표시된 사진

자동 생성된 설명

\*NAND, NOR 게이트 기호

위 그림을 보듯이 AND, OR게이트와NAND, NOR게이트가 서로 다른 점은 바로 NOT게이트에 원인이 있다. 따라서 이 차이점을 이용해 기존 회로를 NOT게이트를 이용해 다른 게이트로 변환하는 과정을 논의사항으로 두려고 한다.

예를 들어

도표, 스케치, 디자인이(가) 표시된 사진

자동 생성된 설명

AND, OR게이트로만 회로가 구성되어 있을 때

도표, 스케치, 기술 도면, 평면도이(가) 표시된 사진

자동 생성된 설명

A, B와 C, D를 입력으로 받는 두 게이트를 NAND게이트로 바꾸고 그 출력을 그대로 유지하기 위해 앞에 NOT게이트를 하나씩 추가한다. 그 다음 출력 F를 반환하는 OR게이트도 NAND게이트로 바꾸기 위한 사전 준비로 입력부분에 NOT게이트를 두 개씩 추가한다.

라인, 폰트, 도표, 그래프이(가) 표시된 사진

자동 생성된 설명

\*게이트

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | (AB)’ | A’+B’ |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

\*진리표

위의 두 게이트와 진리표를 보게 되면 NAND게이트와 NOT, OR 게이트조합의

출력이 서로 같은 것을 볼 수 있다.

도표, 스케치, 기술 도면, 평면도이(가) 표시된 사진

자동 생성된 설명

따라서 위 그림에서 OR게이트는 NAND게이트로 바꾸고,

A, B와 C, D를 입력으로 받는 두 NAND게이트 출력부에 있는 두개의 NOT게이트와

출력 F를 반환하는 NAND게이트 입력부에 있는 NOT게이트 두개가 서로 상쇄되어

도표, 스케치, 라인, 평면도이(가) 표시된 사진

자동 생성된 설명

최종적으로 위와 같은 회로가 되면서 NAND게이트로 모두 전환할 수 있는 것을

볼 수 있었다.

**7.**

gate의 종류가 AND, OR에 더해 다양하게 된 이유 중 가장 중요하다고 여겨지는 것은

인버터라고도 부르는 NOT gate 라고 생각된다. 따라서 NOT 게이트에 대해 더 자세히 알아보고자 한다.

NOT게이트는 입력신호를 반전시키는 논리 게이트이다.

입력이 낮을 때(0) 항상 높은 출력(1)을 가지고 있고, 반대로 입력이 높을 때(1)는

항상 낮은 출력(0)을 가지고 있다.

작동원리는 아래와 같다.

도표, 라인, 그래프, 디자인이(가) 표시된 사진

자동 생성된 설명

\*NOT 게이트 기본 Transistor 회로도

도표, 라인, 폰트, 디자인이(가) 표시된 사진

자동 생성된 설명

\*높은 입력을 받은 NOT 게이트 Transistor 회로도

위 그림처럼 높은 입력(+5V)을 받게 되면 transistor T는 ‘ON’상태가 되면서

B의 공급전압은 저항 R을 통해 Ground로 가는 경로를 얻는다.

따라서 대부분의 공급 전압이 R을 가로질러 Ground로 지나가기 때문에

X에는 전압이 나타나지 않아 게이트의 출력이 ‘0’이 된다.

도표, 라인, 그래프, 폰트이(가) 표시된 사진

자동 생성된 설명

\*낮은 입력을 받은 NOT 게이트 Transistor 회로도

낮은 입력을 받게 되면 transistor T가 ‘ON’ 상태가 되지 못하고 ‘OFF’상태가 되면서

B의 공급전압은 저항 R을 통해 Ground로 가는 경로를 얻지 못한다.

따라서 X에는 전압이 올라가 게이트의 출력이 ‘1’이 된다.