8주차 결과보고서

전공: 컴퓨터공학과 학년: 3학년 학번: 20212022 이름: 이예준

**1.**

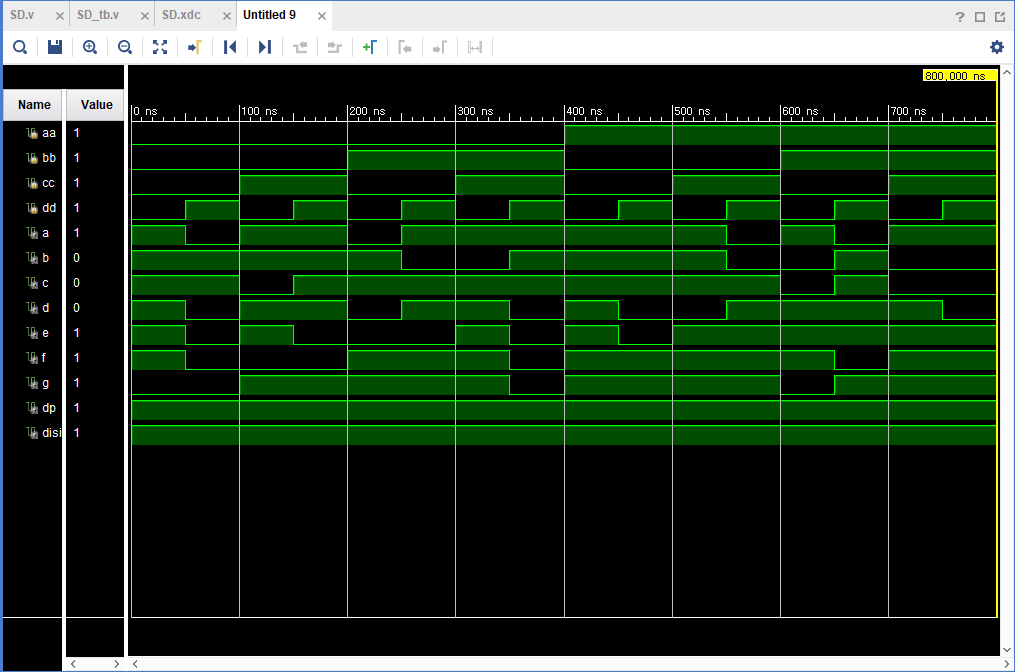
이번 실험의 목적은 7-Segment Display의 개념에 대해 이해하고 Verilog를 이용해

7-Segment Display의 코드를 구현하는 것이다. 그리고 구현한 코드에 대해

Simulation결과가 정상적으로 나오는지 확인하고 FPGA보드를 이용해

Verilog로 구현된 회로의 동작을 확인하는 것이다.

**2.**



\*7-Segment Display Simulation 결과

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **In A** | **In B** | **In C** | **In D** | **Out A** | **Out B** | **Out C** | **Out D** | **Out E** | **Out F** | **Out G** | **Out Dp** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

\*7-Segment Display 진리표

0부터 9까지 표현하는 일반적인 7-Segment Display와는 다르게 0부터 15까지 표현하는

7-Segment Display를 구현했다. 따라서 10이 넘어가면 두 자리로 표현해야 하는 10진법이 아니라 16까지 하나의 문자로 표현할 수 있는 16진법으로 나타냈다.

스크린샷, 라인, 번호, 사각형이(가) 표시된 사진

자동 생성된 설명스크린샷, 라인, 번호, 사각형이(가) 표시된 사진

자동 생성된 설명스크린샷, 라인, 번호, 사각형이(가) 표시된 사진

자동 생성된 설명스크린샷, 라인, 번호, 사각형이(가) 표시된 사진

자동 생성된 설명스크린샷, 라인, 직사각형, 번호이(가) 표시된 사진

자동 생성된 설명

\*0~15까지의 7-Segment Display

아래를 보면 위의 진리표를 토대로 카르노맵을 그려 각 출력에 대한 논리식을 도출해냈다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 1 | 1 | 0 | 1 |

\*Output A 카르노 맵

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 0 | 1 | 0 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 1 |

\*Output B 카르노 맵

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 0 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 1 | 1 |

\*Output C 카르노 맵

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 |

\*Output D 카르노 맵

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 1 |
| 01 | 0 | 0 | 0 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 0 | 1 | 1 |

\*Output E 카르노 맵

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

\*Output F 카르노 맵

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB CD | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 0 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

\*Output G 카르노 맵

Output DP는 Input과는 상관없이 언제나 켜져 있어 이고,

Output Digit은 각 출력들을 OR Logic으로 연결되어 있어

이다. 출력이 모두 0이 되는 경우가 없기 때문에

DP와 마찬가지로 언제나 1이 된다.

\*DP는 Non-integer number를 나타낼 때 사용되며,

Digit은 Output을 FPGA 보드의 어떤 위치에 표시할지 설정하기 위한 용도이다.

**3.**

실험에서 7-Segment Display를 이용해 0부터 15까지를 16진법으로 나타낼 수 있는 것을

Simulation결과와 FPGA 보드 구현 결과를 통해 확인할 수 있었다. 이번 실험의

논의사항으로 7-Segment의 한계점을 들고자 한다. 7개의 Segment를 이용해 숫자와 문자를

표시할 수 있지만 표시할 수 있는 문자에 한계가 있고(Q와 같은 문자), 표시할 수 있다고

해도 실제 문자와는 비교적 다른 모습으로 표시하기 있기 때문에

7-Segment Display의 표시능력의 한계를 명확히 파악하여 사용할 필요성을 느꼈다.

**4.**

7-Segment Display는 선택할 수 있는 여러 옵션이 있는데, 그 옵션에는

크기 및 색상이 있다. 가장 일반적으로 사용하는 Display의 크기는 14.20mm이다.

색상을 여러가지로 바꿔서 사용할 수 있지만 빨간색을 주로 사용하는 이유는 다른 색상보다

빨간색이 더 적은 전력을 소비하기 때문이다.