

الالكترونيات رقمية

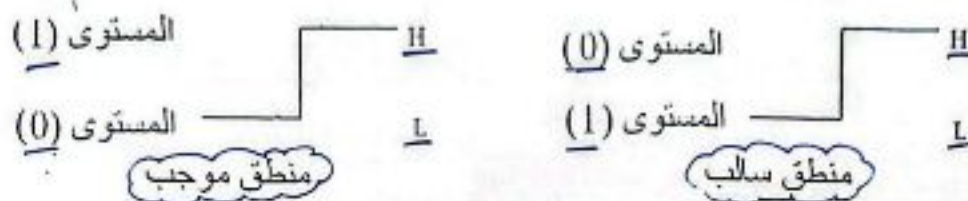
لتفعيل التعبيرات المنطقية

الباب الأول : تقسيم عائلات البوابات المنطقية

البوابة المنطقية (Logic Gate) البوابة المنطقية عبارة عن عنصر إلكتروني يستخدم في الدوائر الإلكترونية للتحكم في الإشارات الرقمية موجودة على مدخلاته. وتتميز بوجود مدخل أو أكثر ولكن لها مخرج واحد فقط. ومعظم الدوائر الإلكترونية الحديثة والحاسبات الرقمية تتألف بشكل أساسي من البوابات المنطقية.

المنطق الموجب والمنطق السالب

- تعمل البوابات المنطقية على السماح بمرور البيانات أو عدم مرورها أي أن لها مستويين من جهد الخرج (جهد الخرج وبالنسبة فإن جهد الخرج عند السماح بمرور البيانات يختلف عن جهد الخرج عند منع مرورها).
- وهذان المستويان للخرج يناسبان تماماً نظام الأعداد الثنائية وعلى ذلك إذا كان جهد الخرج منخفضاً (LOW) فإنه يقابل المستوى (0) الثنائي ويقال أن الخرج غير حقيقي (FALSE). وإذا كان جهد الخرج عالياً (HIGH) فإنه يقابل المستوى (1) الثنائي ويقال أن الخرج حقيقي (TRUE).



الشكل (1) متكاملة المنطق الموجب والمنطق السالب

- * وهناك نوعان من المنطق، يسمى أحدهم بالمنطق الموجب (Positive Logic)، والآخر بالمنطق السالب (Negative Logic)، فإذا كان مستوى إشارة خرج البوابة الذي يقابل المستوى (1) الثنائي أكثر إيجابية من المستوى (0) الثنائي، يقال أن البوابة تعمل على منطق موجب.
- * أما إذا كان المستوى (0) الثنائي أكثر إيجابية من المستوى (1) الثنائي فيقال أن البوابة تعمل على منطق سالب.

على سبيل المثال الجدول التالي يبين المنطق الموجب لبوابة AND والمنطق السالب لبوابة OR.

سلوك البوابة			المنطق الموجب			المنطق السالب		
X	Y	F	X	Y	AND	X	Y	OR
L	L	L	0	0	0	1	1	1
L	H	L	0	1	0	1	0	1
H	L	L	1	0	0	0	1	1
H	H	H	1	1	1	0	0	0

لاحظ أن :

Positive Logic	Negative Logic
H = 1	H = 0
L = 0	L = 1

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

الدوائر المتكاملة للبوابات المنطقية Digital Logic Gate ICs

بناء البوابات المنطقية من مكونات منفصلة غير عملي للغاية سواء فيما يتعلق بالأداء العام (استهلاك الطاقة والسرعة والقدرة على التشغيل .. الخ) وأيضا التكلفة والحجم الإجمالي.

ويفضل بناء البوابات المنطقية من الدوائر المتكاملة والتي تتكون من عدة أجزاء هي :

- 1 - الغلاف الخارجي وهو من مادة عازلة (البلاستيك أو الخزف) ⇒
- 2 - الأرجل المعدنية التي تصل الدائرة باللوحة ⇒
- 3 - الرقاقة الإلكترونية التي تحتوي على الترانزستورات ⇒



مميزات استخدام الدوائر المتكاملة:

- * الحجم الصغير.
- * استهلاك قدرة ضعيفة بالنسبة للنوعية الأخرى من الدوائر.
- * تكلفة أقل.
- * الحرارة الناتجة عنها بسيطة لذلك ليس هناك حاجة للتبريد أو التهوية.
- * تعمل الدائرة المتكاملة بكفاءة عالية ربما تصل إلى 50 مرة كفاءة الدوائر العادية.
- * تعمل بسرعة عالية حيث أن الإشارة تأخذ زمناً أقل عند انتقالها داخل الدائرة.
- * عدم وجود لحامات داخلية يقلل من احتمال حدوث فصل داخلي للأطراف حيث أن المكونات تتصل ببعضها عن طريق شرائح رقيقة من المعدن.

مميزات الأجهزة المصنوعة من الدوائر المتكاملة:

- أ - عدد المكونات الداخلية أقل.
- ب - التوصيلات أقل وبالتالي زمن التجميع والتصنيع أقل.

عيوب استخدام الدوائر المتكاملة:

- * لا يمكن العمل بتيارات عالية بسبب صغر حجمها.
- * بعض المكونات لا يمكن تصنيعها داخل دوائر متكاملة مثل الملفات وتطبيقاتها.
- * تصنيع المقاومات والمكثفات بالغ الصعوبة بسبب المساحة الكبيرة نسبياً والتي يحتلها كل منها داخل الدائرة المتكاملة وخاصة مع القيم الكبيرة.
- * لا يمكن إصلاح الدائرة المتكاملة عند عطل أي جزء منها مما يلزم استبدالها بالكامل.

التكنولوجيا المستخدمة في تصنيع الدوائر المتكاملة الرقمية

تتوافر البوابات المنطقية القياسية تجارياً في عائلتين أساسيتين هما:

أ - عائلة TTL. تتوافر في سلسلة 74xx.

ب - عائلة CMOS. تتوافر في سلسلة 40xx.

والرموز TTL أو CMOS تشير إلى التكنولوجيا المستخدمة في تصنيع الدوائر المتكاملة الرقمية، (IC) أو "رقاقة" كما يطلق عليه أكثر شيوعاً.

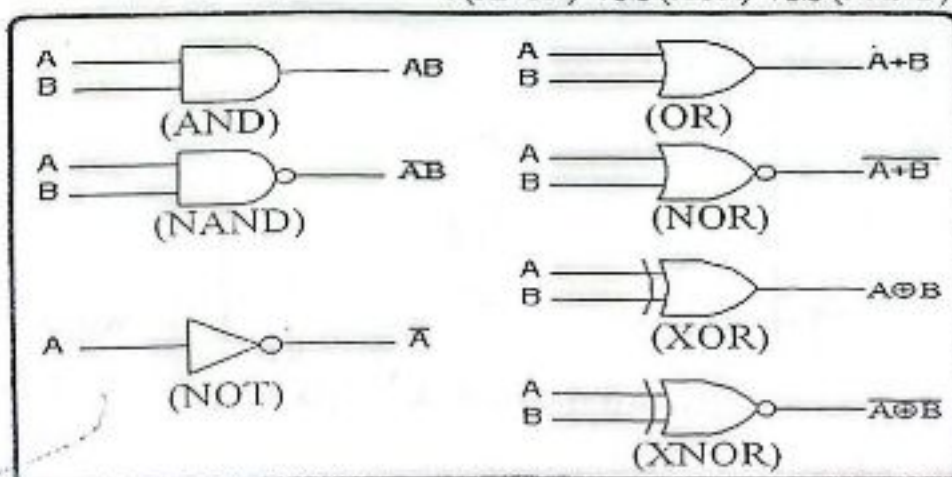
الشكل (2) متكاملة البوابة المنطقية

- الدوائر "TTL IC" تستخدم الترانزستورات من النوع ثنائي القطب (NPN) أو (PNP).
- في حين أن الدوائر المتكاملة "CMOS IC" تستخدم الترانزستورات من النوع تأثير المجال أو FET.
- * الميزة الأساسية للشرائح ذات النوع CMOS عن نظيرتها TTL هو كثافة التصنيع.
- * إن الدائرة المتكاملة TTL تستهلك طاقة أكثر من الـ CMOS وخاصة في حالة الفصل.
- ** وبجانب تكنولوجيا تصنيع الدوائر المتكاملة TTL و CMOS، فإنه يمكن أيضاً تصنيع البوابات المنطقية الرقمية البسيطة من ربط بعض العناصر الكهرونية كالقواطع والمقاومات والترانزستورات معاً لإنتاج دوائر منطقية مثل:

البوابات المنطقية RTL - المقاومة - الترانزستور، البوابات المنطقية DTL - ديود - الترانزستور أو البوابات المنطقية ECL منطلق اقتران الباعث.

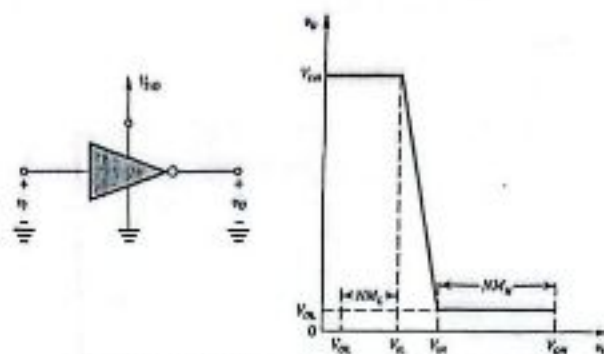
وتنقسم البوابات المنطقية كما هو مبين في الشكل (3) إلى:

البوابات المنطقية الأساسية البوابة (AND) و البوابة (OR) و البوابة (NOT) و البوابات المنطقية المشتقة بوابة (NOR) و بوابة (NAND) و بوابة (XOR) و بوابة (XNOR).



خصائص النقل للدالة وثوابتها : يبين الشكل (4) منحنى خصائص النقل (VTC) للعاكس المنطقي الرقمي / بوابة NOT ومن المنحنى نلاحظ أن :

- (1) وظيفة العاكس هو عكس قيمة منطق إشارة دخله .
- (2) يتم استخدام منحنى خصائص النقل إلى تحديد معاملات العاكس .



الشكل (4) منحنى خصائص النقل لبوابة NOT

(3) معاملات / ثوابت منحنى خصائص النقل VTC

- VOH : جهد مستوى الخرج العالي . VOL : جهد مستوى الانتاج المنخفض .
VIH : جهد مستوى الدخل العالي . VIL : جهد مستوى الدخل المنخفض .

**** مميزات العائلة المنطقية من أهمها :**

1. جيد التغذية V_{CC} .
2. هامش الضوضاء / الضجيج Noise Margin .
3. عدد تقريعات الخرج Fan-out .
4. زمن تأخير الانتشار Propagation Delay .
5. القدرة المستهلكة Power Dissipation .

الفرق بين مستويات الإشارة المنطقية: تم تصميم دوائر بوابات المنطق لكي تتعامل مع إشارات "عالية" (1) و إشارات "منخفضة" (0) ، لكل من المدخلات والمخرجات . ففي الحالة المثالية يفترض أن جهد التغذية يعبر عن مستوى الجهد المرتفع هو +5V ويمثل جهد الأرضي الجهد المنخفض هو 0V .

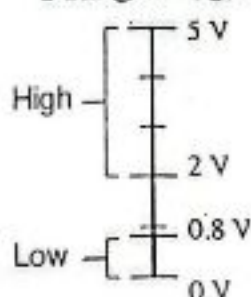
**** إن المستويات المنطقية لكل من TTL و CMOS تختلف .**

**** مستويات الجهد لعائلة الـ TTL التي تتغذى على جهد 5V هي :**

المستوى المنطقي (1)	المستوى المنطقي (0)	بوابات TTL
من 2V إلى 5V	من 0V إلى 0.8V	بالنسبة للدخل
من 2.7V إلى 5V	من 0V إلى 0.4V	بالنسبة للخروج

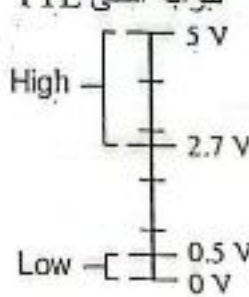
مستويات إشارة الدخل

لبوابة النفي TTL



مستويات إشارة الخرج

لبوابة النفي TTL

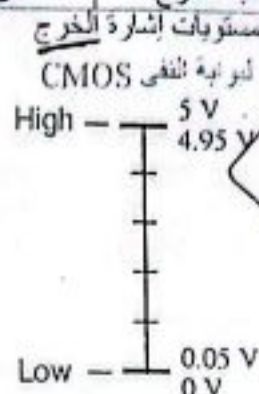
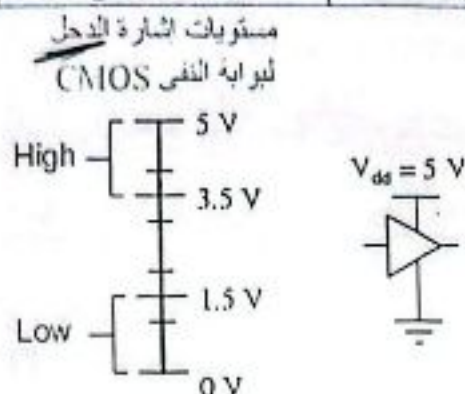


الشكل (5) مستويات إشارة الدخل والخروج لبوابة النفي TTL

**** بينما عائلة الـ CMOS التي تتغذى على جهد 5V تتميز بالمستويات المنطقية التالية :**

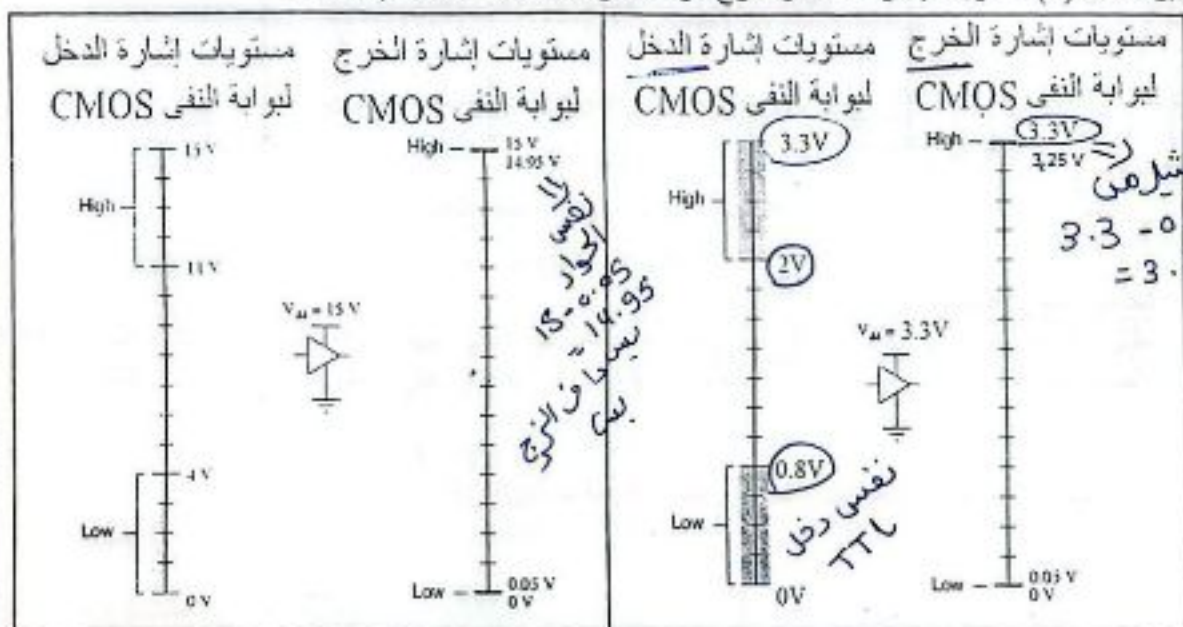
بينما عائلة الـ CMOS التي تتغذى على جهد 5V تتميز بالمستويات المنطقية التالية :

بوابة CMOS	المستوى المنطقي (0)	المستوى المنطقي (1)
بالنسبة للدخل	من 0V إلى 1.5V	من 3.5V إلى 5V
بالنسبة للخروج	من 0V إلى 0.05 V	من 4.95V إلى 5V



مكتبة ابو زياد
قويسنا - امام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

الشكل (6) مستويات إشارة الدخل والخرج لبوابة النقي CMOS +5V
إن فولتية المنبع بالنسبة لعائلة الـ TTL يجب أن يكون 5V مع تسامح بمقدار 10% فقط ، بينما فولتية المنبع بالنسبة لـ CMOS فهي بين 3V و 16V .
يبين الشكل (7) مستويات إشارة الدخل والخرج لبوابة النقي CMOS +15V , +3.3V



الشكل (7) مستويات إشارة الدخل والخرج لبوابة النقي CMOS +15V , +3.3V
وقد صممت الغالبية العظمى من الدوائر المتكاملة TTL و CMOS للعمل على الجهد +5V (هذا لا ينطبق على جميع العائلات والتي سوف نتناولها لاحقاً) .

العوامل التي تحدد اختيار نوع الدائرة المنطقية

١- سرعة التشغيل (زمن الانتشار)	٥- عدد تفرعات الدخل Fan-in
٢- هامش الضوضاء Noise Margin	٦- استهلاك الطاقة Power Dissipation
٣- المناعة ضد الضوضاء	٧- توافر الدوائر
٤- عدد تفرعات الخرج Fan-out	٨- التكلفة

1 - هامش الضوضاء Noise Margin

عبارة عن معامل يحدد أقصى جهد ضوضاء يمكن أن يضاف إلى مدخلات البوابة والذي لا يؤثر على استقرار الخرج . ويوجد معاملان لهامش الضوضاء / الشوثر هما :

أ - هامش الضوضاء المنخفض (NML) ب - هامش الضوضاء العالي (NMH) الشكل (8)

ويجب ملاحظة أن المستويات المنطقية لبوابة المرسل يجب أن تكون أعلى من المستويات المنطقية لبوابة المستقبل أي

⇒

$$V_{OH} > V_{IH} > V_{IL} > V_{OL}$$

وإن منطق $V_{OH} = 1, V_{IH} = 1$ وأن منطق $V_{OL} = 0, V_{IL} = 0$

** ويعرف هامش الضوضاء المنخفض (NML) بأنه الفرق بين أقصى جهد منخفض في الدخل وأقصى جهد

منخفض في الخرج (($NML = V_{IL} - V_{OL}$))

** ويعرف هامش الضوضاء العالي (NMH) بأنه الفرق بين أقل جهد مرتفع في الخرج وأقل جهد مرتفع في الدخل

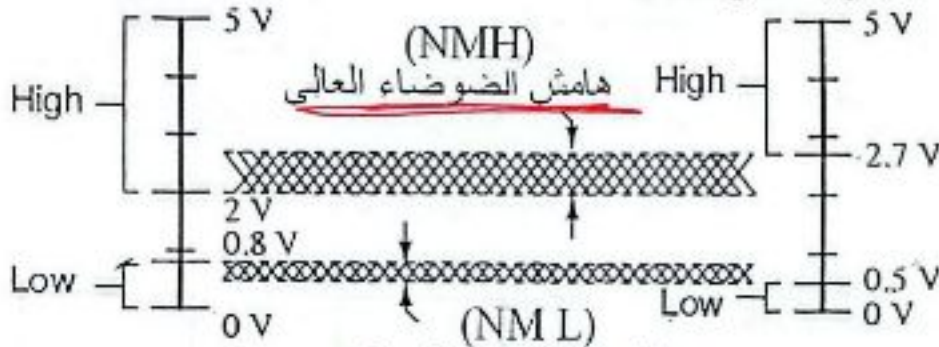
$$((NMH = V_{OH} - V_{IH}))$$

مستويات إشارة الدخل

لبوابة النفي TTL

مستويات إشارة الخرج

لبوابة النفي TTL



هامش الضوضاء المنخفض

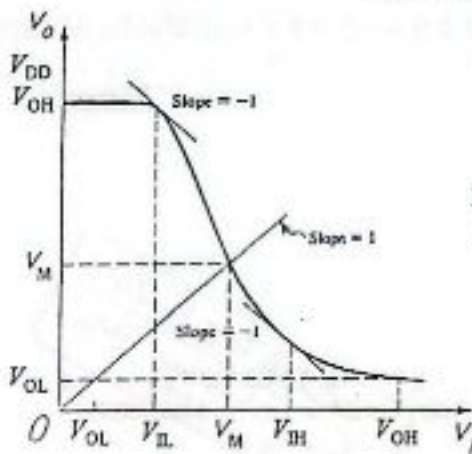
الشكل (8) هامش الضوضاء

تحديد هامش الضوضاء

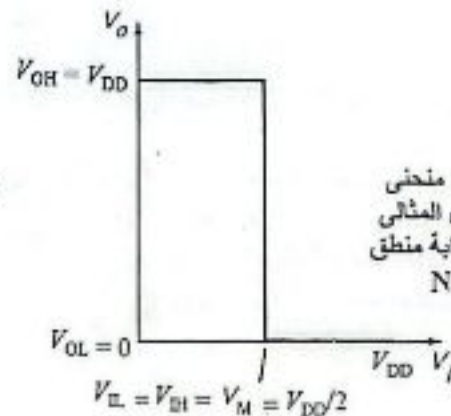
مثال : افترض أن مستوى التغذية 5V ، وأن المستوى المنطقي العالي لجهد بوابة الإرسال V_{OH} أعلى من 4.5V وأن المستوى المنطقي العالي لجهد بوابة الاستقبال V_{IH} أعلى من 3.5V . فإن هامش الضوضاء العالي NMH يصبح

$$NMH = V_{OH} - V_{IH} = 4.5 - 3.5 = 1V$$

يبين الشكل (9) منحنى الخصائص المثالي والعملي لبوابة منطق NOT .



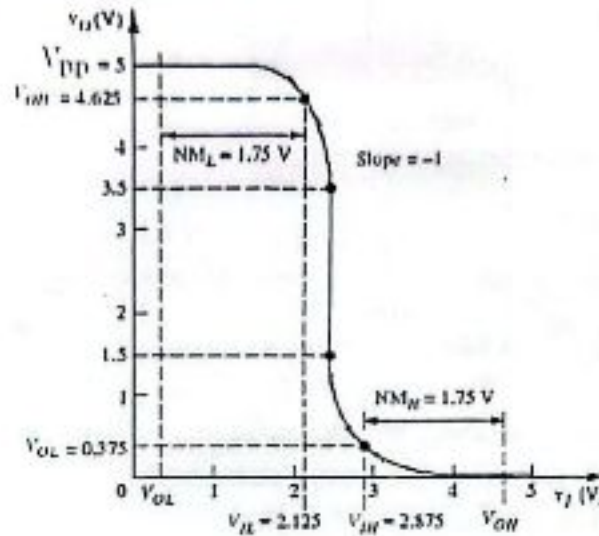
Ideal



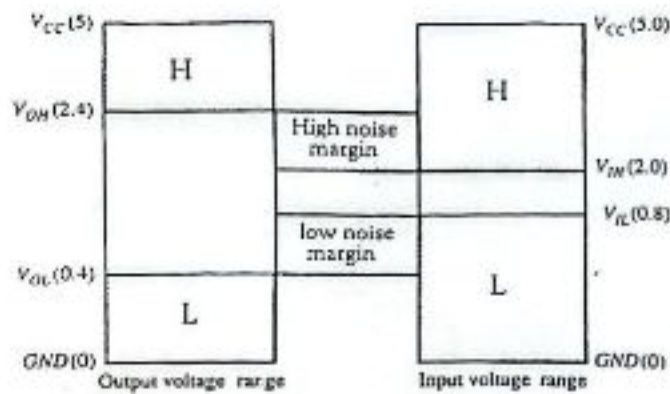
الشكل (9) منحنى الخصائص المثالي والعملي لبوابة منطق NOT

بينما يبين الشكل (10) منحنى الخصائص لبوابة منطق NOT العاكس لعائلة (CMOS) وهو منحنى غير خطي وموضح أيضا على الشكل كيفية حساب هامش الضوضاء العالي NMH و هامش الضوضاء المنخفض NML.

$$NMH = VOH - VIH = 4.625 - 3.5 = 1.75V$$

$$NML = VIL - VOL = 2.125 - 0.375 = 1.75V$$


الشكل (10) منحنى الخصائص المثالي والعملي لبوابة منطق NOT



مثال 1 : احسب هامش الضوضاء المنخفض NML و هامش الضوضاء العالي NMH للتخطيط المبين في الشكل (11).

$$NMH = VOH - VIH = 2.4 - 2.0 = 0.4 V$$

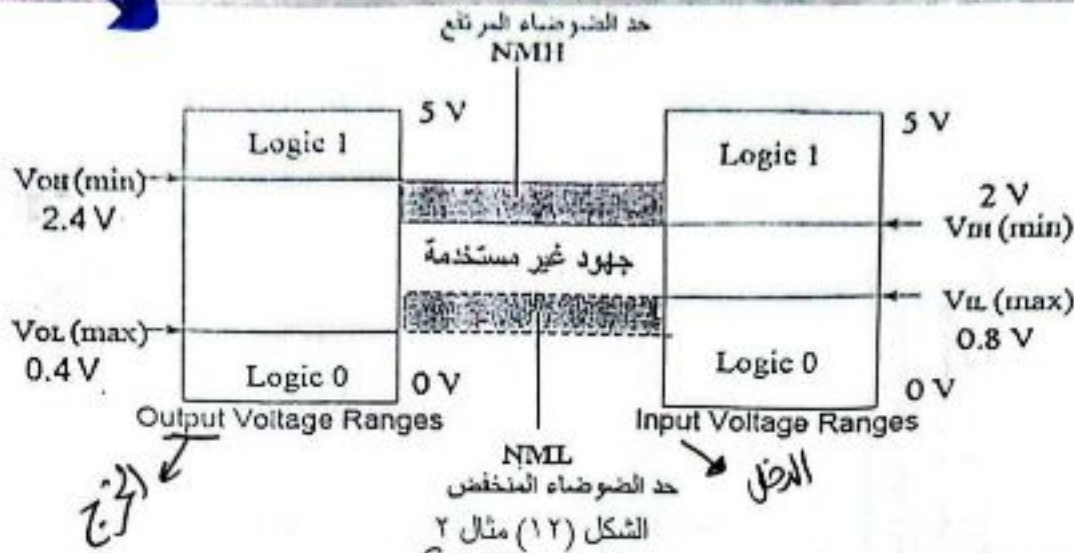
$$NML = VIL - VOL = 0.8 - 0.4 = 0.4 V$$

الحل

مثال 2 : من الرسم الشكل (12) أجب عن الأسئلة الآتية :

VIL : أقصى جهد للدخل المنخفض = 0.8 فولت
VOL : أقصى جهد للخروج المنخفض = 0.4 فولت
VIH : أقل جهد للدخل العالي = 2.0 فولت
VOH : أقل جهد للخروج العالي = 2.4 فولت





NML : هامش الضوضاء (حد الضوضاء) المنخفض = 0.4... 0.4 فولت

لان $NML = V_{IL} - V_{OL}$

NMH : هامش الضوضاء (حد الضوضاء) العالى = 0.4... 0.4 فولت

لان $NMH = V_{OH} - V_{IH}$

"1 Logic" حدود الواحد المنطقى للدخل من 2... الى 5...

"0 Logic" حدود الصفر المنطقى للدخل من 0... الى 0.8...

"1 Logic" حدود الواحد المنطقى للخروج من 2.4... الى 5...

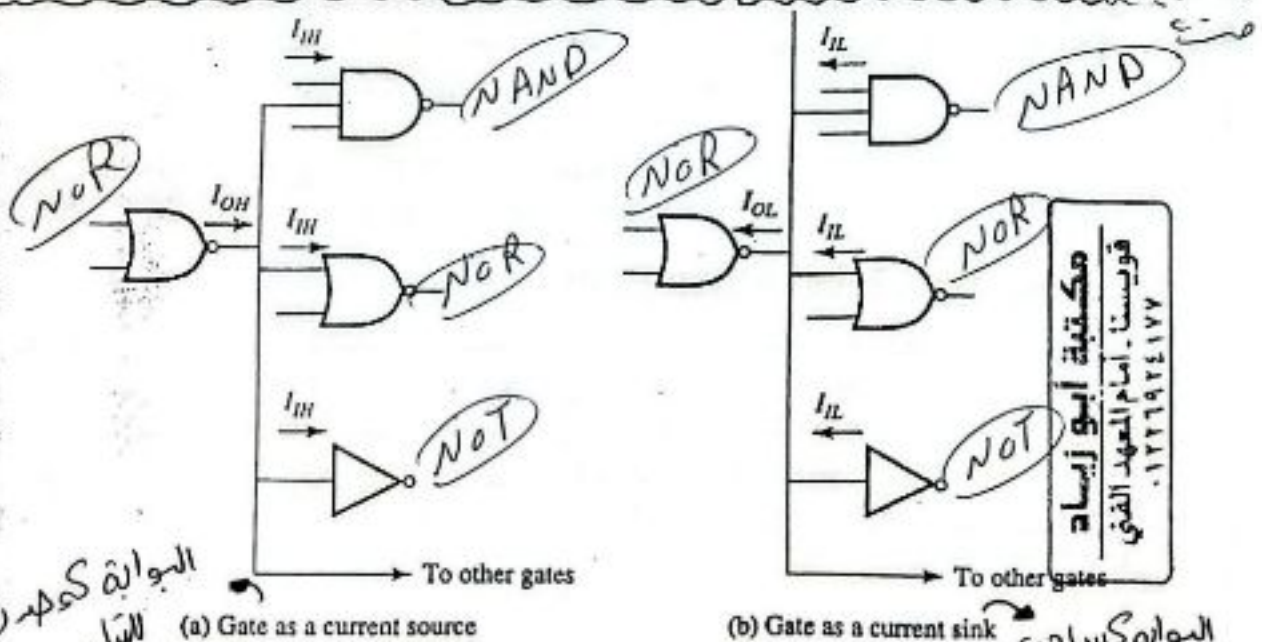
"0 Logic" حدود الصفر المنطقى للخروج من 0... الى 0.4...

عدد تفرعات الخرج فى البوابات المنطقية Fan-out

هو مصطلح يحدد الحد الأقصى لعدد المدخلات الرقمية التى يمكن تغذيتها من خرج بوابة منطقية واحدة كما هو مبين

الشكل (١٣) . ويعرف عدد تفرعات الخرج Fan-out :

بانه هو أقصى عدد من البوابات المنطقية التى يمكن توصيلها الى خرج بوابة منطقية بدون أن يتأثر أداء هذه البوابة .



الشكل (١٣) عدد تفرعات الخرج فى البوابات المنطقية

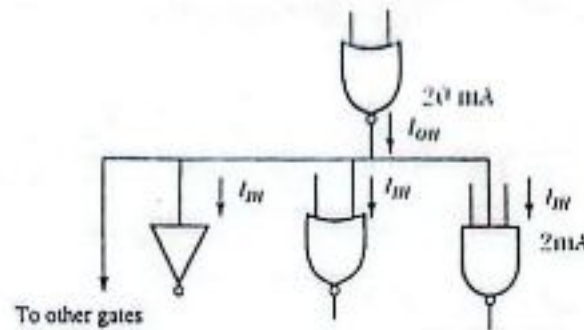
يمكن لمعظم بوابات المنطق (TTL) بوابات الترانزستور - الترانزستور تغذية ما يصل إلى 10 من البوابات الرقمية

الأخرى أو الأجهزة. وهكذا، فإن عدد تفرعات الخرج فى بوابة TTL النموذجية يكون 10 .

ويتم حساب عدد تفرعات الخرج فى البوابات المنطقية من استخدام أى من العلاقات التالية :

$$\text{Fan-out} = \max(I_{OL}/I_{IH}) \quad \text{*****} \quad \text{Fan-out} = \max(I_{OH}/I_{IH})$$

في بعض الأنظمة الرقمية، إذا لزم الأمر لبوابة TTL واحدة أن تغذي أكثر من 10 بوابات في هذه الحالة يستخدم عزل buffer من البوابة TTL والبوباات التي يتم تغذيتها لأن عدد تفرعات الخرج لعازل buffer يتراوح من 25 إلى 30 ، كما يمكن استخدام العاكس المنطقي (بوابة NOT) لأداء نفس الوظيفة في معلمي الدوائر الرقمية . مثال ٢ : احسب عدد تفرعات الخرج Fan-out للتخطيط المبين في الشكل (١٤) .

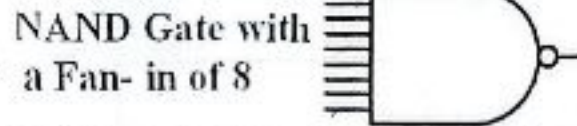


الشكل (١٤) عدد تفرعات الخرج Fan-out مثال ٢

$$\text{Fan-out} = n = \max (I_{OH} / I_{IH}) = 20\text{mA} / 2\text{mA} = 10 \text{ Gates}$$

عدد تفرعات الدخل في البوابات المنطقية Fan-in

هو أقصى عدد من البوابات المنطقية التي يمكن توصيلها إلى دخل بوابة منطقية بدون أن يتأثر أداء هذه البوابة الشكل (١٥) يبين عدد تفرعات الدخل (ثمانى مداخل) في البوابة المنطقية NAND



الشكل (١٥) عدد تفرعات الدخل (ثمانى مداخل) في البوابة المنطقية NAND

✓ مثال ٣ : احسب fan out (high) عدد تفرعات الخرج Fan-out للمستوى المنطقي العالى "1" و fan out (low) عدد تفرعات الخرج Fan-out للمستوى المنطقي المنخفض "0" إذا علمت أن :

$$I_{OH} = 0.4\text{mA} , I_{OL} = 8\text{mA} , I_{IH} = 20\mu\text{A}, \text{ and } I_{IL} = 0.4\text{mA}$$

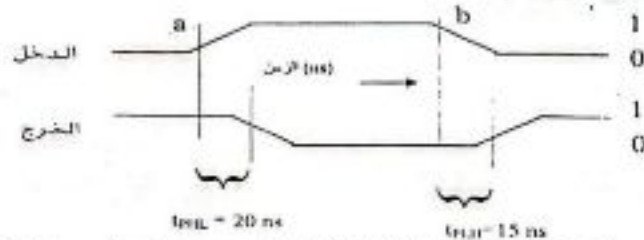
الحل

$$\text{fan out (high)} = I_{OH} (\text{max}) / I_{IH} (\text{max}) = 0.4\text{mA} / 20 \mu\text{A} = 20$$

$$\text{fan out (low)} = I_{OL} (\text{max}) / I_{IL} (\text{max}) = 8\text{mA} / 0.4\text{mA} = 20$$

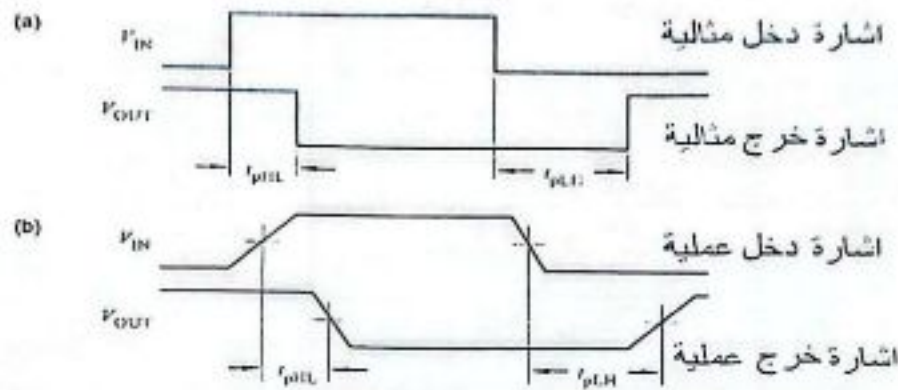
زمن تأخير الانتشار Propagation Delay

في دوائر المنطق ، زمن تأخير الانتشار هو الزمن بدءا من استقرار المدخلات على البوابة المنطقية ، إلى استقرار الخرج على البوابة المنطقية . فهم زمن تأخير الانتشار في دائرة منطقية مهم ، وذلك لأن الحد من زمن تأخير الانتشار في بوابة ما من دوائر المنطق يسمح لمعالجة البيانات بمعدل أسرع وتحسين الأداء العام للدائرة المنطقية . الخلاصة أن تعريف سرعة التشغيل Gate Delay (زمن الانتشار) هو الزمن اللازم لانتشار الإشارة المنطقية من دخل البوابة وحتى الخرج ويقاس بالنانوثانية (ns) . والشكل (١٦) يوضح الرسم التخطيطي لشكل الإشارة عند كل من مدخل وخرج دائرة عاكس NOT من TTL .



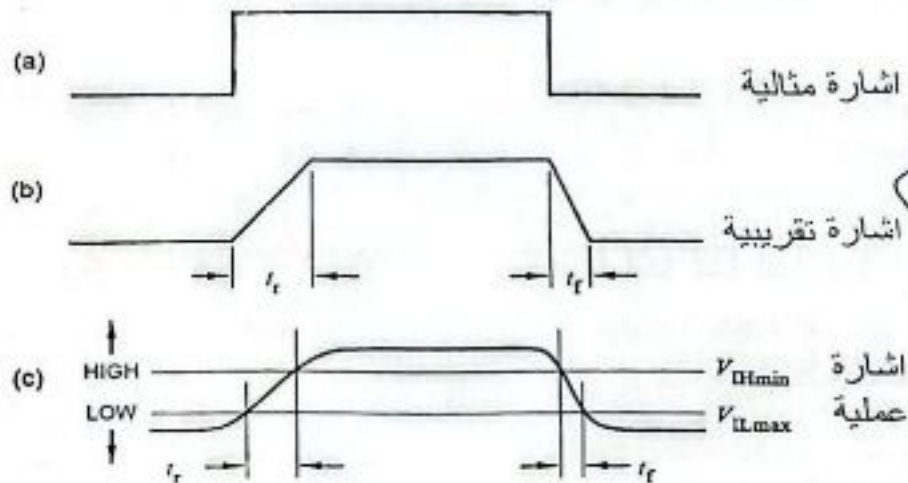
الشكل (١٦) الرسم التخطيطي لشكل الإشارة عند كل من مدخل وخرج دائرة عاكس NOT

من الشكل عند النقطة "a" في الدخل Input ينتقل الدخل من Logic 0 إلى Logic 1 ولكن الخرج يتأخر زمن مقداره $t_{pm} = 20 \text{ ns}$ حتى يغير حالته من 1 إلى 0 .
وعند النقطة "b" من الدخل ينتقل الدخل من 1 إلى 0 ويظل الخرج متأخرا زمنا قدره $t_{pm} = 15 \text{ ns}$ حتى يتغير من 0 إلى 1 ويعبر الزمنان t_{pHL} و t_{pLH} عن سرعة التشغيل للدوائر الرقمية .
ويعطى زمن تأخير الانتشار t_P من العلاقة : $t_P = (t_{pHL} + t_{pLH}) / 2$



الشكل (١٧) زمن تأخير الانتشار t_P

والشكل (١٧) يوضح زمن تأخير الانتشار t_P والشكل (١٨) يوضح زمن الصعود t_r وزمن الهبوط t_f .
حيث يعرف زمن الصعود t_r بأنه الزمن اللازم لصعود إشارة الخرج من 10% إلى 90% من قيمته العظمى . ويعرف زمن الهبوط t_f بأنه الزمن اللازم لهبوط إشارة الخرج من 90% إلى 10% من قيمته العظمى .



الشكل (١٨) زمن الصعود t_r وزمن الهبوط t_f

القدرة المستهلكة في الدوائر المنطقية Power Dissipation of Logic Gates

القدرة المستهلكة في الدوائر المنطقية P_{AVG} هي القيمة المتوسطة لكل من القدرة المستهلكة في حالة "0" ، "1" وتستهلك الدوائر المتكاملة قدرة صغيرة جداً حوالى 10mW للنوع التماسى للـ TTL وتستهلك 0.1mW للنوع CMOS وتحسب القدرة المستهلكة للنوع TTL من العلاقة :

$$TTL : P_{AVG} = V_{CC} * (I_{CC1} + I_{CC2})/2$$

وتحسب القدرة المستهلكة للنوع CMOS من العلاقة :

$$CMOS : P_{AVG} = V_{CC} * I_{CC}$$

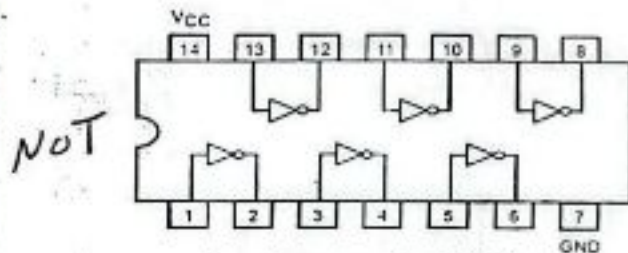
حيث V_{CC} جهد التغذية ، I_{CC} تيار التغذية ، I_{CC1} تيار التغذية العالى ، I_{CC2} تيار التغذية المنخفض .

مقارنة بين ثوابت / معادلات TTL و ثوابت / معادلات CMOS

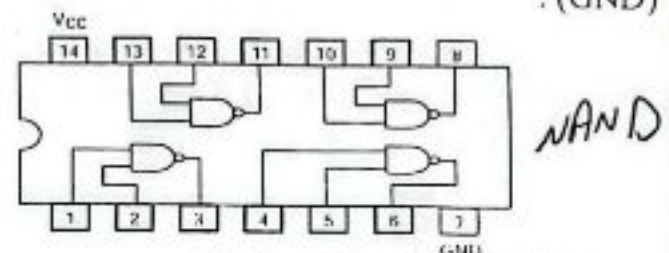
وجه المقارنة	توابت TTL	توابت CMOS
١ جهد التغذية V_{cc}	+5V	من +3V إلى +18V
٢ سرعة الإستجابة	أسرع ويصل إلى 9.5ns	أبطأ ويصل إلى 10ns
٣ التركيب	مينية على ترانزستورات BJT	مينية على ترانزستورات MOSFET
٤ استهلاك الطاقة	أعلى يصل إلى 10mW	أقل ويصل إلى 0.1mW
٥ سرعة التبديل	أسرع وخاصة (ECL)	أبطأ
٦ الإستقرار الحراري	أعلى	أقل
٧ التأخير الزمني	10ns	25ns
٨ هامش ضجيج	0.4V	0.4V
٩ المدخلات المرتفعة	من 2V إلى 5V	من 3.5V إلى 5V
١٠ المدخلات المنخفضة	من 0V إلى 0.8V	من 0V إلى 1.5V
١١ المخرجات المرتفعة	من 4.4V إلى 5V	من 4.95V إلى 5V
١٢ المخرجات المنخفضة	من 0V إلى 0.4V	من 0V إلى 0.05V
١٣ عدد تفرعات الخرج	10	20
١٤ التأثر بالشحنات الساكنة	تتأثر	لا تتأثر
١٥ أشهر السلاسل	سلسلة 74xx	سلسلة 40xx

بعض الاشكال العملية للدوائر المتكاملة سواء TTL أو CMOS

الدوائر المتكاملة سواء كانت TTL أو CMOS عادة ما تتكون من أكثر من بوابة منطقية واحدة مثل : أربع بوابات NAND ذو دخلين (quad 2-input NAND) الشكل (١٩) أو ستة عواكس (hex inverter) الشكل (٢٠) ، الخ تتشارك البوابات الموجودة بالدائرة المتكاملة في جهد التغذية الموجب (+VCC or +VDD) والسالب أو الأرضي (GND).



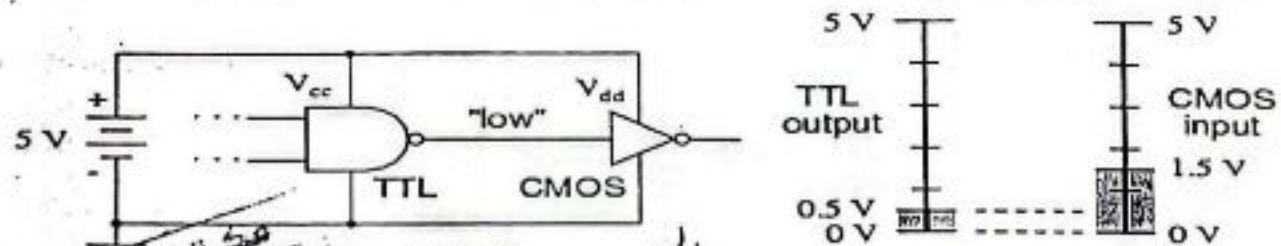
الشكل (٢٠) hex inverter



الشكل (١٩) quad 2-input NAND

مستوى الجهد وتوافق أنواع البوابات

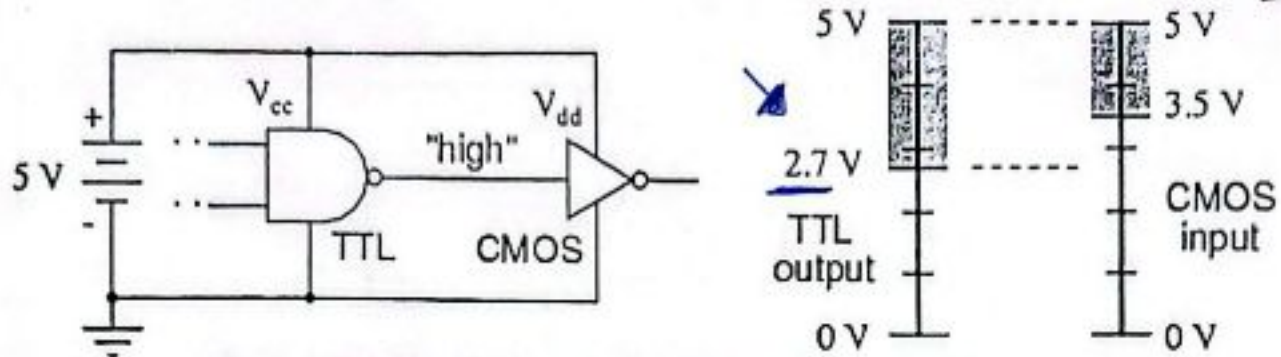
اختلاف مستوى الجهد من TTL و CMOS يسبب مشاكل عند استخدام هذين النوعين من البوابات في نفس النظام . حيث لا تتوافق مستويات جهد بوابة المصدر Drive مع مستويات جهد بوابة المستقبل . لتوضيح هذه المشاكل نلاحظ المثالين : المثال الأول : استخدام بوابة NAND لعائلة TTL هي دخل بوابة NOT لعائلة CMOS . كما هو واضح في الشكل (٢١) وعندما يكون خرج بوابة NAND لعائلة TTL "منخفض" (يقع بين 0V و 0.5V) ، فإنه سيتم تفسيره بشكل صحيح من قبل دخل بوابة CMOS بأنه "منخفض" (لأنها تتوقع الجهد المنخفض بين 0V و 1.5V) .



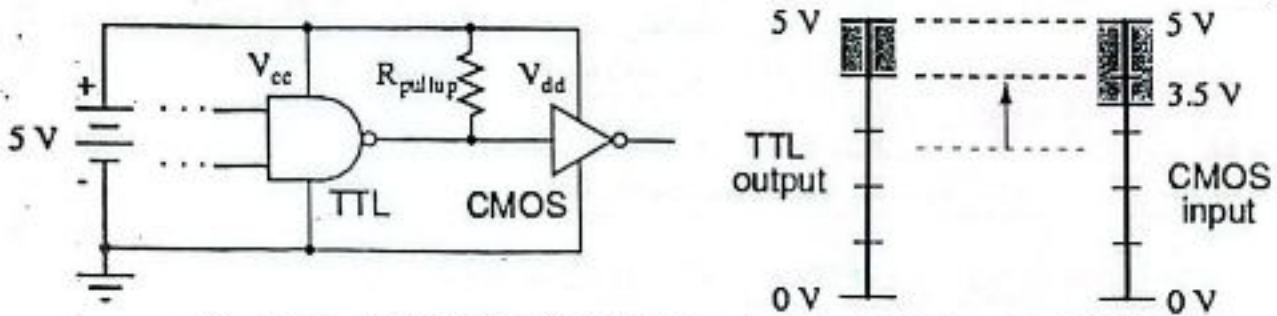
الشكل (٢١) خرج بوابة TTL المنخفض يحقق دخل بوابة CMOS بأنها المنخفض

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

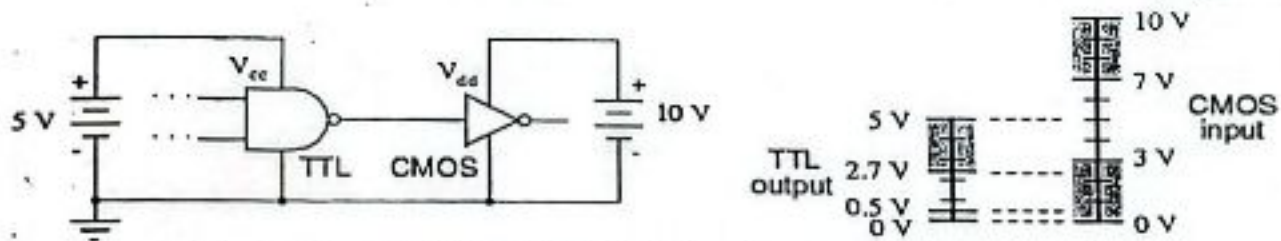
• أما إذا كان خرج بوابة TTL "عالي" (مضنون بين 2.7V و 5V) ، فإنه سيتم تفسيره بشكل صحيح من قبل دخل بوابة CMOS بأنه "منخفضة" (لأنها تتوقع الجهد المنخفض بين 0V و 1.5V) ، فإنه لا يتم تفسيره بشكل صحيح من قبل دخل بوابة CMOS بأنها "عالية" (لأنها تتوقع الجهد العالي بين 3.5V و 5V) .



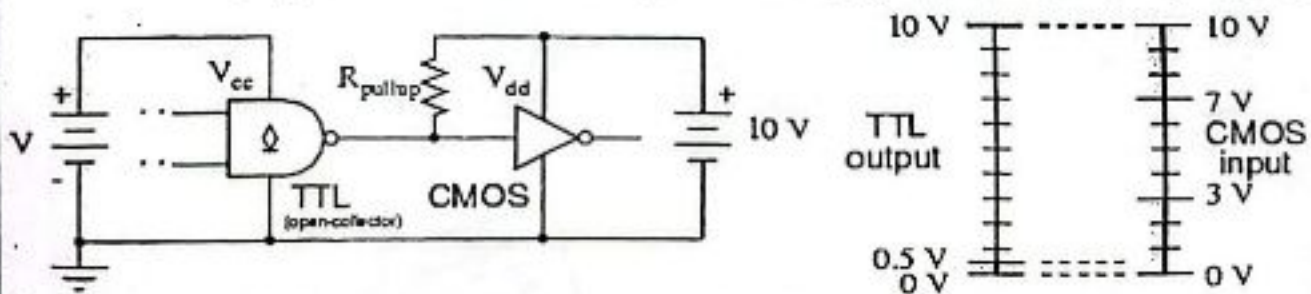
الشكل (٢٢) خرج بوابة TTL العالي لا يحقق دخل بوابة CMOS بأنها العالي وللتغلب على هذه المشكلة فلنأخذ مقاومة pullup لزيادة إشارة مستوى الجهد "العالية" لبوابة TTL الشكل (٢٣) .



الشكل (٢٣) زيادة إشارة مستوى الجهد "العالية" لبوابة TTL باستخدام مقاومة pullup عندما يتم تشغيل بوابة CMOS من مصدر جهد (VCC) ما يزيد على +5V ، سنتجت مشكلة ، أن خرج بوابة TTL العالي (المحصور بين 2.7V و 5V) لا يحقق دخل بوابة CMOS العالي (المحصور بين 7V و 10V) كما هو واضح في الشكل (٢٤) .



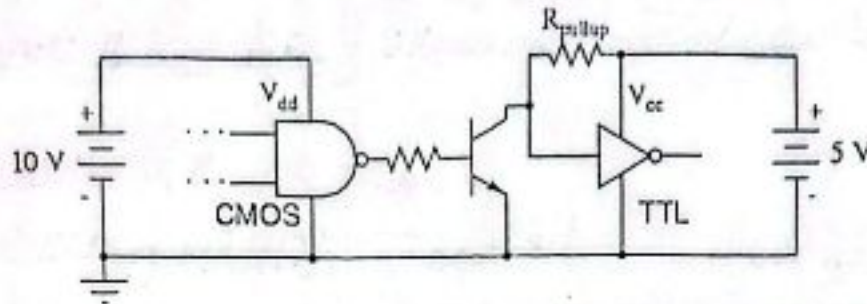
الشكل (٢٤) زيادة إشارة مستوى الجهد "العالية" لبوابة TTL باستخدام مقاومة pullup ونستخدم بوابات TTL من النوع المجمع المفتوح open-collector والتي تتميز بأنها تسحب تيار sink current بدلا من تكون مصدر للتيار source current وبالتالي يتم تحديد مستوى الجهد العالي المطلوب من مصدر التغذية +10V والمقاومة pullup ، وبالتالي يتم حل مشكلة عدم تطابق المستويات بدقة . الشكل (٢٥) .



الشكل (٢٥) حل مشكلة عدم تطابق المستويات بين بوابات TTL وبوابات CMOS

المثال الثاني : استخدام بوابة NAND لعائلة CMOS لقيادة بوابة NOT لعائلة TTL

نظراً للخصائص الممتازة لجهد خرج بوابات CMOS ، عادة لا توجد مشكلة في توصيل خرج بوابات CMOS إلى دخل TTL. ولكن المشكلة الوحيدة هي توفير تيار حمل عالي إلى دخل TTL ، وحيث أن خرج CMOS يجب أن يستجيب تيار من مدخلات TTL في المستوى المنطقي المنخفض .



الشكل (٢٦) ربط البوابتين TTL و CMOS معا باستخدام ترانزستور منفصل NPN عندما يتم تشغيل بوابة CMOS من مصدر جهد (V_{CC}) يزيد على 5V ، ستنتج مشكلة.. أن خرج بوابة CMOS العالي سوف يصبح أكبر من 5V ، وبالتالي يتجاوز حدود الدخل المقبولة لبوابة TTL للإشارة العالية. ولحل هذه المشكلة نستخدم ترانزستور منفصل NPN ليوفر ربط البوابتين معا . كما هو واضح في الشكل (٢٦) .

تعارين الباب الأول : خصائص البوابات المنطقية

س ١ - عرف البوابة المنطقية ، ارسم الإشارة الرقمية التي نتعامل مع البوابات المنطقية ؟

س ٢ - اذكر مزايا استخدام الدوائر المتكاملة ؟

س ٣ - اذكر عيوب استخدام الدوائر المتكاملة ؟

س ٤ - مما تتكون الدوائر المتكاملة وما هي التقنيات المستخدمة في تصنيع دوائر المنطق الرقمي ؟

س ٥ - اشرح مع الرسم كيف يتم ربط بوابة NAND لعائلة CMOS لقيادة بوابة NOT لعائلة TTL ؟

س ٦ - قارن بين ثوابت عائلة TTL و ثوابت عائلة CMOS .

س ٧ - وضح بالرسم فقط مستوى الجهد المنطقي المنخفض والجهد المنطقي العالي لسلسلة 74xxTTL ؟

س ٨ - وضح بالرسم فقط مستوى الجهد المنطقي المنخفض والجهد المنطقي العالي لسلسلة CMOS +5V ؟

س ٩ - وضح بالرسم فقط مستوى الجهد المنطقي المنخفض والجهد المنطقي العالي لسلسلة CMOS +15V وسلسلة CMOS +3.3V ؟

س ١٠ - ارسم منحني خصائص النقل لبوابة NOT ثم اذكر أهم معاملات المنحني ؟

س ١١ - اذكر معاملات البوابات المنطقية ؟

س ١٢ - ما هي العوامل التي تحدد اختيار نوع الدائرة المنطقية ؟

س ١٣ - اذكر موضحاً بالرسم ما هو المقصود من : هامش الضوضاء Noise Margin - القدرة المستهلكة في الدوائر المنطقية Power Dissipation of Logic Gates

س ١٤ - اذكر موضحاً بالرسم ما هو المقصود من عدد تفرعات الخرج في البوابات المنطقية

Fan-out - عدد تفرعات الدخل في البوابات المنطقية Fan-in .

س ١٥ - اذكر موضحاً بالرسم ما هو المقصود من زمن تأخير الانتشار

Propagation Delay

س ١٦ - اشرح مع الرسم المشاكل الناتجة عن ربط البوابتين TTL و CMOS مباشرة ؟

س ١٧ - اشرح مع الرسم كيف يتم ربط بوابة NAND لعائلة TTL لقيادة بوابة NOT لعائلة CMOS ؟

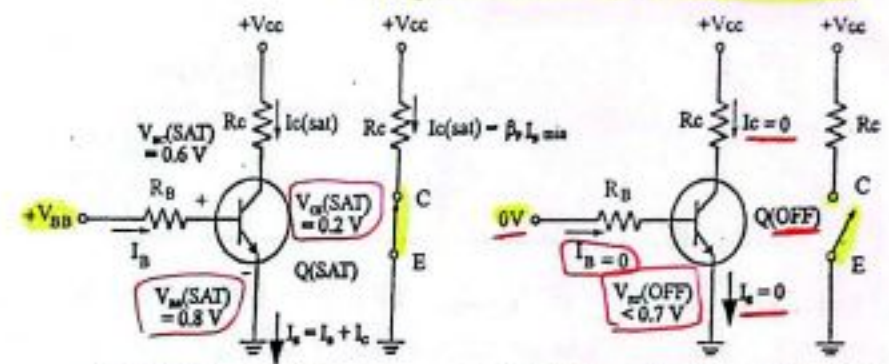
مكتبة أبو زياد
قويسنا . امام المعهد الفني
٠١٢٣٦٩٢٤١٧٧

مكتبة أبو زياد
قويسنا . امام المعهد الفني
٠١٢٣٦٩٢٤١٧٧

الباب الثاني

بوابات ترانزستور ثنائي القطبية BJT Gates

ترانزستور ثنائي القطبية كمفتاح :



(أ) الترانزستور في منطقة القطع (ب) في منطقة التشبع

يعمل الترانزستور في منطقتين هما :

- 1- منطقة القطع (Off) cut Off ويعرف بالصفير المنطقي (Logic 0)
- 2- منطقة التشبع (ON) Saturation تمثل بالواحد المنطقي (Logic 1)

أولاً: منطقة القطع (Off) cut Off :

خصائص منطقة القطع :

- 1- الدخول والقاعدة متصلين بالأرضي (0V)
- 2- جهد القاعدة - المشع $V_{BE} < 0.7V$
- 3- وصلة القاعدة - المشع انحياز عكسياً .
- 4- وصلة القاعدة - المجمع انحياز عكسياً .
- 5- الترانزستور في حالة " الفصل الكامل " (منطقة القطع) .
- 6- تيار المجمع $I_C = 0A$ و $V_{OUT} = V_{CE} = V_{CC} = \text{"Logic 1"}$
- 7- الترانزستور يعمل كمفتاح مفتوح كما بالشكل (أ) .

ثانياً: منطقة التشبع (ON) Saturation :

خصائص منطقة لتشبع :

- 1- الدخول والقاعد متصل بالجهد V_{CC}
- 2- جهد القاعدة - المشع $V_{BE} > 0.7V$
- 3- وصلة القاعدة - المشع انحياز أمامي .

- 4- وصلة القاعدة - المجمع انحياز أمامي .
- 5- الترانزستور في حالة " التوصيل الكامل " (منطقة التشبع) .
- 6- أقصى تيار للمجمع $I_{C(sat)} = V_{CC}/R_L A$ وفي الحالة المثالية $V_{OUT} = V_{CE} = 0V = \text{"Logic 0"}$ وفي الحالة العملية $I_{C(sat)} = (V_{CC} - V_{CE(sat)})/R_L$ عادة يهمل جهد $V_{CE(sat)} = 0$ بالنسبة لجهد المصدر V_{CC} .
- 7- الترانزستور يعمل كمفتاح مغلق كما بالشكل (ب) .

شروط التشبع :

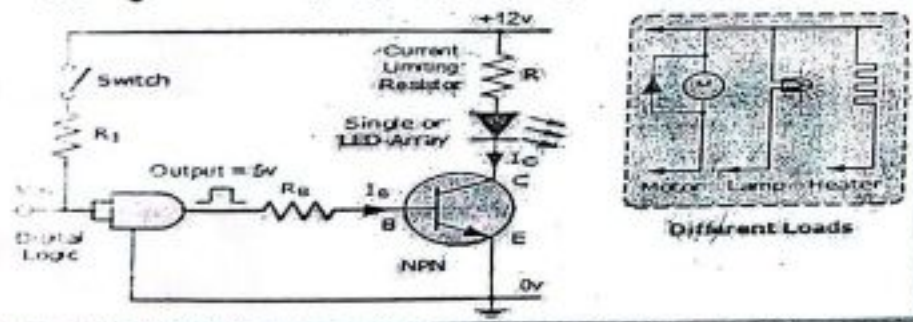
- وصلة القاعدة - الباعث توصيل أمامي وتيار القاعدة كبير جداً
- القيمة الصغرى لتيار القاعدة التذي يحدث عنده التسبع $I_{B(min)} = I_{C(sat)}/\beta$ وللتأكد منها يجب أن يكون تيار القاعدة $I_B > I_{B(min)}$

** مميزات الترانزستور كمفتاح الكتروني :-

- 1- صغير الحجم
- 2- رخيص الثمن .
- 3- باستخدام إشارة دخل صغيرة الحصول عل تيار حمل كبير
- 4- استعماله في البوابات المنطقية Logic gates
- 5- استهلاك الطاقة فيه في حالة القطع أو التوصيل صغيرة جداً .

** مفتاح الترانزستور والمنطق الرقمي :-

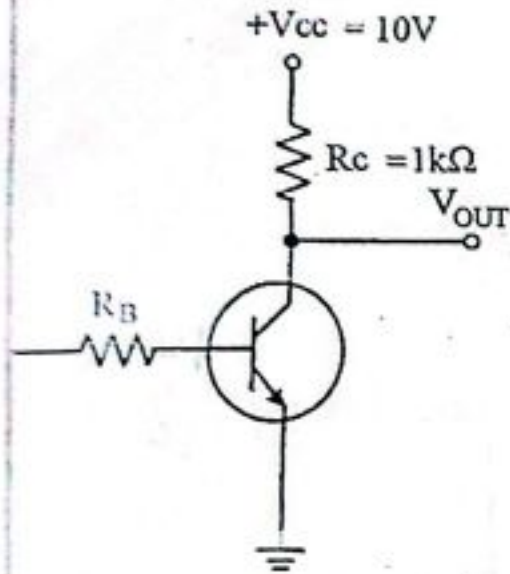
عند استخدام الترانزستور كمفتاح الكتروني مع احمال حثية مثل الريلاي او ملفات السلونويد يصل موحد (دايد) توصيل عكسي لحماية الترانزستور من القوة الدافعة الكهربية العكسية EMF المتولده بالحث عند قطع التيار



$I_{C(sat)}$
فحالة التشبع
تيار الباعث
 $I_B = \frac{I_{C(sat)}}{\beta}$
(min)

مكتبة أبو زياد

قويسنا . امام المعهد الفني
٠١٢٢٦٩٢٤١٧٧



مثال ٣: في الشكل التالي

١- اوجد قيمة V_{CE}

عندما تكون $V_{IN}=0$ ؟

٢- ما هي القيمة

الصغرى للتيار I_B

المطلوبة لتشبع

الترانزستور عندما يكون

$\beta=150$ مع اهمال قيمة

V_{CESAT} ؟

٣- احسب اقصى

مقاومة R_B عندما يكون

$V_{IN}=5V$ ؟

الحل :-

١- عندما تكون $V_{IN}=0$ فان الترانزستور في حالة قطع

$$V_{CE}=V_{CC}=10V$$

٢- مع اهمال $V_{CESAT}=0V$

$$I_{CSAT} = \frac{V_{CC}}{R_C} = \frac{10V}{1000} = 10mA$$

$$I_{B(min)} = \frac{I_{C(SAT)}}{\beta} = \frac{10mA}{150} = 66.67\mu A$$

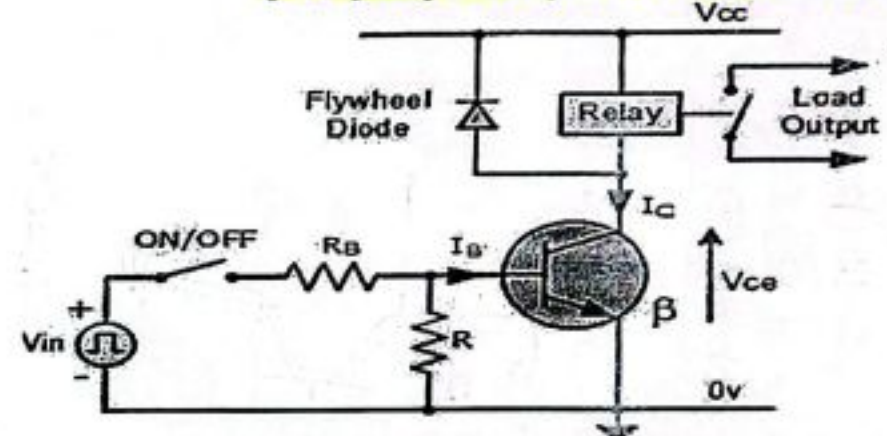
$$V_{RB} = V_{IN} - V_{BE} = 5V - 0.7V = 4.3V$$

$$R_{B(min)} = \frac{V_{RB}}{I_{B(min)}} = \frac{4.3V}{66.67 \times 10^{-6}} = 64.5K\Omega$$

$$R_B = \frac{V_{CC} - V_{CE}}{I_B}$$

مكتبة ابو زياد
قويسنا - امام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

** ترانزستور NPN كمفتاح الكتروني يغذي ريلاي



مثال ١: باستخدام قيم بيانات الترانزستور التالية : $I_C=4mA$, $\beta=200$

$I_B=20\mu A$, اوجد قيمة مقاومة القاعدة (R_B) المطلوبة لتوصيل (ON)

الحمل عندما يتعدى جهد طرف الدخل $2.5V$.

الحل :-

$$R_B = \frac{V_{in} - V_{BE}}{I_i} = \frac{2.5V - 0.7V}{20 \times 10^{-6}} = 90K\Omega$$

مثال ٢: باستخدام قيم بيانات الترانزستور التالية : $I_C=4mA$, $\beta=200$

$I_B=20\mu A$, اوجد ادنى تيار قاعدة مطلوب لتحويل الترانزستور لحالة

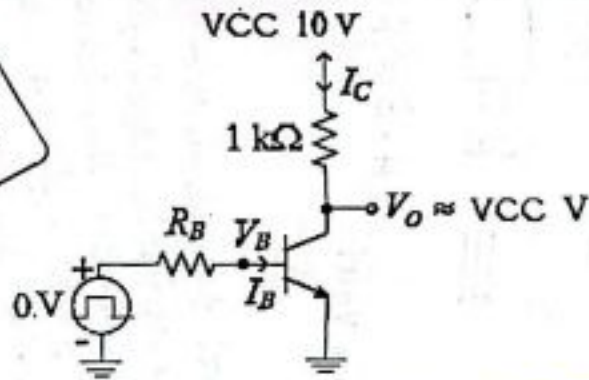
التوصيل الكامل (التشبع) لحمل يحتاج لتيار $200mA$ عندما يزيد جهد

الدخل إلى $5.0V$ ايضا احسب قيمة مقاومة القاعدة (R_B) .

$$I_B = \frac{I_C}{\beta} = \frac{200mA}{200} = 1mA$$

$$R_B = \frac{V_{in} - V_{BE}}{I_i} = \frac{5.0V - 0.7V}{1 \times 10^{-3}} = 4.3K\Omega$$

مكتبة أبو زياد
قويسنا. أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧



طريقة العمل :-

- ١- عندما يكون $V_I = 0V$ يكون الترانزستور (Off) وانخرج $V_O = V_{CC}$ اي $I_C = 0A$ ، Logic (1)
- ٢- عندما يكون $V_I = +V$ يكون الترانزستور (On) والخرج $V_O = V_{CEsat}$ اي Logic (0)

المخطط الزمني



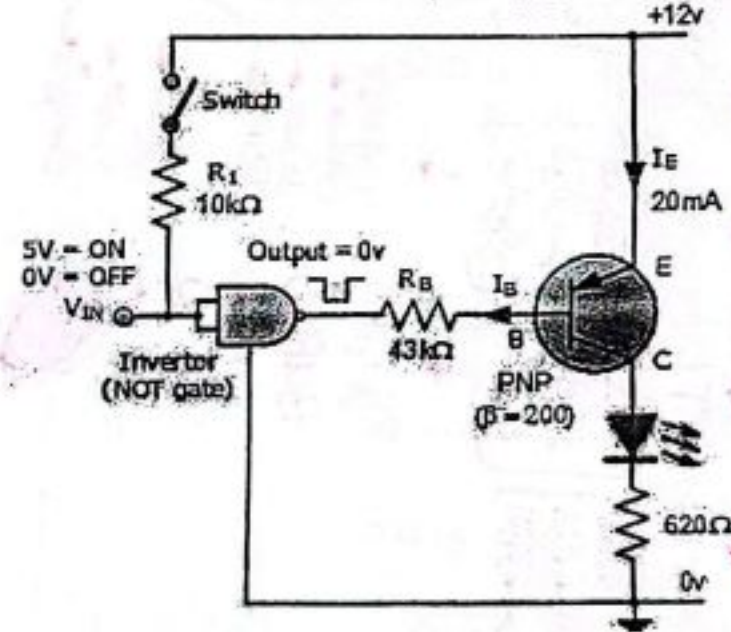
جهد الدخل بالفولت V_{IN}	جهد الدخل بالمنطق A	Q ترانزستور	الخروج V_O	الخروج F
+ V	1	ON	$V_{cesat} = 0.2v$	0
0 V	0	Off	V_{CC}	1

جدول التشغيل لبوابة النفي Not Gate

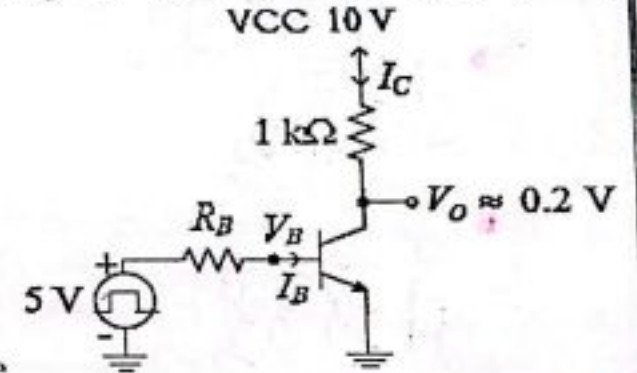
المعادلة : $F = \overline{A}$

•• الترانزستور PNP كمفتاح الكتروني :-

يوصل الحمل بالارضي (0V) ، ويوصل بالطرف الارضي لتحويل الترانزستور لوضع (ON) كما بالشكل



•• الترانزستور ثنائي القطبية BJT كبوابة كيوابة نفي NOT Gate
يستخدم ترانزستور ثنائي القطبية كمفتاح الكتروني ايضا كبوابة نفي



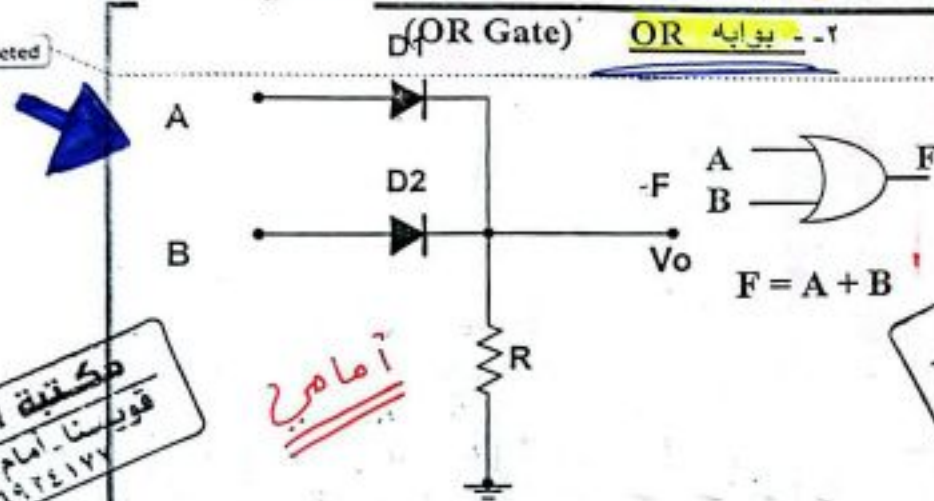
NOT Gate كما بالشكل

اختيار عكسي

اختيار أمامي

اختيار عكسي $A < K$
اختيار أمامي $A > R$

DRL



OR by (DRL)

الجدول التالي يوضح عمل الدائرة :-

A	B	A.B	D ₁	D ₂	V _o	F(logic o/p)
0	0	0	Off	Off	0	0
0	1	1	Off	On	$V - V_f = V - 0.7$	1
1	0	1	On	Off	$V - V_f = V - 0.7$	1
1	1	1	On	On	$V - V_f = V - 0.7$	1

$$F = A + B$$

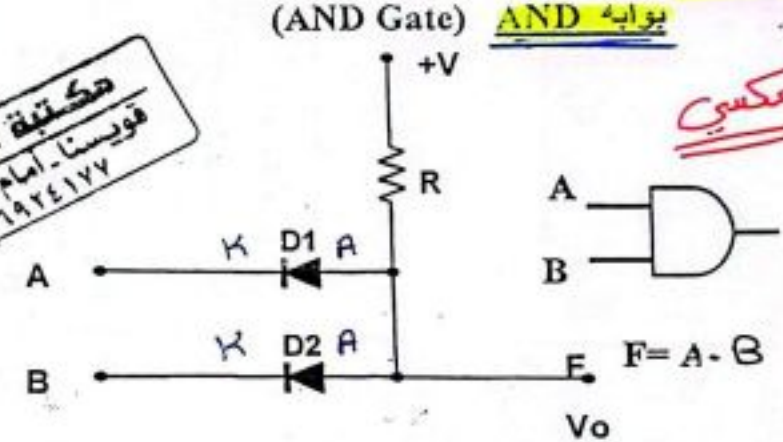
نلاحظ من الجدول أن

**** طريقة عمل الدائرة :-**

- إذا كانت جميع المدخلات (0) تكون جميع الموحّدات (OFF) ويصبح الخرج منخفض Logic(0)
- إذا كان أحد المدخلات على الأقل (1) كان الدايتود الموصل به في حالة (ON) ويكون الخرج مرتفع Logic(1)

بوابة الموحد والمقاومة diode - Resistor Logic

(DRL) AND بوابة



AND by (DRL)

لي يوضح عمل الدائرة :-

A	B	A.B	D ₁	D ₂	V _o	F(logic o/p)
0	0	0	On	On	$0 - V_f = -0.7$	0
0	1	0	On	Off	$0 - V_f = -0.7$	0
1	0	0	Off	On	$0 - V_f = -0.7$	0
1	1	1	Off	Off	+V	1

$$F = A . B$$

نلاحظ من الجدول أن

**** طريقة عمل الدائرة :-**

- إذا كان أحد المدخلات على الأقل (0) كان الدايتود الموصل به في حالة (ON) ويكون الخرج منخفض Logic(0)
- إذا كانت جميع المدخلات (1) تكون جميع الموحّدات (OFF) ويصبح الخرج مرتفع Logic(1)

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

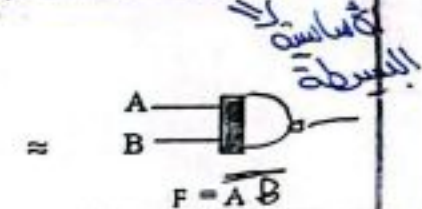
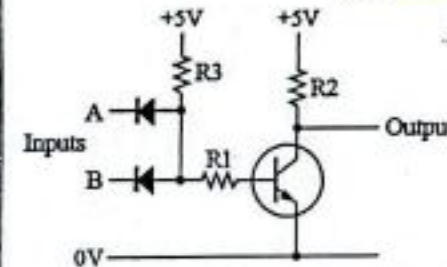
عكسي

DTL

عائلة منطق الدايود - ترانزستور (DTL)

Diode - Transistor Logic

بوابة NAND (أبسط دائرة)



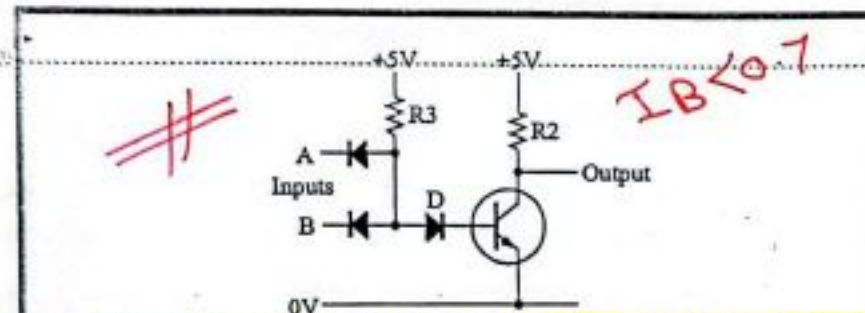
Inputs		Output
B	A	
0V	0V	+5V
0V	+5V	+5V
+5V	0V	+5V
+5V	+5V	0V

Inputs		Output
B	A	
0	0	1
0	1	1
1	0	1
1	1	0

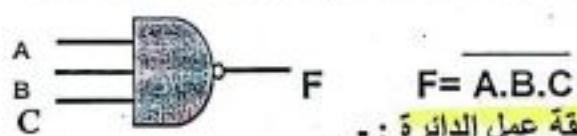
طريقة عمل الدائرة :-

- 1- إذا كان أحد المداخل على الأقل (0) كان الدايود الموصل به في حالة (ON) والترانزستور (Q) في وضع (OFF) يكون الخرج مرتفع Logic (1)
- 2- إذا كانت جميع المداخل (1) تكون جميع الموحدات (OFF) والترانزستور (Q) في وضع (ON) ويصبح الخرج منخفض Logic(0)

للتأكد من أن جهد القاعدة أقل من (0.7V) تستبدل مقاومة القاعدة بالـ (D) كما بالشكل التالي.

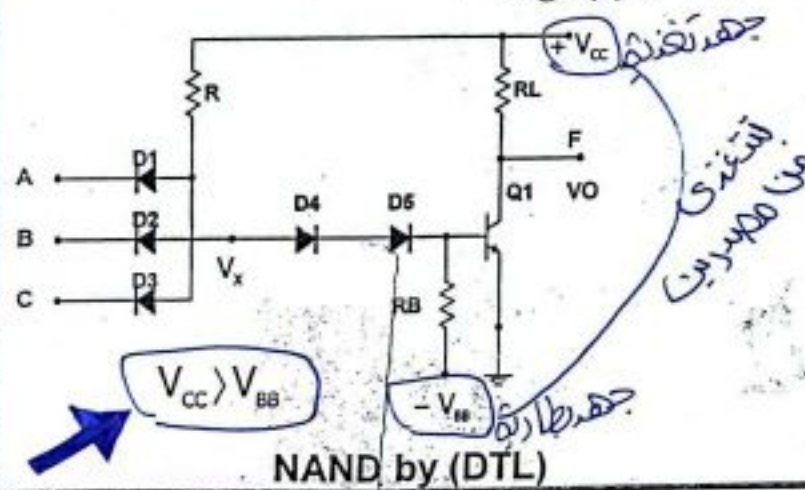


بوابة NAND القياسية باستخدام عائلة DTL ذات ثلاث مداخل :



طريقة عمل الدائرة :-

- 1) إذا كان أحد المداخل على الأقل (0) كان الدايود الموصل به في حالة (ON) والترانزستور (Q) في وضع (OFF) ويكون الخرج مرتفع Logic (1)
- 2) إذا كانت جميع المداخل (1) تكون جميع الموحدات (OFF) والترانزستور (Q) في وضع (ON) ويصبح الخرج منخفض Logic(0)



NAND by (DTL)

القياسية

مكتبة أبو زياد
قويستا. أمام المعهد الفني
٢٢٦٩٢٤١٧٧

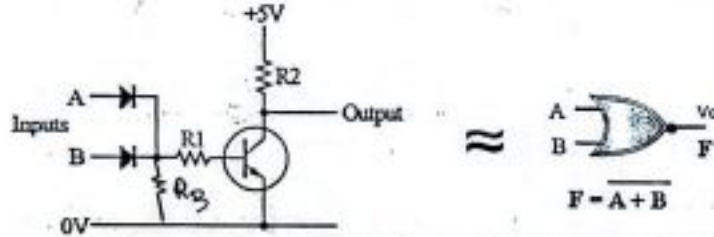
لحفظ كفاءة الدارة
لـ NAND في دائرة بسيطة

NAND → DTL

مميزات هذه الدائرة :-

١. التشغيل من مصدر واحد للجهد
٢. انخفاض القدرة المستهلكة
٣. كبر تيار الخرج
٤. زيادة سرعة التشغيل
٥. زيادة تفرعات الخرج

٢- بوابة NOR باستخدام منطق DTL



Inputs		Output
B	A	
0V	0V	+5V
0V	+5V	0V
+5V	0V	0V
+5V	+5V	0V

Inputs		Output
B	A	
0	0	1
0	1	0
1	0	0
1	1	0

**طريقة عمل الدائرة :-

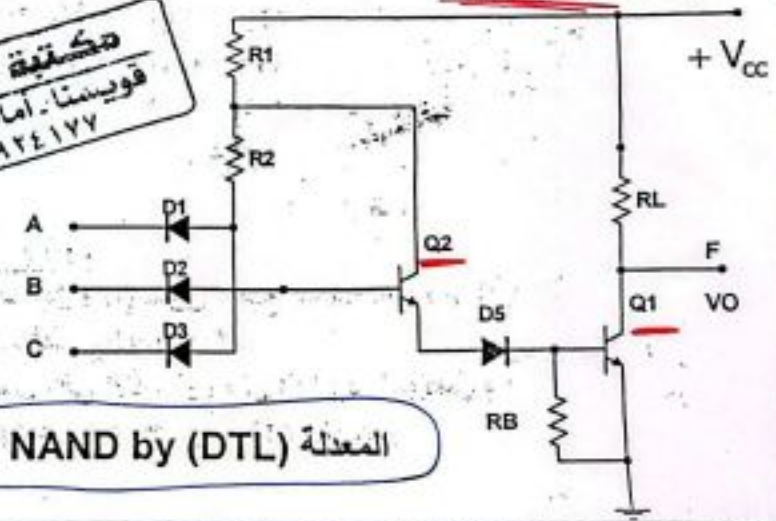
- (١) إذا كانت جميع المداخل (0) تكون جميع الموحّدات (OFF) والترانزستور (Q) في وضع (OFF)، ويصبح الخرج مرتفع Logic(1)
- (٢) إذا كان أحد المداخل على الأقل (1) كان الدايود الموصّل به في حالة (ON) والترانزستور (Q) في وضع (ON) ويكون الخرج منخفض Logic (0)

A	B	C	ABC	D ₁	D ₂	D ₃	V _b	Q	V _c	f
0	0	0	1	On	On	On	-0.7	Off	V _{cc}	1
0	0	1	1	On	On	Off	-0.7	Off	V _{cc}	1
0	1	0	1	On	Off	On	-0.7	Off	V _{cc}	1
0	1	1	1	On	Off	Off	-0.7	Off	V _{cc}	1
1	0	0	1	Off	On	On	-0.7	Off	V _{cc}	1
1	0	1	1	Off	On	Off	-0.7	Off	V _{cc}	1
1	1	0	1	Off	Off	On	-0.7	Off	V _{cc}	1
1	1	1	0	off	Off	Off	+v	On	V _{CEsat}	0

جدول الحقيقة

تعديل الدائرة السابقة بتوصيل ترانزستور Q2 بدلا من D4 حيث يمر Q1 بتيار القاعدة وكذلك Q2 يساعد على استخدام مقاومات أكبر ذلك في استخدام $R_1 + R_2$ بدلا من R أي استهلاك طاقه اقل يسبب سحب تيار اقل.

مكتبة أبو زياد
قويسنا. أمام المعهد الفني
١٢٢٦٩٢٤١٧٧

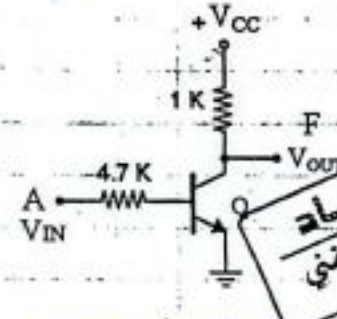
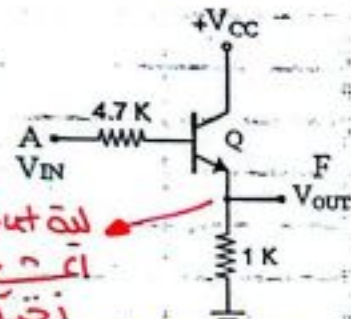


المعدلة (DTL) NAND

نفس كل حاجة بس الوصلة للـ ١١١١١١١١

ثالثا - عائله منطق المقاومه - الترانزستور (RTL) Resistor - Transistor Logic

اولا: بوابة النفي NOT وبوابة العازل BUFFER



لله V_{out} على E
انصح عشان
اقتلص الدخل

بوابة العازل BUFFER (2)

بوابة النفي NOT (1)

1 - بوابة النفي كما بالشكل (1) :-

V_{IN}	A	Q	V_O	F
V_L	0	OFF	V_{CC}	1
V_H	1	ON	V_{CESAT}	0

جدول التشغيل لبوابة النفي

$$F = A$$

طريقة العمل :-

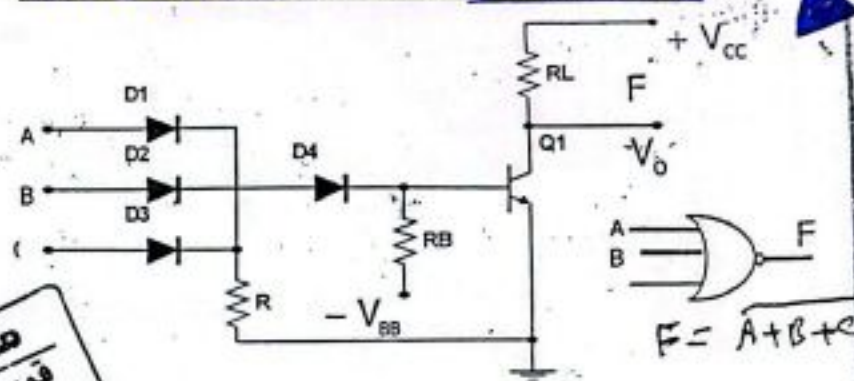
1 - اذا كان الدخل منخفض (logic 0) فان الترانزستور في وضع

(OFF) والخرج مرتفع (logic 1)

2 - اذا كان الدخل مرتفع (logic 1) فان الترانزستور في وضع (ON)

والخرج منخفض $V_O = V_{CESAT} = 0.2 V$ (logic 0)

NOR القياسية ذات ثلاث مداخل باستخدام منطق DTL



NOR by (DTL) والجدول التالي يوضح عمل الدائرة

A	B	C	$A+B+C$	D_1	D_2	D_3	D_4	V_b	Q	V_c
0	0	0	1	Off	Off	Off	Off	-ve	Off	$+V_{CC}$
0	0	1	0	Off	Off	On	On	+ve	On	V_{CESAT}
0	1	0	0	Off	On	Off	On	+ve	On	V_{CESAT}
0	1	1	0	Off	On	On	On	+ve	On	V_{CESAT}
1	0	0	0	On	Off	Off	On	+ve	On	V_{CESAT}
1	0	1	0	On	Off	On	On	+ve	On	V_{CESAT}
1	1	0	0	On	On	Off	On	+ve	On	V_{CESAT}
1	1	1	0	On	On	On	On	+ve	On	V_{CESAT}

طريقة عمل الدائرة :-

1 - اذا كانت جميع المداخل (0) تكون جميع الموحداث (OFF)

فيكون الترانزستور (Q) في وضع (OFF) ، ويصبح الخرج

مرتفع Logic(1)

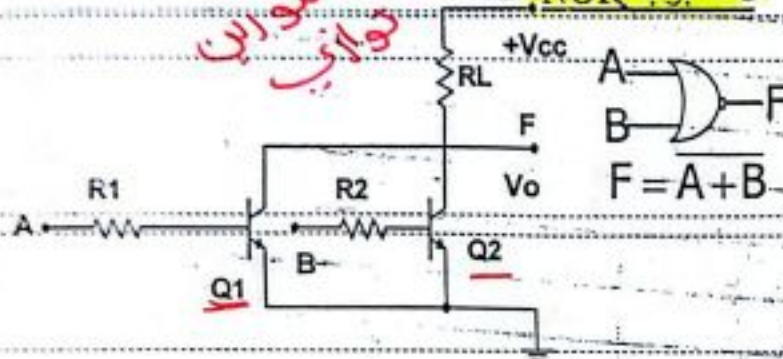
2 - اذا كان أحد المداخل على الأقل (1) كان الدايمود الموصل به

في حالة (ON) والترانزستور (Q) في وضع (ON)

ويكون الخرج منخفض Logic (0)

الخروج منخفض (Logic 0)

٤ - بوابة NOR



NOR by (RTL)

والجدول التالي يوضح عمل الدائرة

A	B	A+B	Q ₁	Q ₂	V _O	F
0	0	1	Off	Off	V _{CC}	1
0	1	0	Off	On	V _{CESAT}	0
1	0	0	On	Off	V _{CESAT}	0
1	1	0	On	On	V _{CESAT}	0

مكتبة أبو زياد

قويسنا - أمام المعهد الفني
١٢٢٦٩٢٤١٧٧

F = A + B

نلاحظ من الجدول ان

من عيوب هذا النوع

١. قلة عدد تفرعات الخرج.
٢. مناعتها ضد الضوضاء منخفضة.
٣. تحتوي على عدد كبير من المقاومات بالنسبة لعدد الترانزستورات مما يسبب صعوبة تصنيعها كدائرة متكاملة.

ولكن أهم مميزاتها

زمن انتشار الإشارة صغير

٥ - العازل BUFFER كما بالشكل (٢) :-

V _{IN}	A	Q	V _O	F
V _L	0	OFF	0	0
V _H	1	ON	V _{CC} - V _{CESAT}	1

جدول التشغيل لبوابة العازل BUFFER Gate

المعادلة : F = A

طريقة العمل :-

١- إذا كان الدخل منخفض (logic 0) فإن الترانزستور في وضع (OFF)

الخروج منخفض (logic 0)

٢- إذا كان الدخل مرتفع (logic 1) فإن الترانزستور في وضع (ON) والخروج

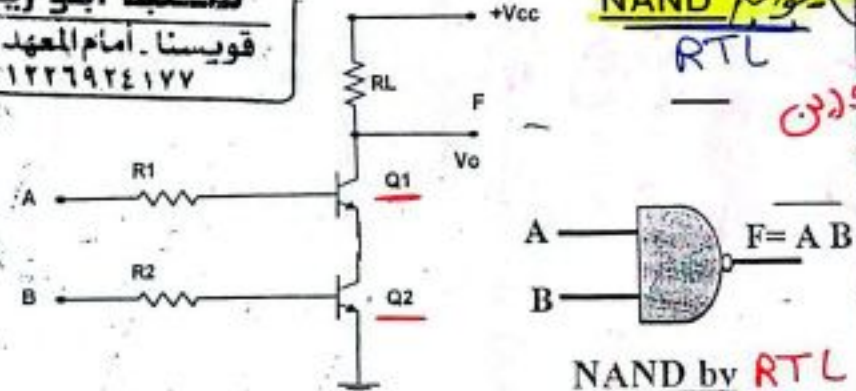
V_O = V_{CC} - V_{CESAT} (logic 1)

مكتبة أبو زياد

قويسنا - أمام المعهد الفني
١٢٢٦٩٢٤١٧٧

٦ - بوابة NAND

RTL



NAND by RTL

الجدول التالي يوضح عمل الدائرة

A	B	A.B	Q ₁	Q ₂	V _O	F
0	0	1	Off	Off	V _{CC}	1
0	1	1	Off	On	V _{CC}	1
1	0	1	On	Off	V _{CC}	1
1	1	0	On	On	V _{CESAT}	0

طريقة عمل الدائرة :-

١- إذا كان أحد المدخل على الأقل (0) كان الترانزستور الموصل به في

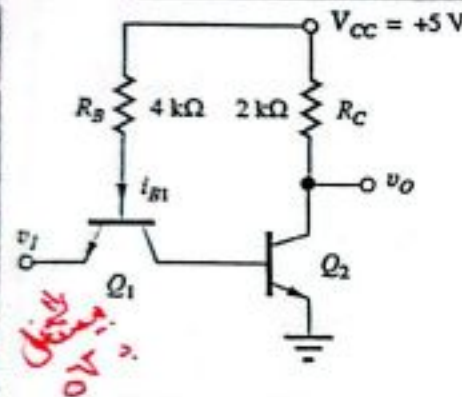
(OFF) ويكون الخرج مرتفع (Logic 1)

٢- إذا كانت جميع المدخل (1) تكون جميع الترانزستورات (ON) ويصبح

الخرج منخفض (Logic 0)

A	B	A.B	Q1	Q2	V_o	F
0	0	0	Off	Off	0	0
0	1	0	Off	On	$V_{CC} - V_{CESAT}$	1
1	0	0	On	Off	$V_{CC} - V_{CESAT}$	1
1	1	1	On	On	$V_{CC} - V_{CESAT}$	1

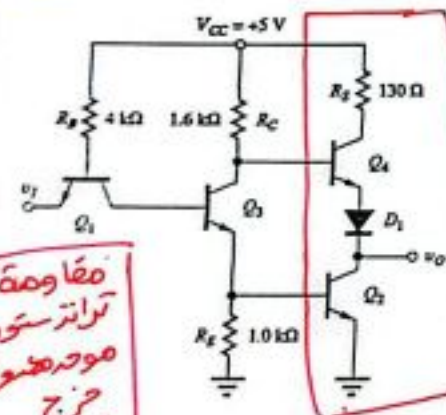
رابعاً : بوابة منطق الترانزستور TTL



١- بوابة النفي NOT
نظرية عمل الدائرة :-
١- إذا كان الدخل (٠) فإن Q1 في وضع (ON) و Q2 في وضع (OFF) والخرج (1)
٢- إذا كان الدخل (1) فإن Q1 في وضع (OFF) و Q2 في وضع (ON) والخرج (0)
 $F = \bar{A}$

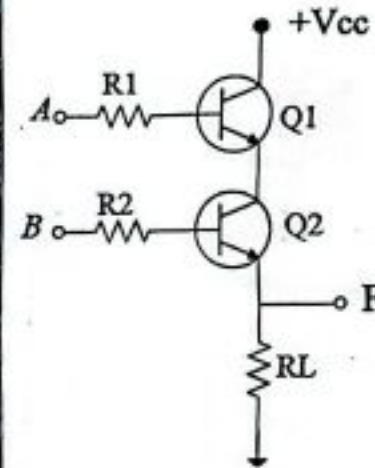
V_{IN}	A	Q	V_o	F
V_L	0	OFF	V_{CC}	1
V_H	1	ON	V_{CESAT}	0

٢- بوابة النفي القياسية



نظرية عمل الدائرة :-
١- إذا كان الدخل (٠) فإن Q1 في وضع (ON) و Q2 في وضع (OFF) و Q4 في وضع (ON) و Q3 في وضع (OFF) والخرج (1)
٢- إذا كان الدخل (1) فإن Q1 في وضع (OFF) و Q2 في وضع (ON) و Q4 في وضع (OFF) و Q3 في وضع (ON) والخرج (0)
 $F = \bar{A}$

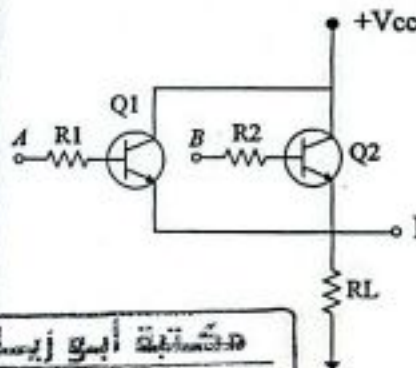
٤- بوابة AND باستخدام عائلة RTL



نظرية عمل الدائرة :-
١- إذا كان احد المداخل على الأقل (٠) فإن احد الترانزستورات على الأقل في وضع (OFF) والخرج (٠)
٢- إذا كان جميع المداخل (1) فإن جميع الترانزستورات في وضع (ON) والخرج (1)
 $V_o = V_{CC} - 2 V_{CESAT}$
 $F = A B$

A	B	A.B	Q1	Q2	V_o	F
0	0	0	Off	Off	0	0
0	1	0	Off	On	0	0
1	0	0	On	Off	0	0
1	1	1	On	On	$V_{CC} - 2 V_{CESAT}$	1

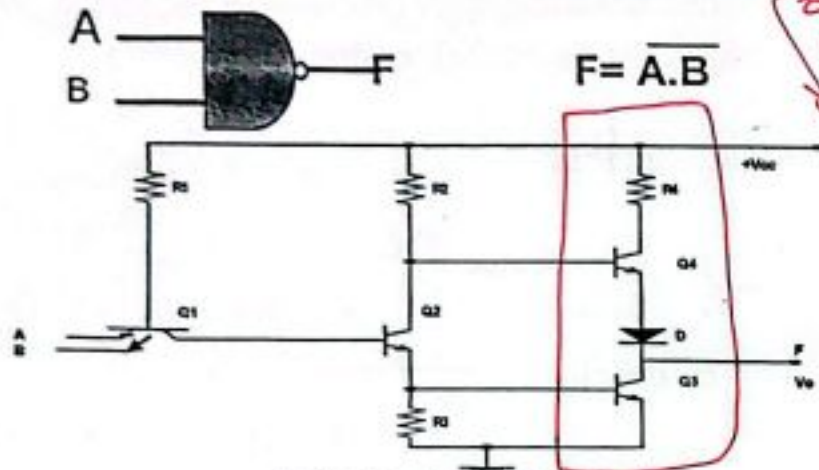
٥- بوابة OR باستخدام منطق RTL



نظرية عمل الدائرة :-
١- إذا كان جميع المداخل (٠) فإن جميع الترانزستورات في وضع (OFF) والخرج (٠)
٢- إذا كان احد المداخل على الأقل (1) فإن احد الترانزستورات على الأقل في وضع (ON) والخرج (1)
 $V_o = V_{CC} - V_{CESAT}$
 $F = A + B$

مكتبة أيسو زيبات
قوي. سنا. أمام المعهد القني
٠١٢٢٦٩٢٤١٧٧

ب- بوابة NAND القياسية باستخدام منطق TTL



NAND by (TTL)

نظرية عمل الدائرة :-

- إذا كان أحد المدخل على الأقل Logic(0) كان Q_1 توصيل أمامي ويصبح خرج (0) ، والتالي يكون Q_2 انحياز عكسي وخرجه (1) ، مسبباً انحياز أمامي لـ Q_4 بينما Q_3 في حالة OFF ، والخرج V_{cc} أي Logic(1)
- إذا كان جميع المدخل Logic(1) كان Q_1 توصيل عكسي ويصبح خرج (1) ، والتالي يكون Q_2 انحياز أمامي وخرجه (0) ، مسبباً انحياز عكسي لـ Q_4 بينما Q_3 في حالة ON والخرج V_{cesat} أي Logic(0) والجدول التالي يوضح عمل الدائرة

A	B	$\overline{A.B}$	Q_1	Q_2	Q_3	Q_4	I/O	F
0	0	1	ON	Off	Off	On	V_{cc}	1
0	1	1	ON	Off	Off	On	V_{cc}	1
1	0	1	ON	Off	Off	On	V_{cc}	1
1	1	0	OFF	On	On	off	V_{CESAT}	0

$$F = A.B$$

من الجدول نلاحظ ان

س : اشرح بوابة NAND ذات ثلاث مدخل باستخدام منطق TTL

** بوابة NAND باستخدام منطق TTL

(١) البوابة الأساسية NAND باستخدام منطق TTL

- بوابة NAND



نفس الدائرة

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

ديما $Q_1 \times Q_2$

بما نفس الخرج

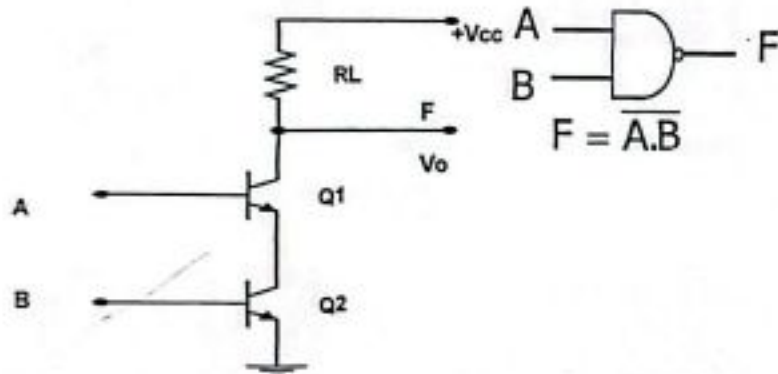
A	B	A.B	Q_1	Q_2	V_o	F = A.B
0	0	0	ON	Off	V_{cc}	1
0	1	0	ON	Off	V_{cc}	1
1	0	0	ON	Off	V_{cc}	1
1	1	1	Off	On	V_{CESAT}	0

طريقة عمل الدائرة :-

- إذا كان أحد المدخل على الأقل (٠) يكون Q_1 في وضع (ON) وينخفض جهد المجمع فيتحوّل Q_2 إلى وضع (OFF) والخرج $V_o = V_{cc}$ يكون (0)
- إذا كانت جميع المدخل (١) فيكون Q_1 في وضع (OFF) ويزيد جهد مجمع فيتحوّل Q_2 إلى وضع (ON) والخرج $V_o = V_{CESAT}$ أي (0)

خامساً- عائله منطق الربط المباشر (DCTL) Direct Coupled Transistor Logic

١- بوابة NAND



NAND by (DCTL)

**الجدول التالي يوضح عمل الدائرة

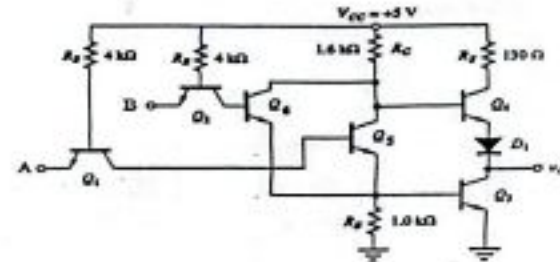
A	B	$\overline{A.B}$	Q_1	Q_2	V_o	F
0	0	1	Off	Off	V_{cc}	1
0	1	1	Off	On	V_{cc}	1
1	0	1	On	Off	V_{cc}	1
1	1	0	On	On	$2 V_{cesat}$	0

$$F = \overline{A.B}$$

من الجدول نلاحظ أن

*** طريقة العمل هي نفسها عائلة المقاومة والترانزستور

** - بوابة NOR القياسية باستخدام منطق TTL



A	B	$\overline{A.B}$	Q_1	Q_2	Q_5	Q_6	Q_3	Q_4	I/O	F
0	0	1	ON	ON	Off	Off	Off	On	V_{cc}	1
0	1	1	ON	Off	Off	ON	ON	Off	V_{cesat}	0
1	0	1	OFF	ON	ON	Off	ON	Off	V_{cesat}	0
1	1	0	OFF	OFF	ON	ON	ON	Off	V_{cesat}	0

نظرية عمل الدائرة :-

- ١- إذا كان جميع المدخلات Logic(0) كان كل ترانستورات الدخل توصيل أمامي ويصبح خرجها (0) التالي يكون Q_5, Q_6 تحيز عكسي وخرجه (1) ، مسبباً تحيزاً أمامي لـ Q_4 بينما Q_3 في حالة OFF ، والخرج V_{cc} ، أي Logic(1)
- ٢- إذا كان أحد المدخلات على الأقل Logic(1) كان أحد ترانستورات الدخل على الأقل توصيل عكسي ويصبح خرجه (1) ، والتالي يكون Q_5 أو Q_6 ، تحيزاً أمامي وخرجه (0) ، مسبباً تحيزاً عكسي لـ Q_4 بينما Q_3 في حالة ON والخرج V_{cesat} ، أي Logic(0) وقد انتشر استخدام (TTL) وذلك للميزات الآتية :

١. زيادة مناعتها ضد الضوضاء
٢. قلة استهلاك الطاقة
٣. زمن انتشار الإشارة صغير جداً

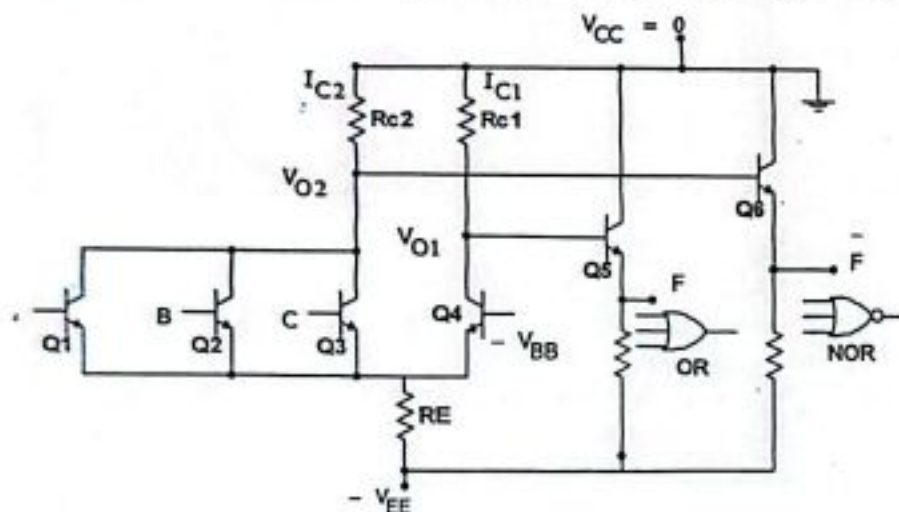
وننص المواصفات من نوع TTL على

- استهلاك طاقه في حدود 10 nW
- زمن انتشار في حدود 10 nS
- ومناعة ضد الضوضاء 1 V

هيكلة أيقونة زيبان
قويسنا . أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

١) بوابة NOT/BUFFER باستخدام منطق ربط المشع ECL

وتحسن الدائرة السابقة بتوصيل كلا من F, \bar{F} بترانزستور مشترك المجمع حتى لا يوجد فرق في مستوى الجهد المستمر بين O/P , i/P .



OR / NOR by (ECL)

The basic Motorola ECL (MECL 11)

$$V_{01} = V_{CC} - I_{C1} R_{C1} \text{ OR}$$

$$V_{02} = V_{CC} - I_{C2} R_{C2} \text{ NOR}$$

معادلة الخرج :

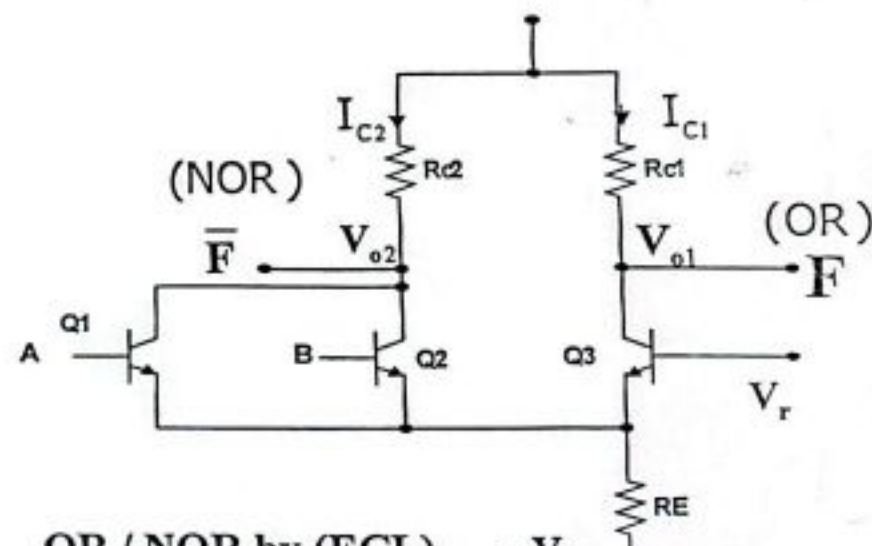
$$F = A + B + C$$

$$\bar{F} = \overline{A + B + C}$$

مميزات عائلته (ECL):

١. سرعة التشغيل كبيرة جدا
 ٢. زمن انتشار الإشارة صغير جدا
 ٣. عدد تفرعات الخرج كبيرة جدا
- العيوب :
- ١ - استهلاك طاقة اكبر من الأنواع السابقة
 - ٢ - تحتاج إلى عدة مصادر للجهد

٢- بوابتي OR/NOR باستخدام عائلته منطق الترابط للمشع (ECL)



OR / NOR by (ECL) - V_{EE}

هذه الدائرة لا تعمل في منطق التثبيع ولكن تعمل في منطق القطع والمنطق الفعالة ولذلك يكون زمن انتشار الإشارة صغير جدا وسرعة التشغيل كبيرة جدا

$$V_{01} = V_{CC} - I_{C1} R_{C1}$$

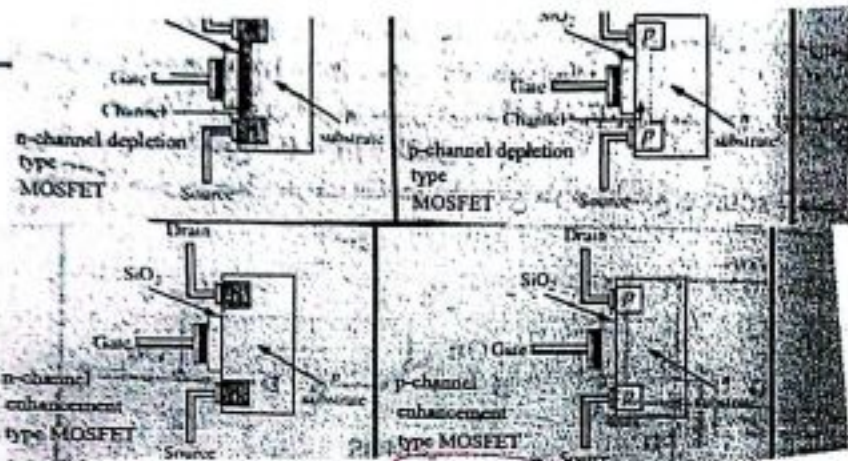
$$V_{02} = V_{CC} - I_{C2} R_{C2}$$

مكتبة أبو زياد

قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

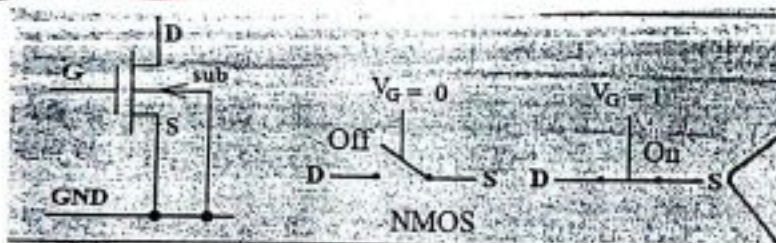
عمل هذه الدائرة كما هو موضح بالجدول

A B	A+B	$\overline{A+B}$	Q1	Q2	Q3	F	\bar{F}
0 0	0	1	off	off	on	0	1
0 1	1	0	off	on	off	1	0
1 1	1	0	on	off	off	1	0
١ 1	1	0	on	on	off	1	0



1- خصائص ترانزستور N-MOS

- لا يمر تيار بين البوابة والمصدر ، او البوابة والساحب
- ب- إذا كان $V_{GS} > V_T$ ، يكون الترانزستور في حالة تشبع (ON مغلق) ، ويمر تيار $I_D = I_{Dsat}$ بين المصدر والساحب ، حيث جهد العتبة V_T
- ج - - إذا كان $V_{GS} < V_T$ ، يكون الترانزستور في حالة قطع (OFF مفتوح) ، ولا يمر تيار $I_D = 0$ بين المصدر والساحب .
- د - في معظم الاحيان يوصل طرف Sub مع المصدر بالأرضي 0 Volt



2- خصائص ترانزستور P-MOS

- لا يمر تيار بين البوابة والمصدر ، او البوابة والساحب
- ب- إذا كان $V_{GS} < -V_T$ ، يكون الترانزستور في حالة تشبع (ON مغلق) ، ويمر تيار $I_D = I_{Dsat}$ بين المصدر والساحب ، حيث جهد العتبة V_T
- ج - - إذا كان $V_{GS} > -V_T$ ، يكون الترانزستور في حالة قطع (OFF مفتوح) ، ولا يمر تيار $I_D = 0$ بين المصدر والساحب .
- د - في معظم الاحيان يوصل طرف Sub مع المصدر بجهد التغذية V_{DD}

مكتبة ابو زياد

الباب الثالث

بوابات ترانزستور تأثير المجال ذو البوابة المعزولة

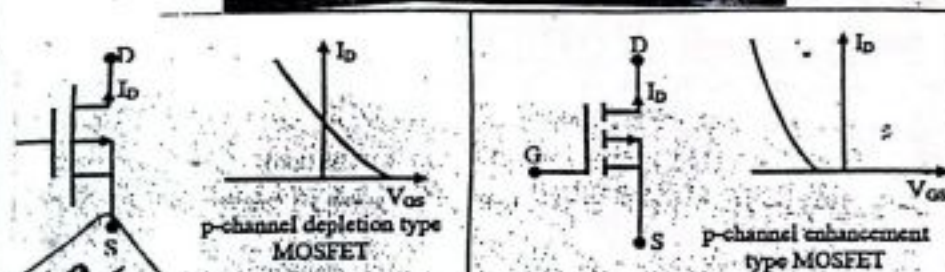
Metal Oxide Semiconductor FET (MOSFET)

٣- ١) انواع ترانزستور MOS: ينقسم الى نوعين هما

(١) النوع التعزيزي E-MOS (٢) النوع التفريغي (الاستنزافي) D-MOS

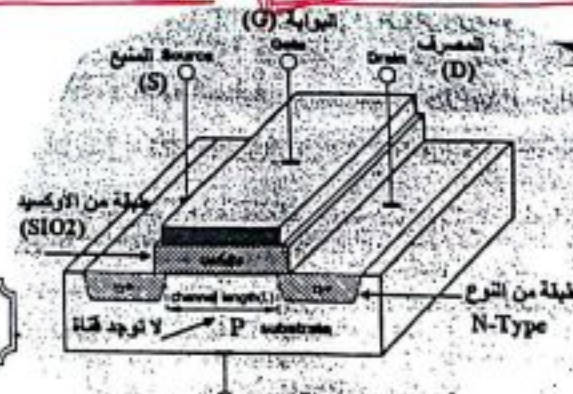
*** وكل نوع ينقسم حسب نوع القناة الى N-MOS, P-MOS

** رموز ترانزستور MOSFET

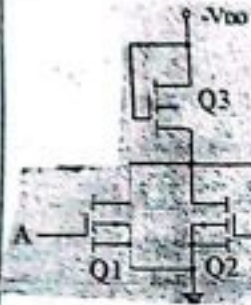


*** التركيب البنائي للـ MOSFET

- ١- طبقة سفلية (Substrate) وتكون من نوع مخالف لنوع القناة
- ٢- منطقتين من نفس نوع القناة ، أحدهما تمثل المصدر Source والاخرى تمثل الساحب Drain
- ٣- طبقة عازلة من ثاني اكسيد السيليكون SiO_2 يعلوها طبقة من المعدن تمثل طرف البوابة



٢- بوابة NOR باستخدام ترانزستور P-MOS



A	B	Q1	Q2	VO	F
0	0	ON	ON	0 V	1
0	1	ON	OFF	-V _{DD}	0
1	0	OFF	ON	-V _{DD}	0
1	1	OFF	OFF	-V _{DD}	0

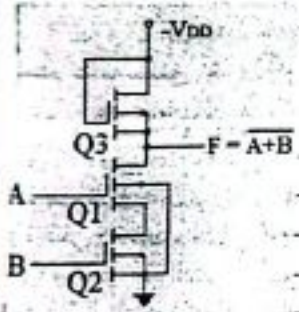
طريقة العمل : $F = A + B$

١- إذا كان جميع المدخلات (0) فإن جميع الترانزستورات (ON) والخرج

$V_O = 0V$ أي $F = 1$

٢- إذا كان أحد المدخلات على الأقل (1) فإن أحد الترانزستورات على الأقل

(OFF) والخرج $V_O = -V_{DD}V$ أي $F = 0$



٣- بوابة NAND باستخدام ترانزستور P-MOS

A	B	Q1	Q2	VO	F
0	0	ON	ON	0 V	1
0	1	ON	OFF	0 V	1
1	0	OFF	ON	0 V	1
1	1	OFF	OFF	-V _{DD}	0

طريقة العمل : $F = A \cdot B$

١- إذا كان أحد المدخلات على الأقل (0) فإن أحد الترانزستورات على الأقل

(ON) والخرج $V_O = 0V$ أي $F = 1$

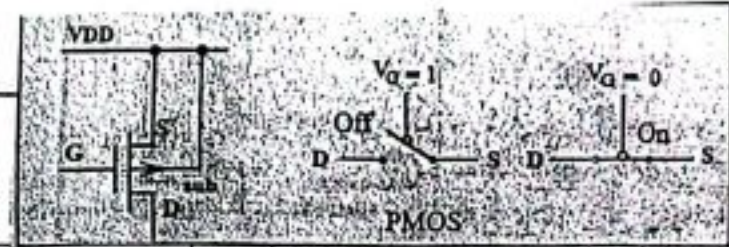
٢- إذا كان جميع المدخلات (1) فإن جميع الترانزستورات (OFF) والخرج

$V_O = -V_{DD}V$ أي $F = 0$

مكتبة أبو زياد

قويسنا - أمام المعهد العلمي

٠١٢٢٦٩٢٤١٧٧



تيار الترانزستور	حالة الترانزستور	جهد البوابة	نوع الترانزستور
لا يمر تيار	OFF	H	P-MOS
يمر تيار	ON	L	P-MOS
يمر تيار	ON	H	N-MOS
لا يمر تيار	OFF	L	N-MOS

س : ص ٦٧

*** خصائص ترانزستور CMOS

** هو دائرة مكونة من نوعي الترانزستور N-MOS & P-MOS

شرط أن يكون من النوع التعزيزي ومتطابقان أيضا في خصائص لتبديل ON/OFF ملاحظة :

١- إذا كان الدخل منخفض (LOW) فيعمل ترانزستور P-MOS بينما لا يعمل

ترانزستور N-MOS

٢- إذا كان الدخل مرتفع (High) فيعمل ترانزستور N-MOS بينما لا يعمل

ترانزستور P-MOS

*** أي أنهما يعملان بطريقة عكسية ، ويستفاد منها عند التعامل مع التيارات العالية فيعمل كل ترانزستور نصف الوقت ويستريح الآخر ، فيخفف من تسخينهما .

أولا : بوابات ترانزستور P-MOS

١) بوابة النفي NOT باستخدام ترانزستور P-MOS

طريقة العمل :-

١- إذا كان الدخل منخفض

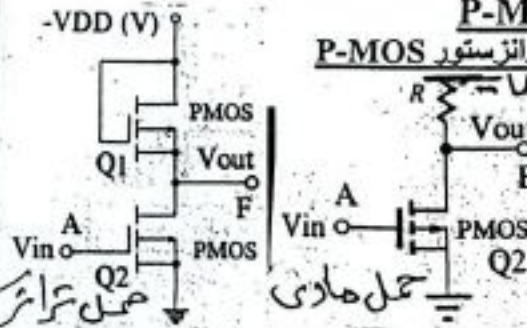
(0) فإن Q2 يكون

ON والخرج (1)

٢- إذا كان الدخل مرتفع (1)

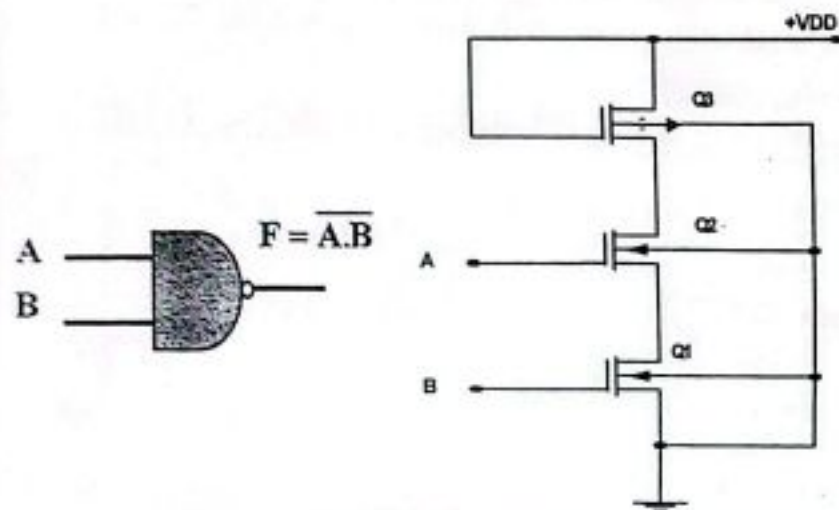
فإن Q2 يكون OFF

والخرج (0)



V _{IN}	A	Q ₂	V _O	F
-V _{DD}	0	ON	0V	1
0 V	1	OFF	-V _{DD}	0

2- بوابة NAND باستخدام N-MOS



A	B	$\overline{A.B}$	Q ₁	Q ₂	V _o	F
0	0	1	Off	Off	V _{DD}	1
0	1	1	Off	On	V _{DD}	1
1	0	1	On	Off	V _{DD}	1
1	1	0	On	On	0 V	0

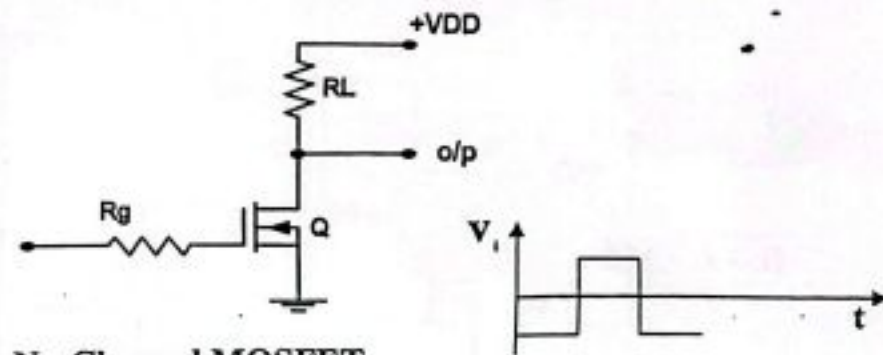
NAND by nMOS
 $F = \overline{A.B}$

*** نظرية العمل :-

- إذا كان أحد المدخلات على الأقل Logic 0 كان أحد الترانزستورات في حالة Off والخروج معتمد على V_{DD} أي مرتفع Logic 1.
- إذا كان جميع المدخلات Logic 1 كانت كل الترانزستورات في حالة ON والخروج V_o = 0 V أي منخفض Logic 0.

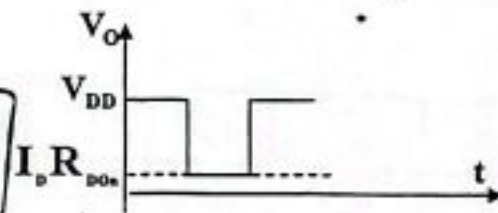
ثانياً : بوابات ترانزستور N-MOS

1- بوابة النفي NOT باستخدام ترانزستور N-MOS



N - Channel MOSFET

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧



V _{in}	Logic	Q	V _o	Logic
-ve	0	Off	V _{DD}	1
+ve	1	On	0 V	0

طريقة العمل : ١- عند تطبيق جهد سالب على البوابة يكون الترانزستور Off

ويكون جهد الخرج مرتفع Logic 1 .

٢- عند تطبيق جهد موجب على البوابة يكون الترانزستور ON ويكون جهد الخرج

منخفض Logic 0 .

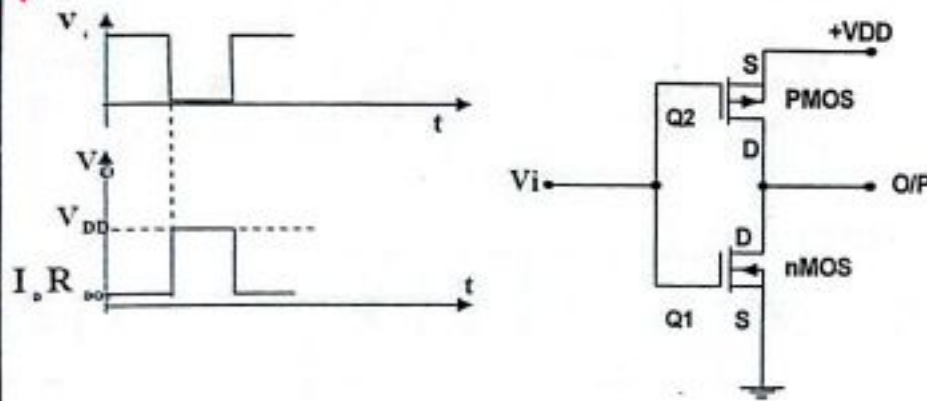
** جهد الخرج في هذه الحالة 3mv تقريباً .

** لذا يفضل MOS عن ترانزستور ثنائي القطبية كمفتاح إلكتروني

شبه الموصل المعدني التكميلي (CMOS)

عندما يتصل ترانزستورين من MOSFET احدهما P-mos والاخر N-mos فيكونا متكاملان وتسمى الدائرة الناتجة بدائرة شبه الموصل المعدني التكميلي Cmos .

١- شبه الموصل المعدني التكميلي cmos ك بوابة نفى NOT:



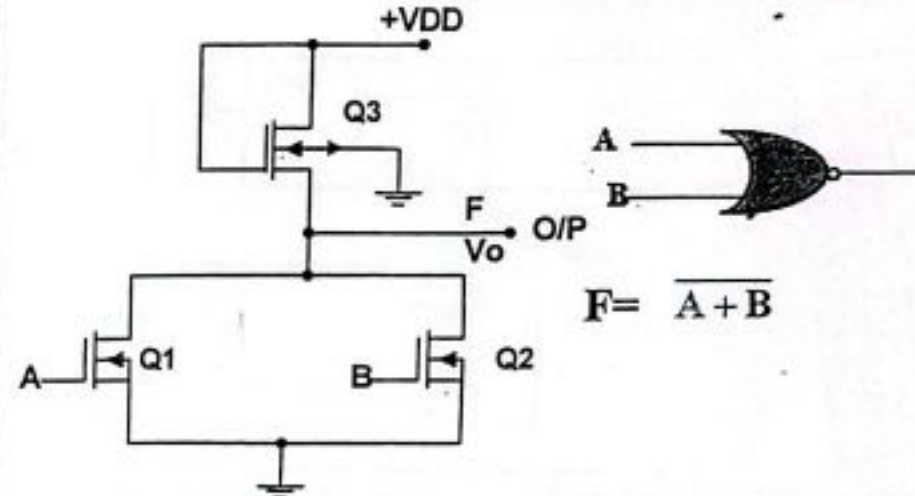
A	Vi	Q2	Q1	Vo	F
0	-Ve	On	Off	VDD	1
1	+Ve	Off	On	0 V	0

جدول الحقيقة

** ملاحظة هامة : يعتبر الترانزستور ك بوابة نفى Not مفتاح إلكتروني

مكتبة أبو زيد
قويسنا - امام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

٢- بوابة NOR باستخدام N-MOS



$$F = \overline{A + B}$$

A	B	$\overline{A+B}$	Q1	Q2	Vo	F
0	0	1	Off	Off	VDD	1
0	1	0	Off	On	0 V	0
1	0	0	On	Off	0 V	0
1	1	0	On	On	0 V	0

جدول الصواب لبوابة NOR

$$F = A + B$$

*** نظرية العمل :-

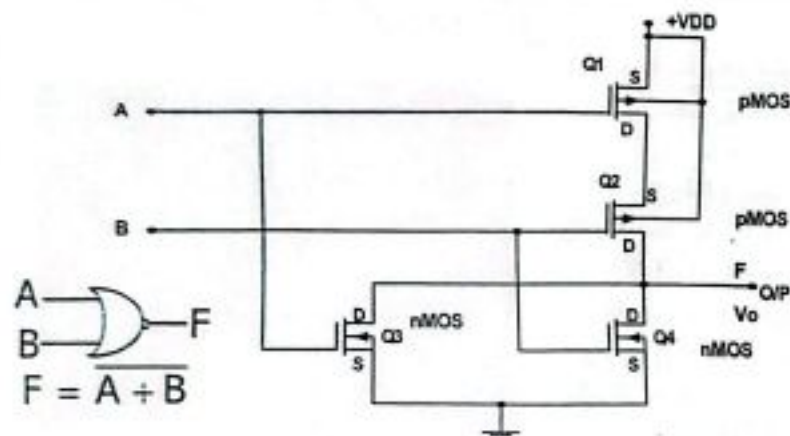
١ - إذا كان جميع المدخل Logic 0 كان كل الترانزستورات في حالة Off والخرج

معتمد على VDD أي مرتفع Logic 1 .

٢ - إذا كان أحد المدخل على الأقل Logic 1 كان أحد الترانزستورات في حالة ON

والخرج $V_o = 0 V$ أي منخفض Logic 0 .

٣ - بوابة NOR باستخدام CMOS



NOR by CMOS

A	B	$\overline{A+B}$	N-mos		P-mos		V_o	F
			Q_3	Q_4	Q_1	Q_2		
0	0	1	Off	Off	On	On	V_{DD}	1
0	1	0	Off	On	On	Off	0 V	0
1	0	0	On	Off	Off	On	0 V	0
1	1	0	On	On	Off	Off	0 V	0

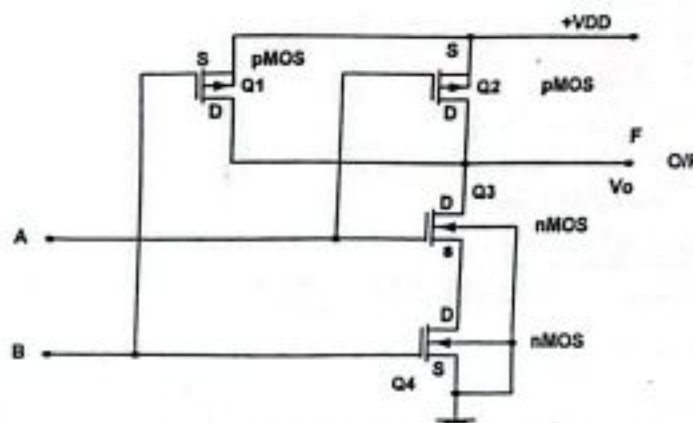
جدول الحقيقة لبوابة NOR باستخدام Cmos

نظرية عمل الحائز -

١ - إذا كان جميع المدخلات Logic 0 كان كل الترانزستورات N-mos في حالة Off ، بينما كل الترانزستورات P-mos في حالة ON ، والخرج معتمد على V_{DD} أي مرتفع Logic 1 .

٢ - إذا كان أحد المدخلات على الأقل Logic 1 كانت أحد الترانزستورات N-mos في حالة ON ، بينما أحد الترانزستورات P-mos في حالة OFF ، والخرج $V_o = I_D R_{Don}$ أي منخفض Logic 0 .

٢ - بوابة NAND باستخدام CMOS



مكتبة أبو زياد
فريسنو - أمم الامم العربي
٠١٢٢١٩٤١٧٢

A	B	$\overline{A.B}$	N-mos		P-mos		V_o	F
			Q_4	Q_3	Q_2	Q_1		
0	0	1	Off	Off	On	On	V_{DD}	1
0	1	1	Off	On	On	Off	V_{DD}	1
1	0	1	On	Off	Off	On	V_{DD}	1
1	1	0	On	On	Off	Off	0 V	0

جدول الحقيقة لبوابة Nand باستخدام Cmos

نظرية عمل الحائز -

١ - إذا كان أحد المدخلات على الأقل Logic 0 كان أحد الترانزستورات N-mos في حالة Off ، بينما أحد الترانزستورات P-mos في حالة ON ، والخرج معتمد على V_{DD} أي مرتفع Logic 1 .

٢ - إذا كان جميع المدخلات Logic 1 كانت كل الترانزستورات N-mos في حالة ON ، بينما كل الترانزستورات P-mos في حالة OFF ، والخرج $V_o = I_D R_{Don}$ أي منخفض Logic 0 .

الباب الرابع : ذاكرة اشباه الموصلات Semiconductor Memories



١-٤ (التركيب العام للذاكرة :-

- ١- وحدة فك ترميز العنوان (٦ الى ٦٤ خط)
- ٢- عوازل للدخل والخرج
- ٣- خلايا الذاكرة وهي صفوف كل صف يسمى مسجل (8-Bit) ويستخدم للقراءة والكتابة R/W
- ٤- وحدة التحكم المنطقي، ومن اهم وظائفها توفير وظائف التحكم في عمليات القراءة والكتابة R/W واختيار الشريحة.

*** خط القراءة والكتابة = ١ تعني قراءة بينما = ٠ تعني كتابة .

*** سعة مسجل العنوان (n) تحدد سعة الذاكرة = 2^n

** وحدات قياس الذاكرة :

- ١- البت (Bit) وهي خاذه ثنائية واحدة تحتوي على (٠ او ١)
- ٢- النبل (Nibble) ويتكون من 4- Bit
- ٣- البايت (Byte) ويتكون من 8-Bit
- ٤- الكلمة (Word) وتتكون من 16-Bit - 2Byte
- ٥- مضاعفات الوحدات K , M , G , T
- ٢-٤ : عنوان وسعة الذاكرة :-



Address

n

Data

m

سعة الذاكرة

= $2^n * m$

** يحدد عنوان الخلية برقم صف ورقم عمود

** بينما يحدد عنوان البايت برقم الصف فقط .

*** سعة الذاكرة :-

تحدد سعة الذاكرة حسب عدد خطوط العنوان وطول الكلمة

*** سعة الذاكرة = $2^n * m$

مثال : ص ٨٥ + ص ٨٦ بالكتاب .

مميزات دوائر CMOS , MOS

- ١) صغيرة الحجم .
 - ٢) المناعة العالية ضد الضوضاء .
 - ٣) سرعة التشغيل كبيرة .
 - ٤) زيادة عدد تفرعات الخرج .
 - ٥) السماح بالتفاوت في جهد المصدر .
 - ٦) القدرة المستهلكة صغيرة .
- العيوب الديناميكية والدائمة :-

١- سرعة التشغيل CMOS & MOS اقل من BJT .

٢- لها فقد إستاتيكي صغير .

٣- تتأثر بال مجالات الكهربائية .

٤- الحساسية العالية التي تؤدي إلى تلفها

٥- وجود ساعات طفيلية بين الأقطاب

٦- صغر عرض النطاق الترددي .

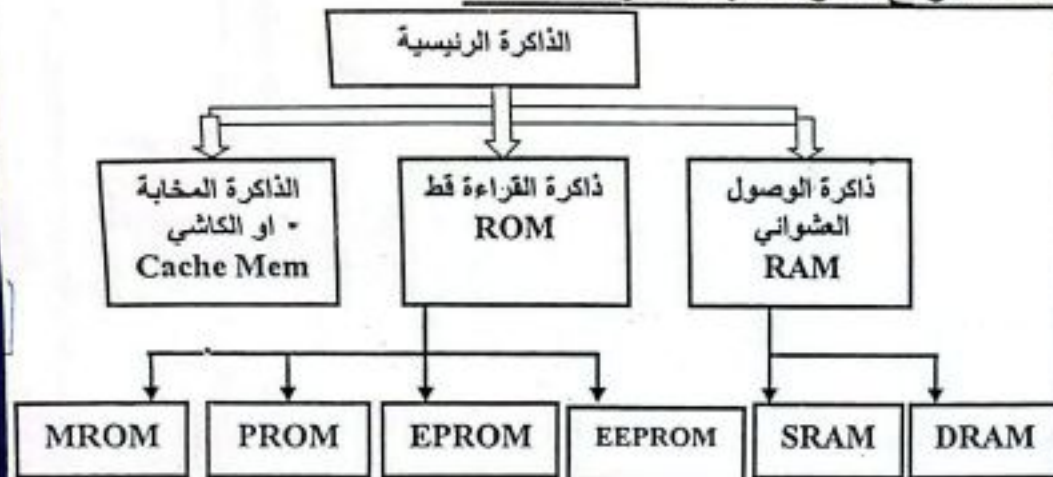
مكتبة أبو زياد
قويسنا - امام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

أسئلة على الباب الثالث + أسئلة الكتاب

١. اشرح مع الرسم بوابة NAND باستخدام nMOS .
٢. اشرح مع الرسم بوابة NOR باستخدام nMOS .
٣. اشرح مع الرسم بوابة nMOS كبوابة نفى مع رسم الخرج .
٤. اشرح مع الرسم بوابة NAND باستخدام CMOS .
٥. اشرح مع الرسم بوابة NOR باستخدام CMOS .
٦. وضح كيف يعمل CMOS كبوابة نفى مع رسم شكل الخرج .
٧. اذكر مميزات CMOS , MOS .

مكتبة أبو زياد
قويسنا - امام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

٤-٣ أنواع ذاكرة أشباه الموصلات :



يوضح الشكل الذاكرة الرئيسية

*** وتصنف من حيث تخزين البيانات الى ثلاث انواع هي :-

١- ذاكرة الوصول العشوائي (Random Access Memory (RAM

٢- ذاكرة القراءة فقط (Read Only Memory (ROM

٣- الذاكرة المخفية أو الكاشي (Cache Memory

*** ومن حيث تكنولوجيا التصنيع تصنف الذاكرة العشوائية :

** هي ذاكرة للقراءة والكتابة ، ويتم الوصول عشوائي وبسرعة للبيانات فيها ، يتم استخدامها لتخزين البيانات وبرامج التعليمات ونتائج الحسابات أثناء تنفيذ البرنامج ، ويمحي ما بداخلها من بيانات بفتح الجهاز أو قطع التيار الكهربائي .

١- الذاكرة الاستاتيكية S-RAM ٢- الذاكرة الديناميكية D-RAM

(أ) الذاكرة الاستاتيكية S-RAM : وهي خلايا قلاب ، ويتم تنشيط خط الاختيار

Select ، ووضع البيانات على خط البيانات Data In ، وتقرأ من خط الخرج

Data Out *** ومنها نوعان : مترامنة وتعمل مستقلة ولا يتزامن تشغيلها

بساعة النظام وغير مترامنة تعمل بشكل مترامن مع حواف ساعة النظام

Select خط الاختيار

Data IN خط بيانات الدخل

Data OUT خط بيانات الخرج

خط بيانات الخرج

خط بيانات الخرج

خط بيانات الخرج

خط بيانات الخرج

خط بيانات الخرج

خط بيانات الخرج

خط بيانات الخرج

الباب الرابع : ذاكرة أشباه الموصلات Semiconductor

Memories

٤-١ (التركيب العام للذاكرة :-

١- وحدة فك ترميز العنوان

(٦ الى ٦٤ خط)

٢- عوازل للدخل والخرج

٣- خلايا الذاكرة وهي صفوف كل

صف يسمى مسجل (8-Bit)

ويستخدم للقراءة والكتابة R/W

٤- وحدة التحكم المنطقي ، ومن

اهم وظائفها توفير وظائف التحكم

في عمليات القراءة والكتابة

R/W واختيار الشريحة .

*** خط القراءة والكتابة = ١ تعني قراءة بينما ٠ تعني كتابة .

*** سعة مسجل العنوان (n) تحدد سعة الذاكرة = 2^n

** وحدات قياس الذاكرة :

١- البت (Bit) وهي خاتة ثنائية واحدة تحتوي على (٠ او ١)

٢- النبل (Nibble) ويتكون من 4- Bit

٣- البايت (Byte) ويتكون من 8-Bit

٤- الكلمة (Word) وتتكون من 16-Bit - 2Byte

٥- مضاعفات الوحدات K=2¹⁰ = 1024 BIT , M , G , T

٤-٢ : عنوان وسعة الذاكرة :-

1				
2				
3				
	1	2	3	4

1				
2				
3				
	1	2	3	4

** يحدد عنوان الخلية برقم صف ورقم عمود

** بينما يحدد عنوان البايت برقم الصف فقط .

Address

n

Data

m

سعة الذاكرة
= $2^n * m$

تحدد سعة الذاكرة حسب عدد خطوط العنوان

وطول الكلمة

*** سعة الذاكرة = $2^n * m$

ذاكرة SRAM غير المتزامنة

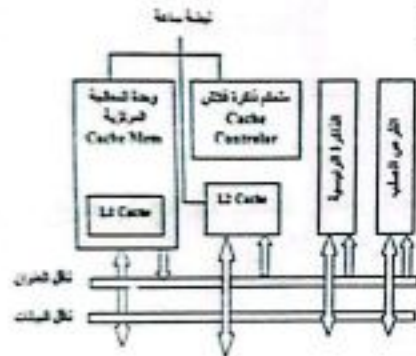
**** وضع الكتابة للخلية :-**

- ١- يتم تنشيط خط القراءة والكتابة $R/W=0$ ، وبذلك يمكن عزل المدخلات وتعطيل عازل الخرج .
- ٢- عند تخزين (١) يتم وضع الخلية في وضع لتشغيل و شحن المكثف .
بينما عند تخزين (٠) يتم وضع الخلية في وضع إيقاف وتفريغ المكثف .

**** وضع القراءة من الخلية :**

- يتم تنشيط خط القراءة والكتابة $R/W = 1$ ، وبذلك يعطل عزل المخلات ويمكن عزل الخرج . ويتم وضع الخلية في وضع لتشغيل وربط المكثف بخطوط الخرج

*** الذاكرة المخفية : Cache Memory



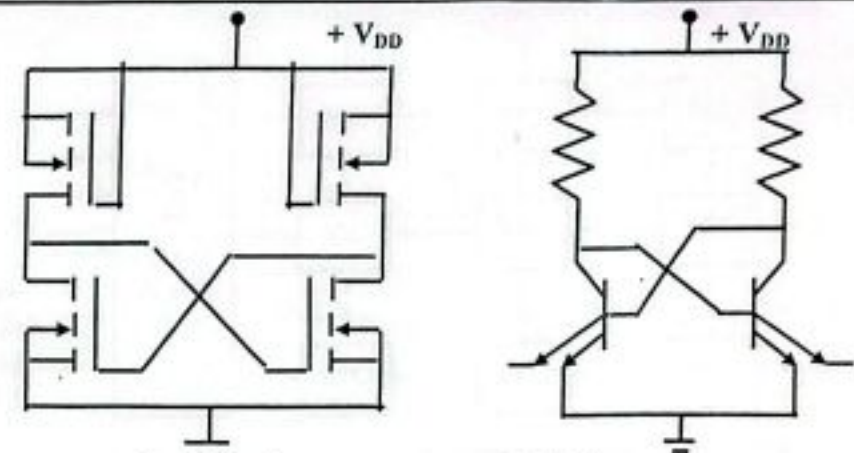
- نظرا لسرعة التعامل مع المعالج فقد تم تصنيع الذاكرة المخبة ضمن مكونات المعالج وهي عبارة عن ذاكرة ذات سرعة عالية وتتصل مباشرة بوحدة المعالجة المركزية ، وتقوم بتخزين التعليمات والبيانات المستخدمة مؤخرا ،

**** هناك مستويان للذكورة المخبأة**

- ١- المستوى الاول (L1) وهو المستوى الاساسي او الداخلي ويكون جزء من المعالج
٢- المستوى الثاني (L2) وهي الثانوية او الخارجية .
سعة التخزين L1 = 2KB:64KB ، بينما L2= 265KB : 2MB

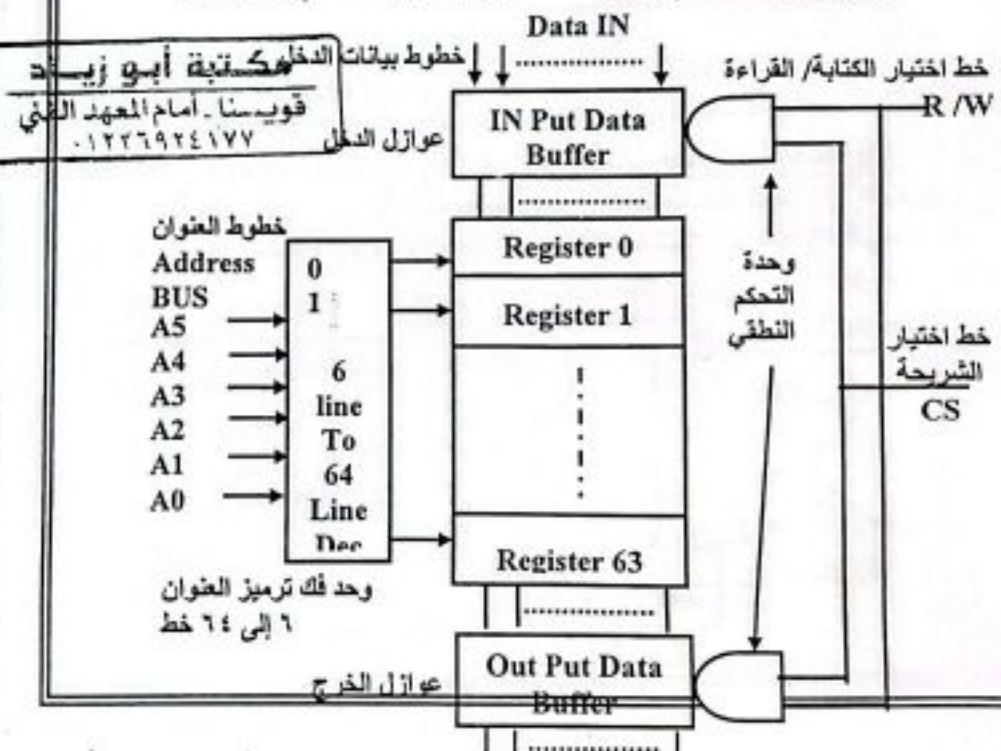
*** تنقسم ذاكرة الكتابة فقط (ROM) الى عدة انواع :-

- هي ذاكرة يتم برمجتها مرة واحدة من قبل الشركة المصنعة ولا يمكن تعديلها
*** الهيكل الداخلي للـ ROM هو
١- مجموعة من خلايا الذاكرة
٢- وحدة فك ترميز العنوان ((تتكون من وحدة واحدة للذاكرة الصغيرة ، اما



خلية أساسية لذاكرة
SRAM باستخدام N-MOS

خلية اساسية لذاكرة
SRAM باستخدام BJT



[illegible]

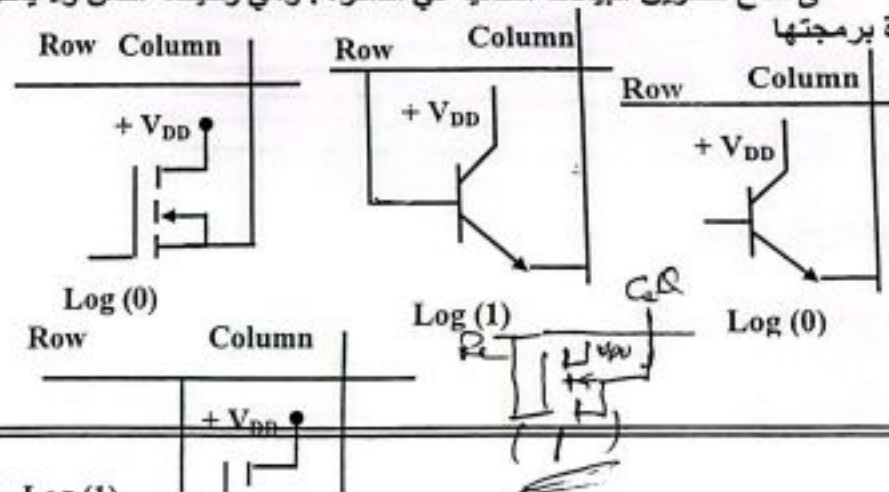
هي ذاكرة قابلة للمحمو اكثر من مرة باستخدام الاشعة فوق البنفسجية من خلال نافذة شفافة لى الجزء العلوى

هي ذاكرة قابلة للبرمجة والمحو عدة مرات ولكن كهربيا ن بتطبيق نبضة جهد عالي، ومن عيوبها قلة الكثافة وارتفاع ثمنها .

Y



هي ذاكرة يتم برمجتها عند تصنيعها حسب مواصفات الزيون ، وتستخدم فيها صورة
سالبة تسمى قناع لتخزين البيانات الثنائية في الذاكرة . وهي رخيصة الثمن ولا يمكن
إعادة برمجتها

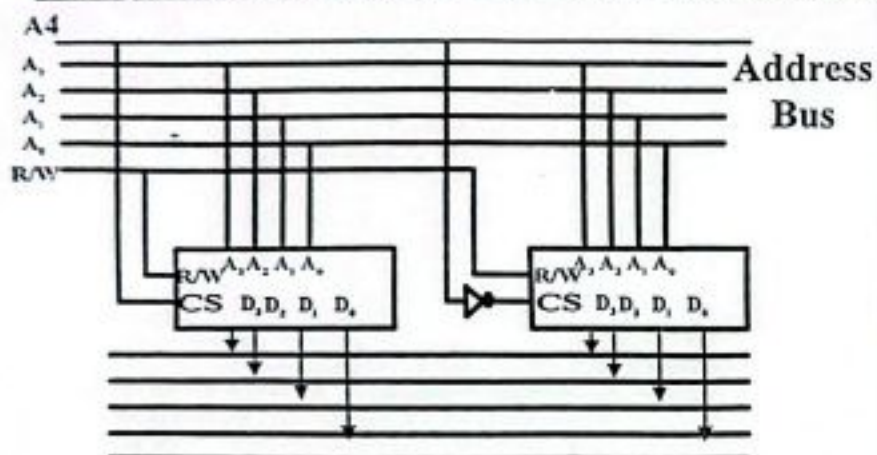


*** وبذلك يتم تنشيط الشريحتين في نفس الوقت وتحت نفس العنوان ن بينما تكتب البيانات على جزئين كل جء في شريحة .

مكتبة أبو زياد
قويسنا - أمام المعهد الفني
٠١٢٢٦٩٢٤١٧٧

٢

٢- توسيع مواقع الذاكرة (عدد الكلمات) Memory Location Exp.



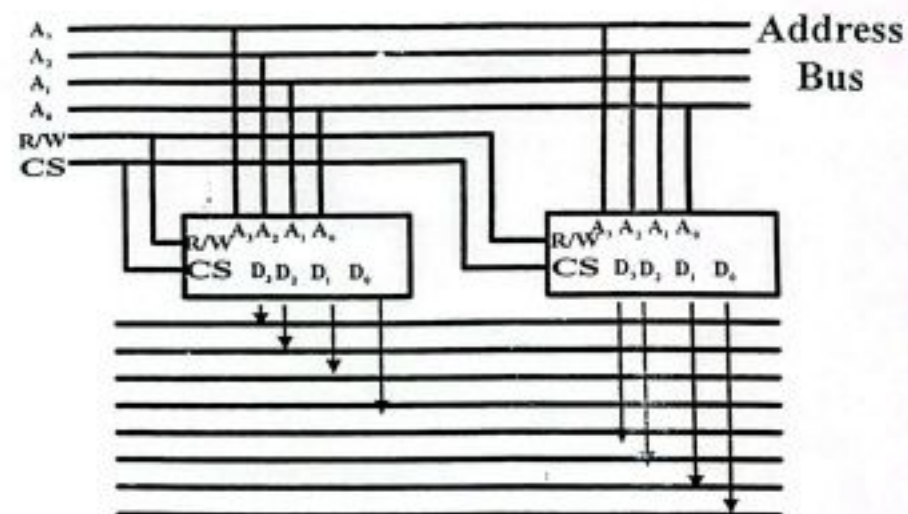
*** طريقة التوصيل :-

- ١- توصيل خطوط البيانات بالتوازي
 - ٢- توصيل خطوط التحكم بالتوازي عدا خط اختيار الشريحة ، فيوصل من خط عنوان اضافي بحيث يوصل مثبت لاحدى الشرائح ومنفي للآخرى فيكون العنوان للشريحة الثانية 0**** ويكون العنوان للشريحة الاولى 1****
 - ٣- توصيل خطوط العنوان الاصليه بالتوازي .
- ** وبذلك يتم تسجيل البيانات في كل شريحة على حدى حسب التنشيط .

*** توسيع الذاكرة Expanding Memory

احيانا تتطلب البيانات اكثر من شريحة ، فيتم توصيل شريحتين او اكثر باحدى طريقتين هما :-

١- توسيع طول (حجم) الكلمة Word Size Exp



*** طريقة التوصيل :-

- ١- توصيل خطوط العنوان بالتوازي
- ٢- توصيل خطوط التحكم بالتوازي
- ٣- توصيل خطوط البيانات بالتوازي