

باب أول الكرونيات رقمية

NO.:

ROX

Date:

رقم:

التاريخ:

البواب المنطقية:

- * وهو اللبس الاساسية في تصميم أي نظام رقمي.
- * وهو دائرة إلكترونية لديها القدرة على إصدارات تفسير منطق في النظام الرقمي.

أنواع البواب المنطقية:

- * بوابات منطقية أساسية (AND-Not-OR)
- * بوابات منطقية متقدمة (NAND - NOR - X-OR - X-NOR)

هناك نوعين من المنطق هما:

- * المنطق الموجب: وفيه نجد أنه المستوى العالي يمثل (1) والمستوى المنخفض يمثل (0)
- * المنطق السالب: وفيه نجد أنه المستوى العالي يمثل (0) والمستوى المنخفض يمثل (1)

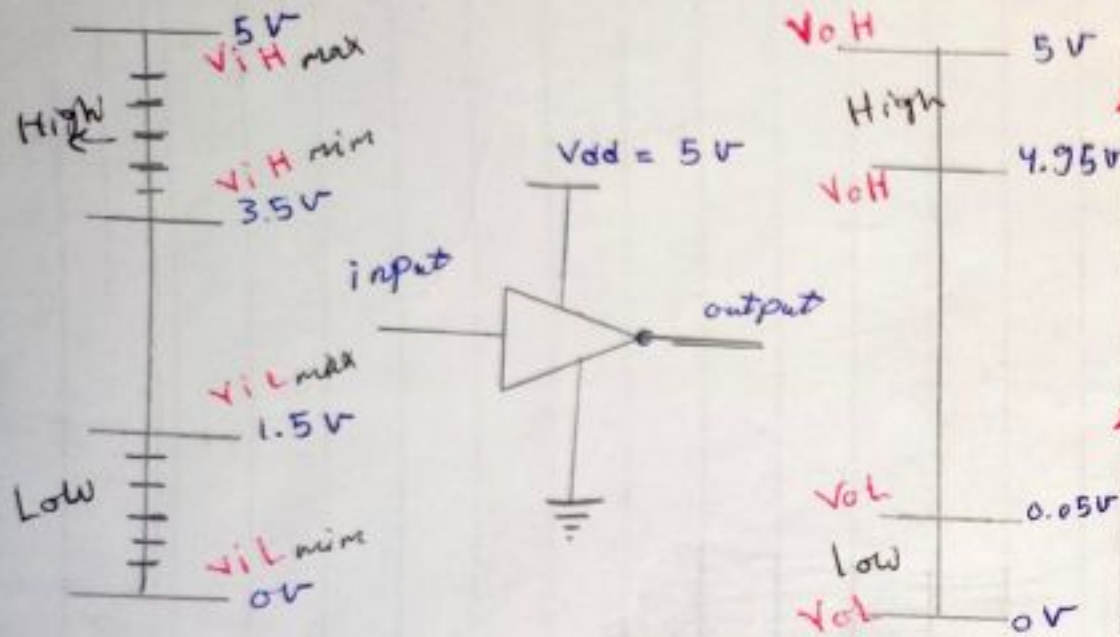
المنطق الموجب		المنطق السالب	
1	High	0	High
0	Low	1	Low

* المنطق الموجب * المنطق السالب

- * مكونات - طرف - أساليب - تكنولوجيا (منطق - تصميم البواب المنطقية)
- * التقنيات المستخدمة في دوائر المنطق الرقمي
- * منطق ترانزستور - ترانزستور T.T.L
- * منطق معدن أكسيد أشباه الموصلات MOS
- * منطق اقتران البوابات ECL
- * منطق ثنائي القطب - معدن أكسيد أشباه الموصلات BI-CMOS
- * منطق كحقن المتكامل I²L

I²L / BI-CMOS / ECL / MOS / T.T.L

المستويات المنطقية لعائلة CMOS



* حدود جهد الدخل المنخفض

$(0V : 1.5V)$

* حدود جهد الدخل العالي

$(3.5V : 5V)$

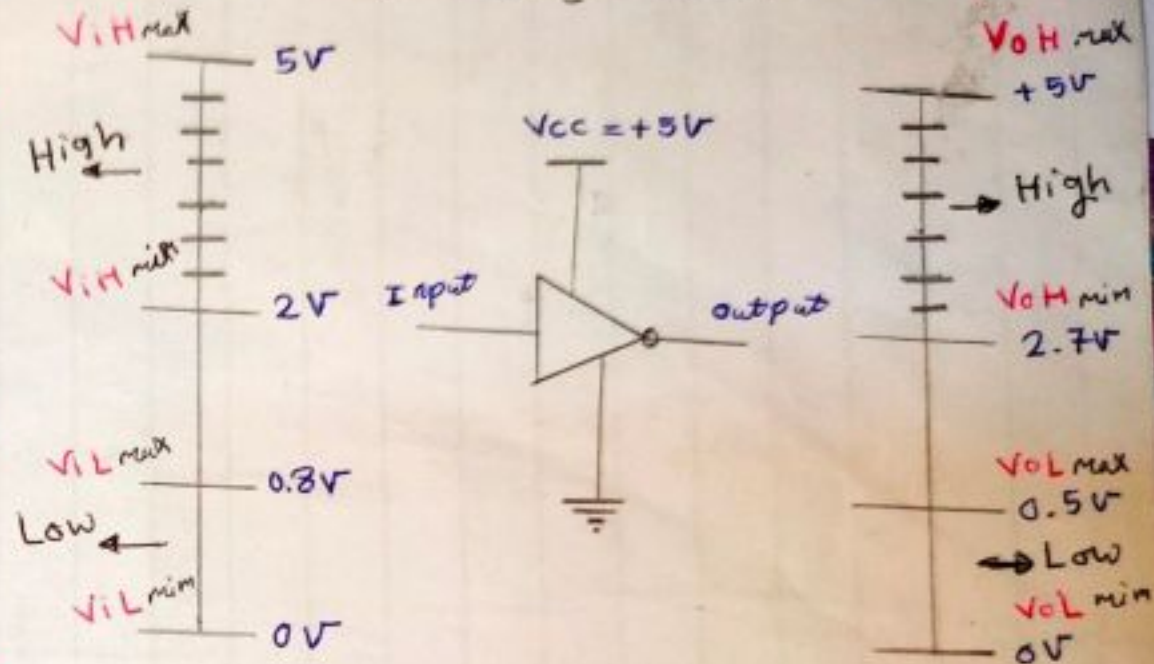
* حدود جهد المخرج المنخفض
Low

$0.05V$

* حدود جهد المخرج العالي

$4.95 : 5V$

المستويات المنطقية لعائلة منطق T.T.L



المستويات المنطقية لا حرج الدخل مخرج لبوابات
الفنر V_{oL} باستخدام عائلة T.T.L

* حدود جهد الدخل المنخفض

Low

$(0V : 0.8V)$

* حدود جهد الدخل العالي

$(2V : 5V)$

* حدود جهد المخرج المنخفض
Low

$(0V : 0.5V)$

* حدود جهد المخرج العالي

High

$(2.7V : +5V)$

IC

← مكونات الدوائر المتكاملة :-

- * الغلاف الخارجي ← وهو مصنع من البلاستيك أو الخزف.
- * الأرجل المعدنية ← التي تحمل الدائرة باللوحة.
- * الترميز الإلكتروني ← التي تحتوي على الترانزستورات
- ← مميزات استخدام الدوائر المتكاملة.

1 الحجم الصغير

2 استهلاك قدرة ضعيف ← مقارنة مع الدوائر الأخرى.

3 تكلفة أقل

4 الحرارة الناتجة عنها بسيطة ولا تحتاج إلى تبريد أو تهوية

5 تعمل بكفاءة عالية أكبر بـ 50 مرة من الدوائر العادية

6 تعمل بسرعة عالية ← لا توجد إحصائية تأخذ زمنًا أقل عند انتقالها داخل الدائرة.

7 عدم وجود كميات دافلية ← وهذا يقلل من احتمال حدوث فشل داخلي للطراف.

← ماضي أهم العائلات المنطقية للترانزستور ثنائي القطبية **BJT**

1 منطق المقاومة والموحد ← **DRL**.

2 عائلة منطق المقاومة والترانزستور ← **RTL**.

3 عائلة منطق الموحد والترانزستور ← **DTL**.

4 عائلة منطق الترانزستور والترانزستور ← **TTL**.

5 عائلة منطق ترانزستور الربط المباشر ← **DC TL**.

6 عائلة منطق الترابط المباشر المشع ← **ECL**.

7 عائلة منطق الكيف، متكامل ← **I²L**.

حيث أنه عائلة **TTL** هي الأكثر شيوعًا.

و العائلتين **ECL** , **T.T.L** هما الأكثر استخدامًا

أهم المعاملات الفرعية لمنطق عائلة T.T.L

* المعاملات الفرعية لمنطق عائلة T.T.L

TTL القياسية	TTL منخفضة القدرة	TTL عالية السرعة	عائلة البرط باليونان
① تغل بتغذية +5V	تغل بتغذية +5V	تغل بتغذية +5V	تغل بتغذية +5V
② لها زمن تأخير 10 nsec $t_p = 10 \text{ nsec}$	زمن تأخير 32-33 nsec $t_p = 32 \text{ nsec}$	حصة الانتقال 1 ← 0 $t_p = 6 \text{ nsec}$	حصة الانتقال 1 ← 0 $t_p = 3 \text{ nsec}$
③ فقد القدرة في البواب 10 mWatt	فقد القدرة في البواب 1 mWatt	فقد القدرة في البواب 22 mWatt	فقد القدرة في البواب 19 mWatt
④ أقصى تردد للعمل	أقصى تردد للعمل	أقصى تردد للعمل	أقصى تردد للعمل
→ $F_{max} = 35 \text{ MHz}$ تأخير 1V	→ $F_{max} = 3 \text{ MHz}$	→ $F_{max} = 50 \text{ MHz}$	→ $F_{max} = 125 \text{ MHz}$

* ماهي المعاملات الفرعية لمنطق CMOS

* العائلة 4000A يتم تصنيعها بجهد عالي وكفارج معزولة

* أما العائلة 4000B, 4000uB يتم تصنيعها بجهد عالي وكفارج غير معزولة

* المعاملات 54/74 متوافقة مع عائلة T.T.L

- ① عائلة 4000A ←
- ② عائلة 4000B ←
- ③ عائلة 4000uB ←
- ④ عائلة 54/74C ←
- ⑤ عائلة 54/74HC ←
- ⑥ عائلة 54/74HCT ←
- ⑦ عائلة 54/74AC ←
- ⑧ عائلة 54/74ACT ←

أهم العائلات المنطقية للترانزستور MOS .

1 ترانزستور $P MOS$ وهو عبارة عن ترانزستور MOS ذو قناة موجبة.

2 ترانزستور $N MOS$ وهو عبارة عن ترانزستور MOS ذو قناة سالبة.

3 ترانزستور $C MOS$ وهو عبارة عن ترانزستور متكامل يتكون من ترانزستور $P MOS$ وترانزستور $N MOS$.

العوامل التي تؤثر اختيار نوع الدائرة المنطقية.

1 سرعة التشغيل (زمن الانتشار)

2 هامش التوقيت.

3 المتانة عند الضوضاء.

4 عدد تفرعات الخرج. Fan output.

5 عدد تفرعات الدخل. Fan Input.

6 استهلاك الطاقة.

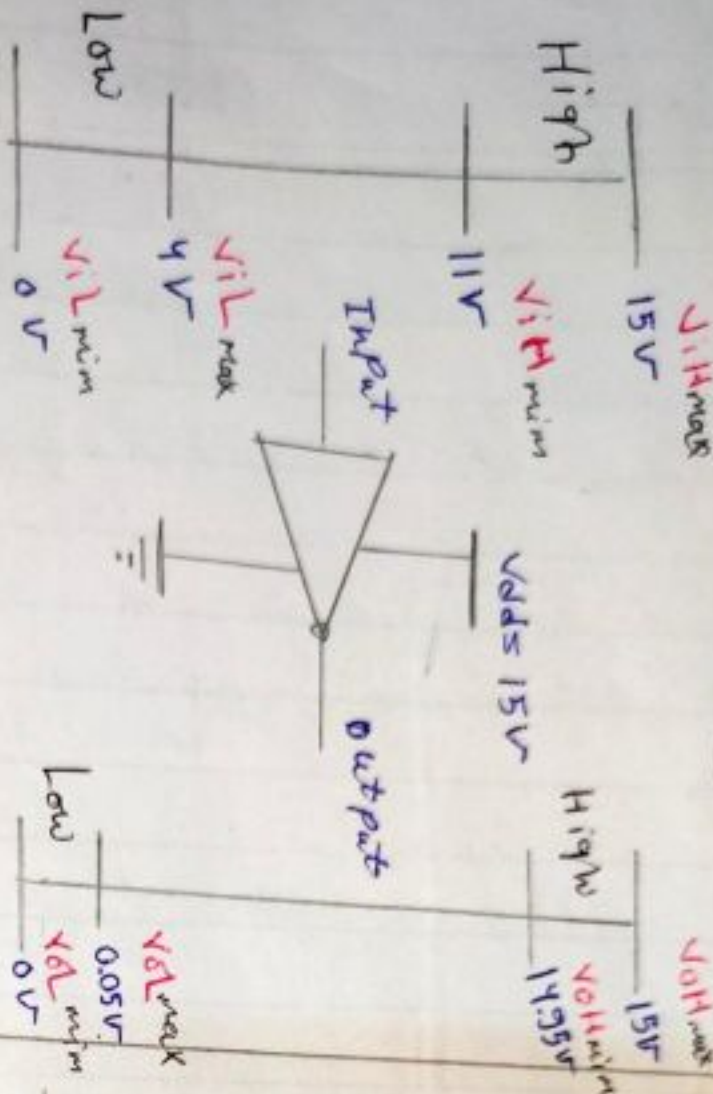
7 توافق الدوائر.

8 التكلفة.

المعايير المتقدمة لتحديد خصائص العائلات المنطقية.

- 1 تيار مستوى الدخل العالي I_{iH} 2 تيار مستوى الدخل المنخفض I_{iL}
- 3 تيار مستوى الخرج العالي I_{oH} 4 تيار مستوى الخرج المنخفض I_{oL}
- 5 جهد مستوى الدخل العالي V_{iH} 6 جهد مستوى الخرج المنخفض V_{iL}
- 7 جهد مستوى الخرج العالي V_{oH} 8 جهد مستوى الخرج المنخفض V_{oL}
- 9 زمن الصعود t_r 10 زمن الهبوط t_f
- 11 تيار مصدر التغذية I_{cc} 12 زمن تأخير الانتشار t_p
- 13 عدد تفرعات الخرج Fan output 14 عدد تفرعات الدخل Fan Input
- 15 هامش الضوضاء $N.m$ 16 أقصى سرعة F_{max}
- 17 القدرة المستهلكة في الدوائر المنطقية. P_{avg}

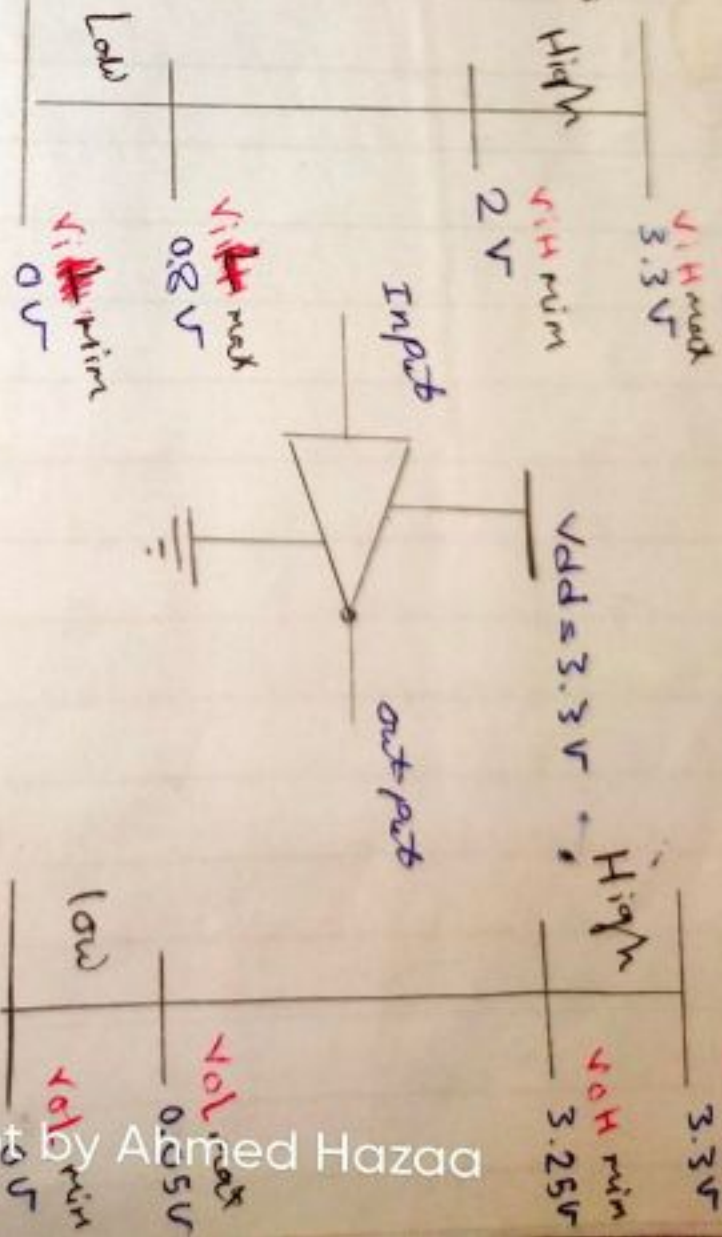
مستويات إشارات الدخل وخرج البوابات المنطقية



مستويات الدخل وخرج البوابات المنطقية

باستخدام 15V CMOS

مستويات إشارات الدخل وخرج البوابات المنطقية باستخدام CMOS 3.3V



مستويات الدخل وخرج البوابات المنطقية باستخدام 3.3V CMOS

3.3V CMOS

* ملحوظة هامة

بالنسبة للـ TTL يجب أن يكون 5V مع نسبة ضايع 10% فقط

بالنسبة للـ CMOS فليس باليسر أو (3V: 1.8V) (3V: 1.6V)

← المعايير المستخدمة لتحديد خصائص العائلات المنطقية.

11 تيار مستوى الدخل العالي I_{IH} .

هو تيار الدخل عند ما يكون جهد مستوى الدخل عالي

12 تيار مستوى الدخل المنخفض I_{IL} .

هو تيار الدخل عند ما يكون جهد مستوى الدخل منخفض

13 تيار مستوى الخرج العالي I_{OH} , يكون قيمته $400\mu A$ وقادر على تشغيل 10 بوابة

هو تيار الخرج عند ما يكون جهد الخرج عالي، وهو الذي يحدد عدد تفرعات الخرج

14 تيار مستوى الخرج المنخفض I_{OL} , وقوته $16mA$ وقادر على تشغيل 10 بوابة

هو أقصى تيار الخرج في المستوى المنخفض، وهو الذي يحدد عدد بوابة المتصلة بالخرج

15 جهد مستوى الدخل العالي V_{IH} .

هو أقل قيمة لجهد مستوى الدخل العالي في حالة T.T.L, لقيمة يكون $0.8V$.

16 جهد مستوى الدخل المنخفض V_{IL} .

هو أقصى قيمة لجهد مستوى الدخل المنخفض وفي حالة T.T.L, لقيمة يكون $2V$.

17 جهد مستوى الخرج العالي V_{OH} .

هو أقل قيمة لجهد مستوى الخرج العالي وفي حالة T.T.L, لقيمة يكون $2.4V$.

18 جهد مستوى الخرج المنخفض V_{OL} .

هو أقصى قيمة لجهد الخرج المنخفض في الحالة عالية T.T.L, لقيمة يكون $0.4V$.

19 تيار مصدر التغذية I_{CC} .

هو محصلة تيار الخرج العالي I_{CCH} وتيار الخرج المنخفض I_{CCL} .

20 زمن الصعود t_r .

هو الزمن اللازم لصعود إشارة الدخل من 10% إلى 90% من قيمته العظمى.

هو زمن الانتقال من إشارة الخرج في المستوى المنخفض إلى المستوى

العالي.

11) زمن الهبوط t_F .

* هو الزمن اللازم ليهبط إشارة الخرج من 70% إلى 10% من قيمته العليا.

* هو انتقال إشارة الخرج من المستوى العالي إلى المستوى المنخفض.

12) زمن تأخير الانتشار t_p .

هو التأخير الزمني بين استقرار إشارة المدخلات على البواب المنطقية واستقرار إشارة الخرج على البواب المنطقية.

زمن تأخير الانتشار $t_p = \frac{t_{pHL} + t_{pLH}}{2}$ من المستوى العالي إلى المنخفض.

زمن تأخير الانتشار من انتقال إشارة المدخل من المستوى المنخفض إلى المستوى العالي.

13) أقصى تردد في حالة الدخل F_{max} .

هو الذي يحافظ على استقرار عملية التبديل بين المستويات المنطقية.

14) القدرة المستهلكة في الدوائر المنطقية P_{AVG} .

هي القيمة المتوسطة لكل من القدرة المستهلكة في حالة المنطق

(1) من حالة المنطق (0) حيث N

$$P_{AVG} = \frac{V_{CC} * (I_{CCH} + I_{CCL})}{2}$$

في حالة T.T.L

$$P_{AVG} = \frac{V_{CC} * I_{CC}}{1}$$

في حالة CMOS

وحيث N القدرة المستهلكة P_{AVG}

V_{CC} ← جهد التغذية

I_{CC} ← تيار التغذية

I_{CCH} ← تيار التغذية العالي

I_{CCL} ← تيار التغذية المنخفض

15 عدد تفریحات الخرج Fan-output

هو أقصر عدد من البوابات المنطقية التي يمكن توصيلها إلى الخرج
بوابات منطقية بدون أن يتأثر أداء هذه البوابات
حيث أن

$$\text{Fan-output} = \frac{I_{OH \max}}{I_{IH \max}}$$

$$\text{Fan output} = \frac{I_{OL \max}}{I_{IL \max}}$$

16 عدد تفریحات الدخل Fan-Input

هو أقصر عدد من البوابات المنطقية التي يمكن توصيلها إلى مدخل
البوابات المنطقية دون أن يتأثر أداء هذه البوابات

17 هامش الضوضاء (N.M) Noise margin

هو معامل ورد أقصر من الضوضاء يمكن أن يحميناها إلى
مدخل البوابات المنطقية دون أن يتأثر ذلك على استقرار الخرج
وهناك نوعان من هامش الضوضاء

* هامش الضوضاء العالي N.M.H

هو الفرق بين أقل قيمة جهد الفرج العالي وأقل قيمة جهد الفرج المنخفض

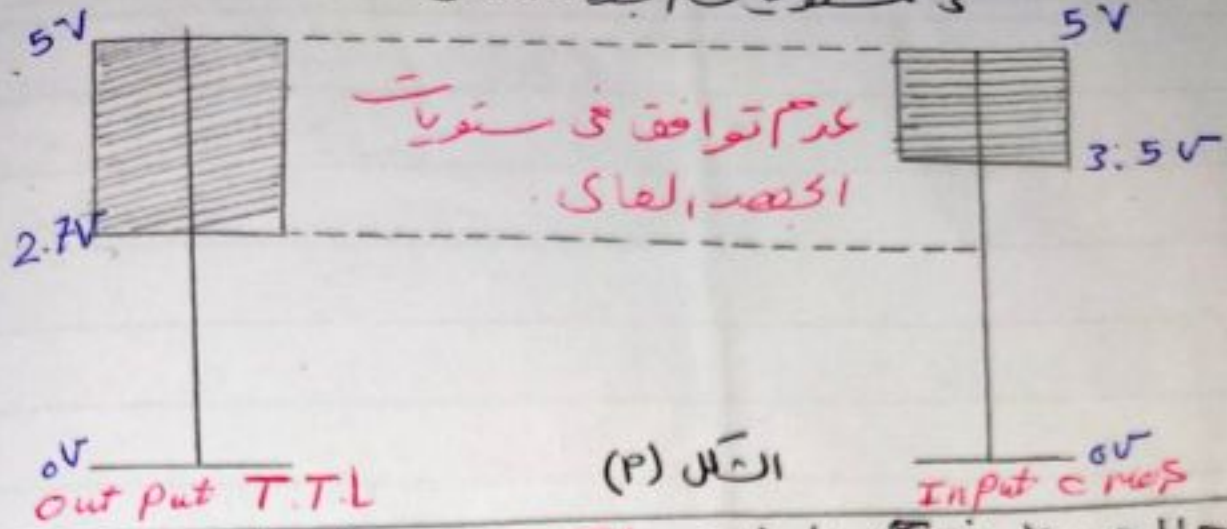
$$N.M.H = V_{OH \min} - V_{IH \min}$$

* هامش الضوضاء المنخفض N.M.L

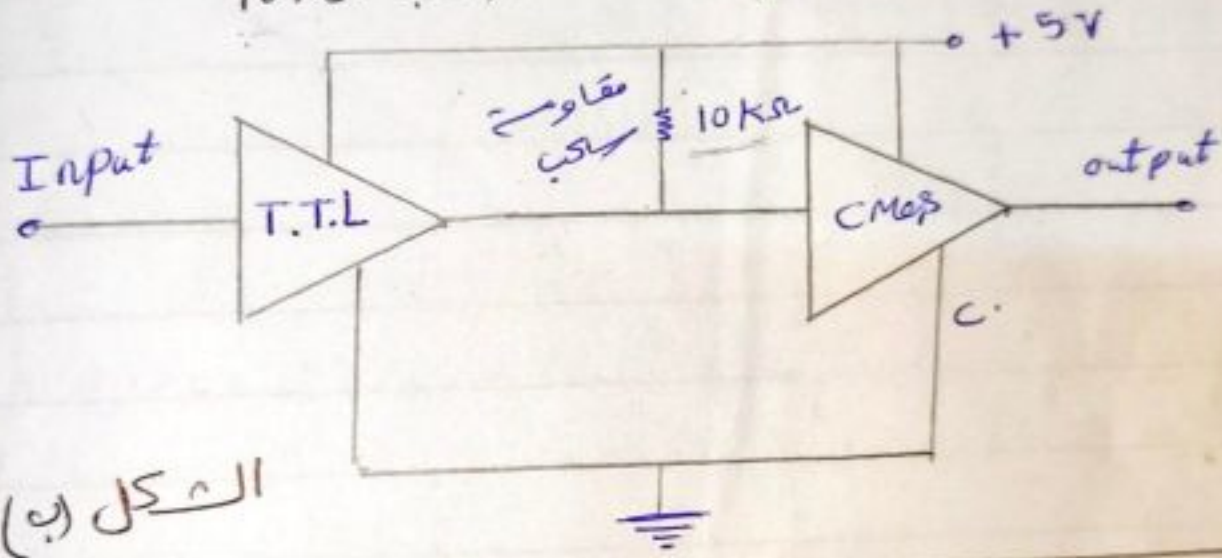
هو الفرق بين أقصى قيمة جهد الدخل المنخفض وأقصى قيمة
جهد الفرج المنخفض

$$N.M.L = V_{IL \max} - V_{OL \max}$$

* حالة عدم التوافق بين خرج البوابة T.T.L ودخل البوابة CMOS في مستويات الجهد العالي



* حالة ربط خرج البوابة T.T.L مع دخل البوابة CMOS باستخدام مقاومة سحب $10k\Omega$



الشكل (ب)

* حالة التوافق بين خرج البوابة T.T.L ودخل البوابة CMOS في مستويات الجهد العالي



التوافق بين الأنواع المختلفة من البوابات.

هناك مصدر من تقنيات الربط البسيطة والمستخدمة لعمل توافق بين الأنواع المختلفة من البوابات. كما يلي:

الأنواع المختلفة لتقنيات الربط.

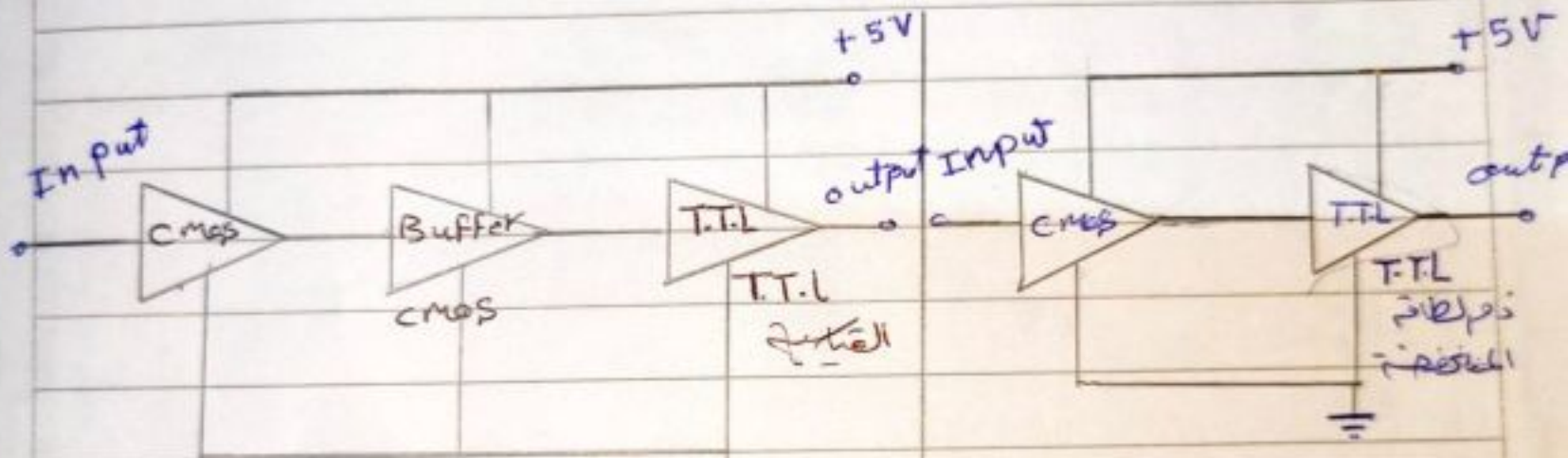
① البوابة CMOS لقيادة بوابة T.T.L

② البوابة TTL لقيادة بوابة CMOS

③ البوابة T.T.L لقيادة بوابة E.C.L

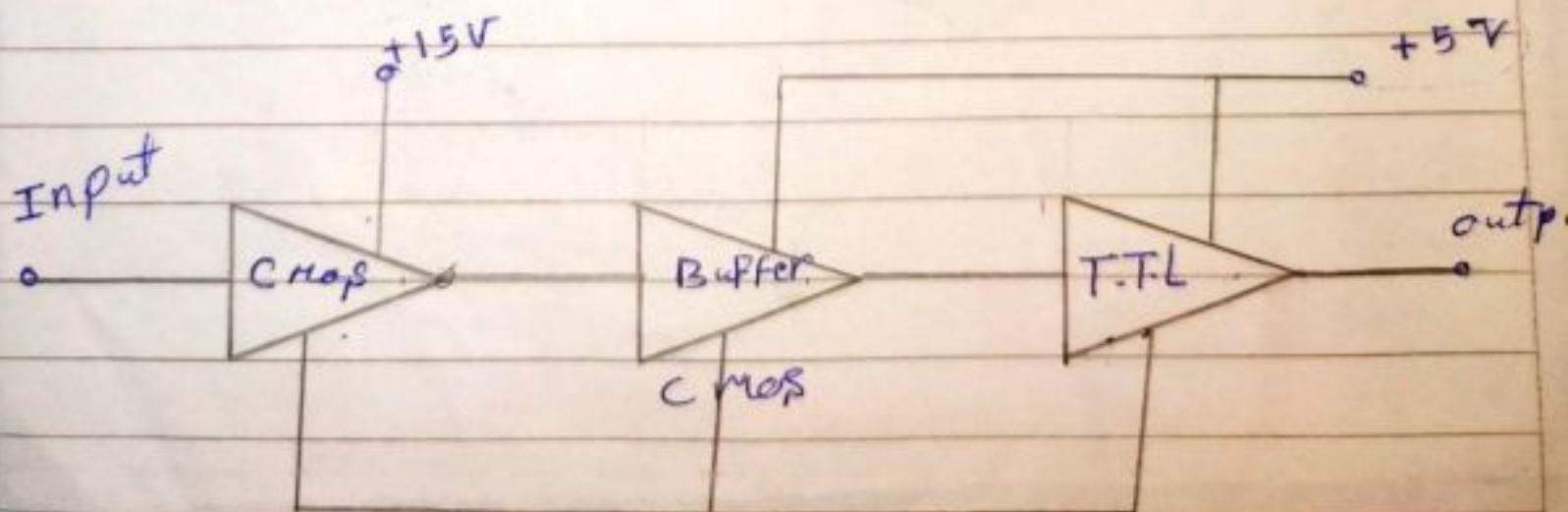
④ البوابة ECL لقيادة بوابة T.T.L

البوابة CMOS لقيادة البوابة T.T.L مع الحزم



* البوابة CMOS لقيادة T.T.L ذو الطاقة المنخفضة.

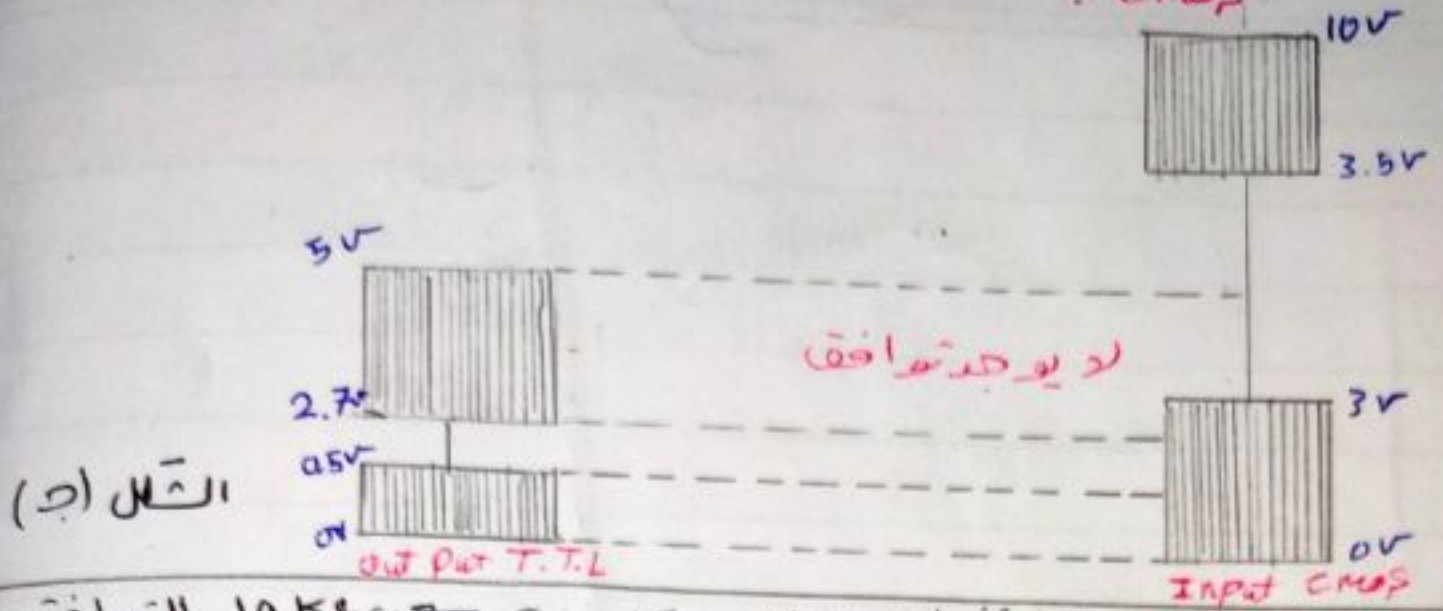
* البوابة CMOS لقيادة البوابة T.T.L القوية.



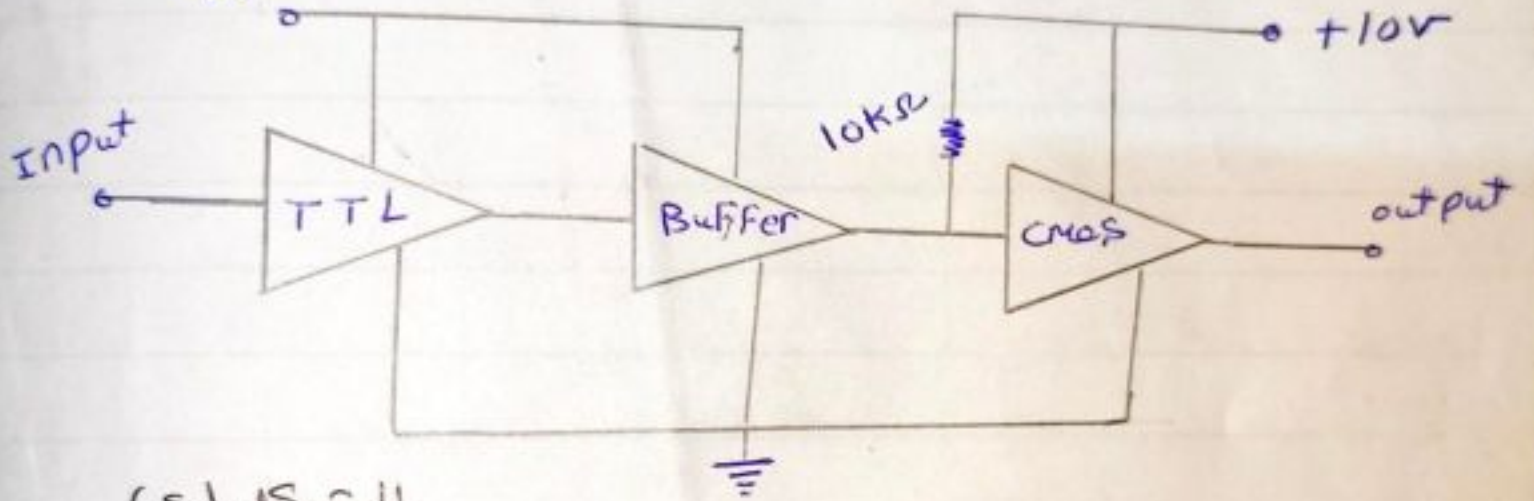
توافق البوابات CMOS مع مصدر تغذية مختلف (15V, +5V)

Shot by Ahmed Hazaa

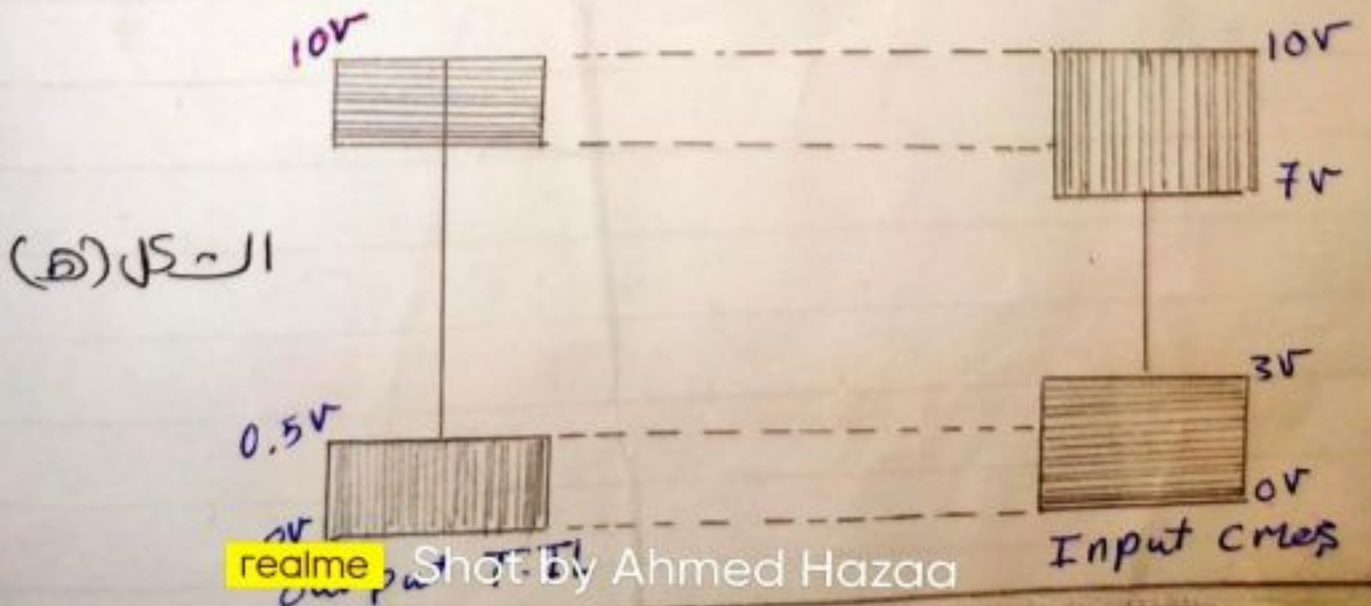
* حالة عدم التوافق بين مستوى الجهد العالي بين خرج البوابة T.T.L والبوابة CMOS



* حالة التوافق عند استخدام عازلة ومقاومة $10K\Omega$ للتوافق بين خرج البوابة T.T.L ودخل البوابة CMOS في مستويات الجهد



* حالة التوافق بين خرج البوابة T.T.L ودخل البوابة CMOS في مستويات الجهد



عند توصيل أورببط أو استخدام البوابات **CMOS** لقيادة البوابات **TTL** من المصدر $(+5V)$ فإن البوابات تكون متوافقة في مصدر الجهد، ومتوافقة في مستويات الجهد العالي والمنخفض حيث أن $V_{OH} = 4.95V$ خرج **CMOS** يتوافق مع $V_{IH} = 2V$ لدخل البوابات **TTL**.

• وعادة لا توجد مشكلة في توصيل خرج **CMOS** بدخل **TTL**.

• لكن المشكلة الوحيدة هي توفير تيار حمل عال لدخل **TTL** ويتم ذلك باستخدام **CMOS Buffer** وهو يضاعف توفير تيار حمل عال على مدخل **TTL**.

← قيادة البوابات **TTL** لبوابات **CMOS**

عند استخدام بوابات **TTL** لقيادة البوابات **CMOS** فيكون البوابات متوافقة في مصدر الجهد $[5V]$.

فيكون متوافق في أرض في مستويات التيار ولكن المشكلة توجد في عدم توافق مستويات الجهد العالي.

ولكن يتم التغلب على هذه المشكلة باستخدام مقاومة

سحب توصيل $[10K\Omega]$ حيث تصل هذه المقاومة على زيارد

الجهد العالي لخرج البوابات **TTL** كما هو موضح بالإنشكال

١٥ / ب / ج / د

← عند قيادة البوابات **TTL** لبوابات **CMOS**

فيذا تم الربط بينهم وكان مصدر التغذية مختلف فإن

TTL تتغذى فقط بمصدر تغذية قدره $[+5V]$ أما **CMOS**

تتغذى بمصدر قدره $[10V]$ فإنه يوجد مشكلة وهو أن مستوى

الجهد العالي للبوابات **TTL** $[2.7V, 5V]$ غير كاف لتفعيل لبوابات

CMOS المحصنة بـ $[3.5V, 10V]$ فتم التغلب على هذه المشكلة

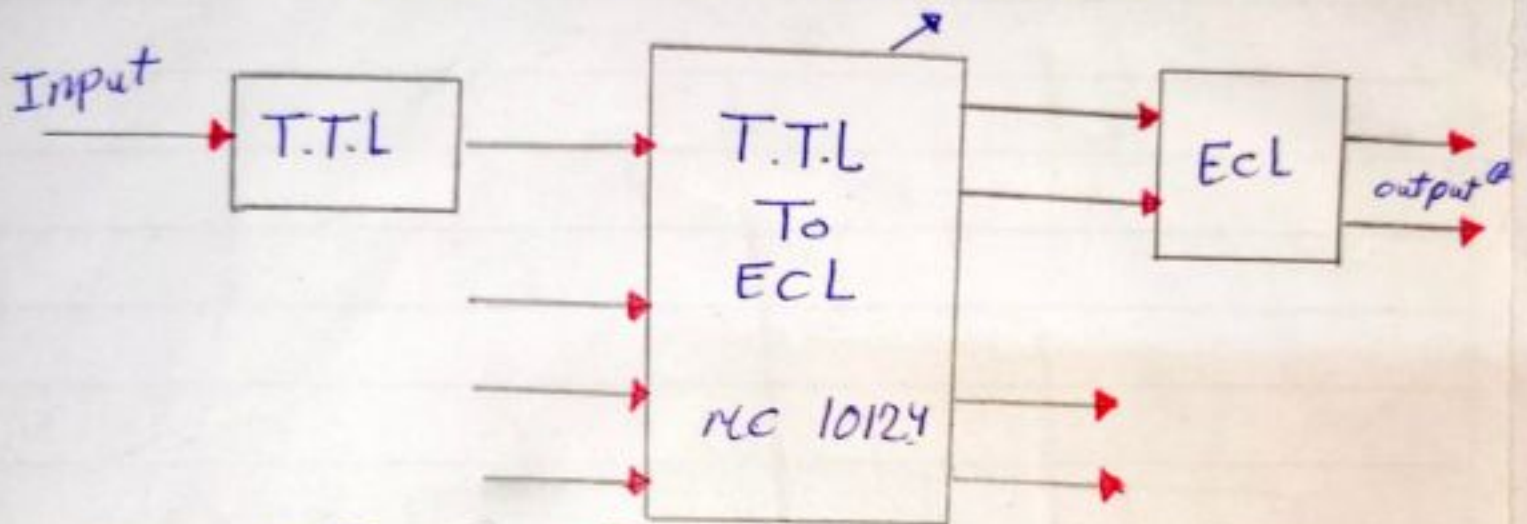
باستخدام غازل ومقاومة سحب $10K\Omega$ كما بالشكل ←

١٥ / د

البوابات T.T.L لقيادة بوابات ECL

فمنذ قيادة بوابات T.T.L للبوابات ECL فليس باليسيرة وذلك بسبب عدم التطابق في مصدر التغذية ويتم ذلك باستخدام شريحة مترجم المستوى المعروفة باسم MC 10124.

شريحة مترجم المستوى MC 10124



البوابات ECL لقيادة بوابات T.T.L

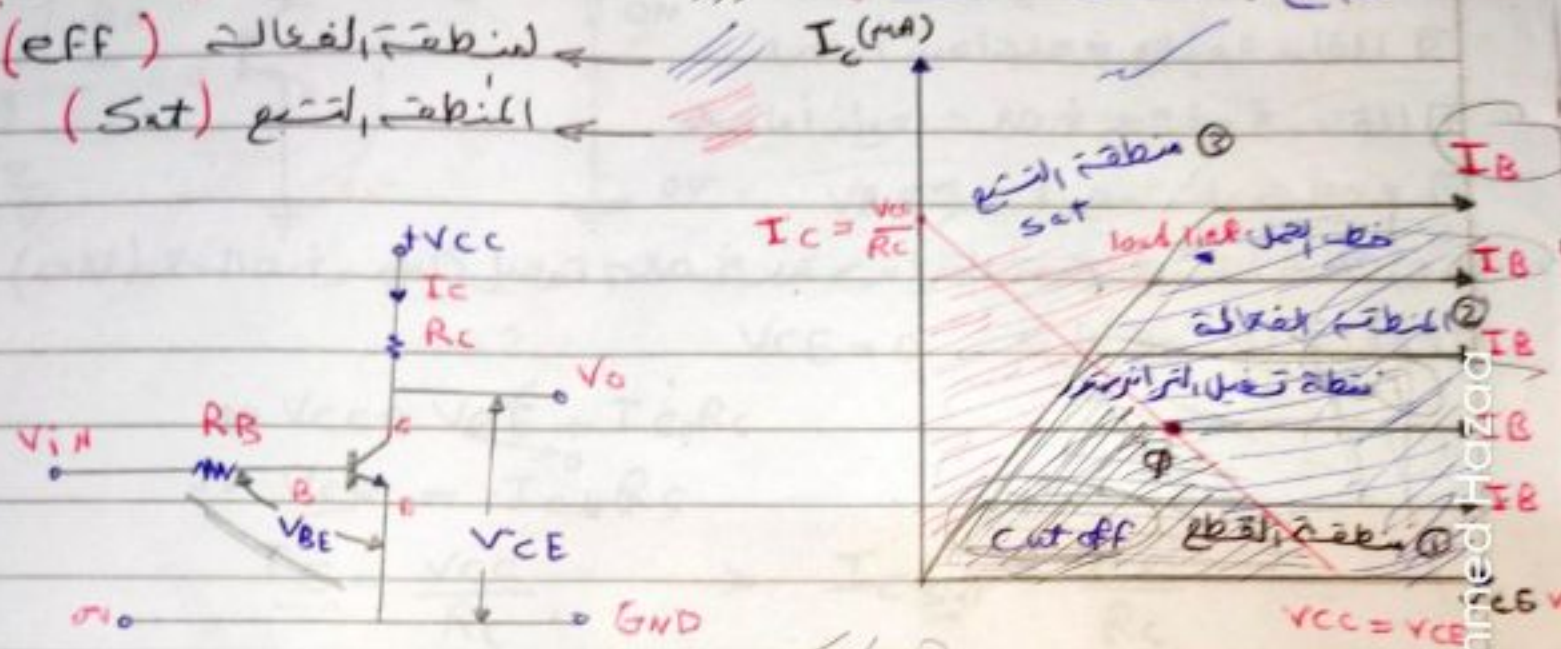
أرى هنا في هذه الحالة ليس باليسيرة الربط بين خرج البوابات ECL ودخل البوابات T.T.L في مستويي الدخل وأيضاً في مصدر التغذية ويتم استخدام شريحة مترجم المستوى المعروفة باسم MC 10125 للتغلب على ذلك.

شريحة مترجم المستوى MC 10125



* مناطق عمل الترانزستور ثنائي القطب كفتاح إلكتروني - خصائصه كل منطقة .

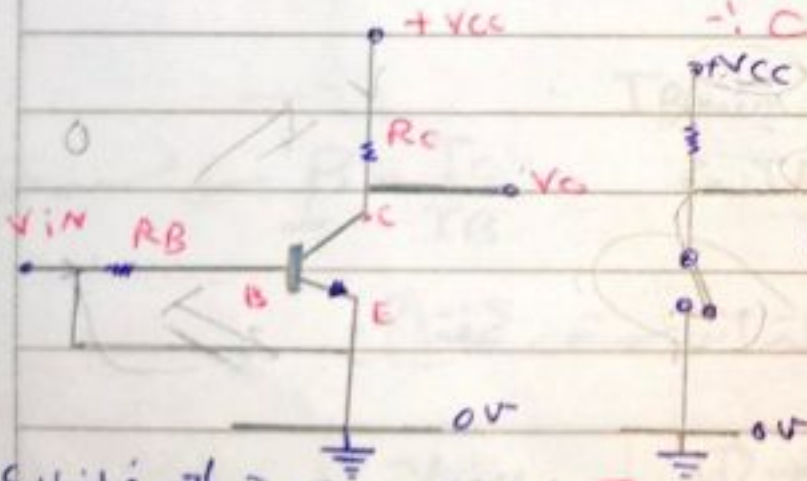
يحول الترانزستور كفتاح إلكتروني في منطقة القطع - التبع (cut off)
 موضح بالـ كل المناطق الثلاث :
 منطقة القطع (cut off)
 لمنطقة الفعالة (eff)
 المنطقة التبع (Sat)



$$V_{cc} = I_c \cdot R_c + V_{ce}$$

ملاحظة خط الحمل :-
 فيعمل الترانزستور BJT كفتاح في حالتين القطع والتبع :-

1- منطقة القطع Cut off :-



حالة القطع $I_B = 0$

يكون $I_c = 0$
 $V_o = V_{cc}$
 (1) منطقى

$$0 = V_{cc} = V_{ce} = V_{out} = 1$$

* خصائص هذه المنطقة

1 الدخول والقاعدة متصلين بالأرض

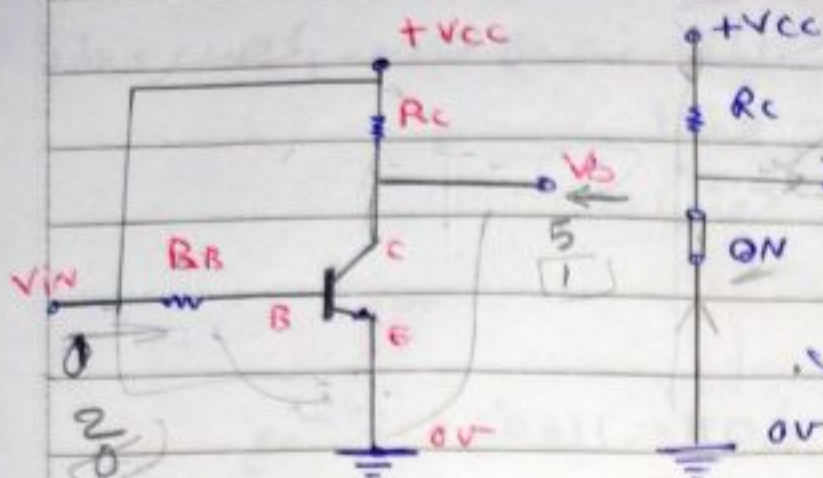
2 الموصلة بين القاعدة والمجمع في حالة انعيار عكس

3 في منطقة القطع يكون $V_{be} < 0.7$

4 في حالة القطع يكون $I_B = I_c = 0$ ويكون $V_o = V_{cc} = 1$

5 وذلك عندما يكون الدخل 0

ثانياً: منطقة التشبع Saturation



في حالة منطقة التشبع Saturation

1. الدخل من القاعدة يساوي +VCC

2. القاعدة موصلة في حالة اختيار أما

3. القاعدة موصلة في حالة اختيار أما

4. في حالة التشبع $V_{BE} > 0.7$

5. في حالة التشبع يكون الترانزستور في حالة توصيل كامل وفي حالة (ON)

6. في حالة التشبع $V_{CE} = 0$

$$V_{CC} = V_{CE} + I_{C \times R_C}$$

$$V_{CC} = I_{C \times R_C}$$

$$I_C = \frac{V_{CC}}{R_C} \rightarrow I_{C \text{ sat}} = \frac{V_{CC}}{R_C}$$

7. في حالة التشبع فإن القيمة العظمى لتيار الجمع $I_{C \text{ max}}$

$$I_{C \text{ max}} = I_{C \text{ sat}} = \frac{V_{CC}}{R_C}$$

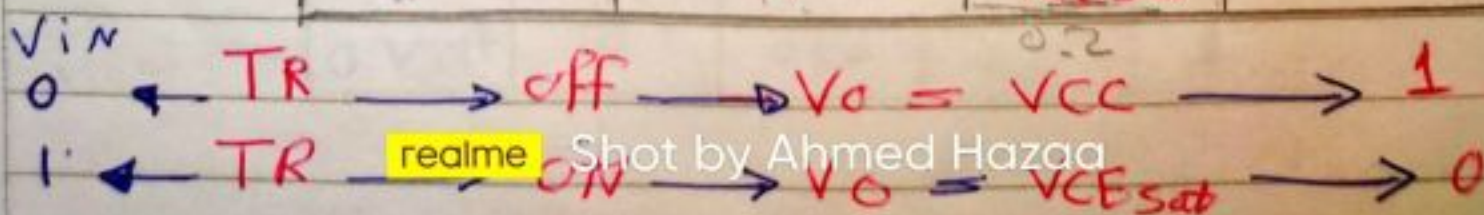
8. القيمة الصغرى لتيار القاعدة $I_{B \text{ min}}$

$$\beta = \frac{I_C}{I_B}$$

$$I_{B \text{ min}} = \frac{I_{C \text{ sat}}}{\beta}$$

الجدول التالي يوضح نظرية عمل الترانزستور كمتتابع.

V_{in}	$\Phi \rightarrow TR$	V_o	اخرج لمنطق F
0	off	V_{CC}	1
1	ON	$V_{CE \text{ sat}}$	0



* ملحوظة هامة في حالة التتابع:-

قيمة V_{CEsat} تكون مخرج جوف بالمقارنة مع جهد المصدر وعادة يتم إهماله في الحالة المتتالية فقط
مميزات استخدام الترانزستور كمفتاح:-

- 1 مخرج الجهد
- 2 رخيصة الثمن
- 3 يستهلك طاقة مخرج في حالة القطع والتتابع
- 4 التحول على تيار خرج عالي باستخدام إشارة دخل صغيرة
- 5 يستخدم في تصميم البوابات المنطقية

هام جداً:- قوانين استخدام الترانزستور كمفتاح.

$$V_{CC} = I_{Csat} \cdot R_C$$

$$I_{Csat} = I_{Cmax} = \frac{V_{CC}}{R_C}$$

$$\beta = \frac{I_C}{I_B}$$

$$V_{IN} = I_B \cdot R_B + V_{BE}$$

$$R_B = \frac{V_{IN} - V_{BE}}{I_B}$$

$$V_{BE} = 0.7$$

$$R_{Bmax} = \frac{V_{IN} - V_{BE}}{I_{Bmin}}$$

$$I_{Bmin} = \frac{I_{Csat}}{\beta}$$

* جدول تفاعل بوابات NOT
المخرج المنطقي جهد الجهد حالة الدخل المنطقي جهد الدخل

V_{IN}	A	TR	V_O	F
+5Volt	1	ON	V_{CEsat} 0.2V	0
0 Volt	0	off	V_{CC}	1

أهم العائلات المنطقية للترانزستور ثنائي القطب BJT

1 عائلة منطق المقاومة - المحرر D.R.L

2 عائلة منطق المحرر - الترانزستور D.T.L

3 عائلة منطق المقاومة - الترانزستور R.T.L

4 عائلة منطق الترانزستور - الترانزستور T.T.L

5 عائلة منطق ترانزستور الربط المتباين D.C.T.L

6 عائلة منطق الترابط المتجمع E.C.L

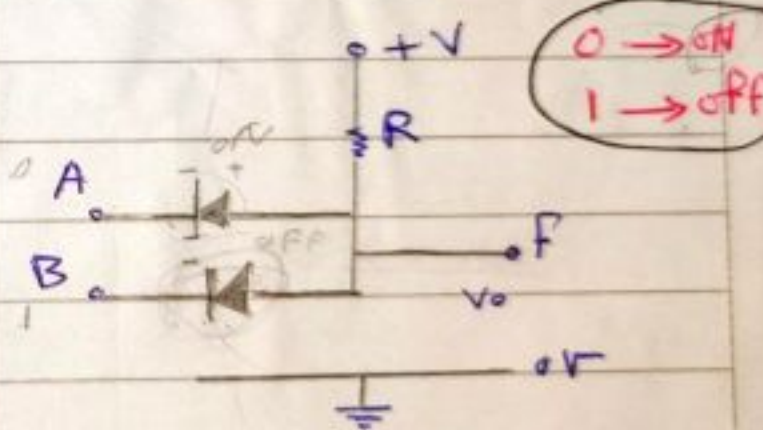
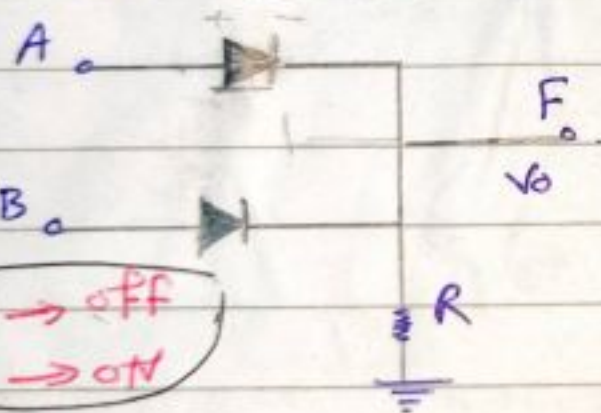
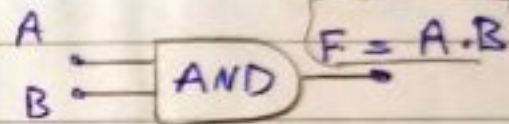
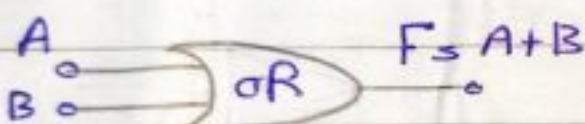
7 عائلة منطق الكون المتكامل I²L

D.R.L

AND by D.R.L

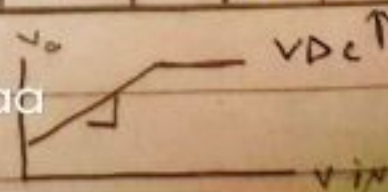
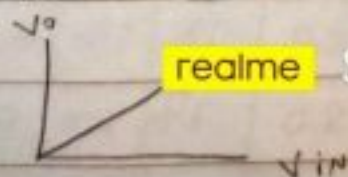
D.R.L by OR

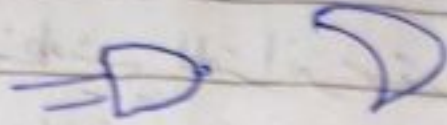
D.R.L by AND



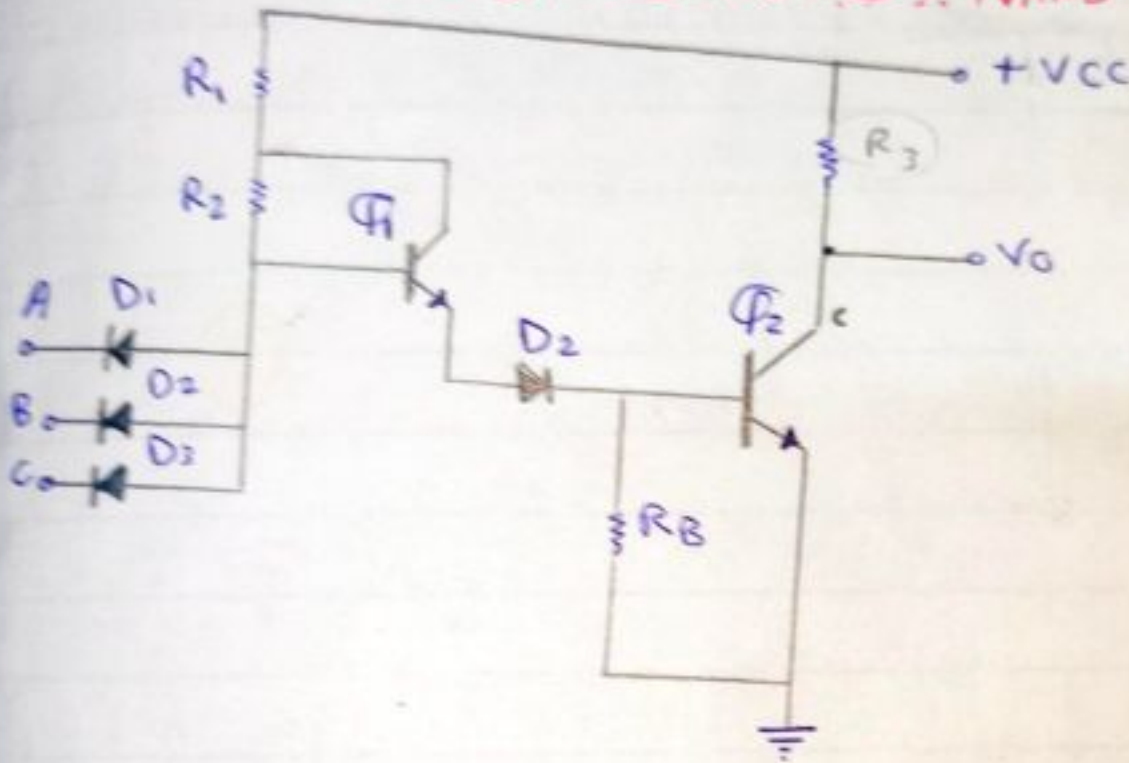
A	B	A+B	D ₁	D ₂	V _o	F
0	0	0	off	off	0V	0
0	1	1	off	on	V-0.7	1
1	0	1	on	off	V-0.7	1
1	1	1	on	on	V-0.7	1

A	B	A.B	D ₁	D ₂	V _o	F
0	0	0	on	on	0.7V	0
0	1	0	on	off	0.7V	0
1	0	0	off	on	0.7V	0
1	1	1	off	off	V	1





* دائرة بوابة NAND المصنوعة باستخدام عائلة منطق D.T.L
يمكنه تعديل البوابة NAND باستبدال المحدد بترانسستور



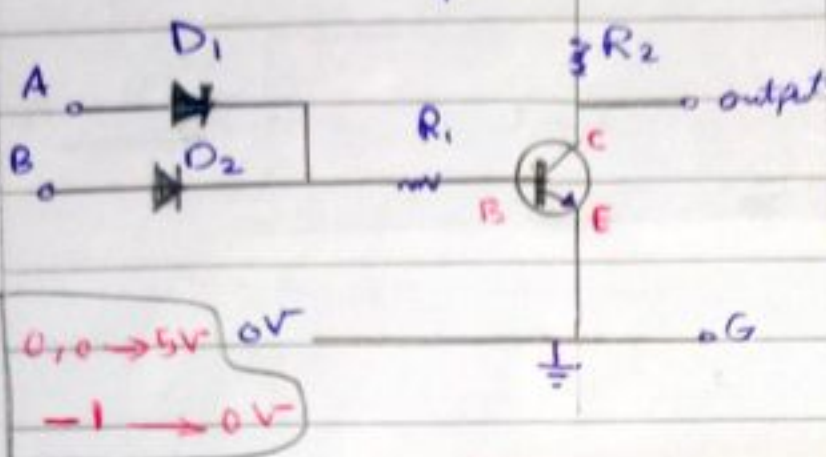
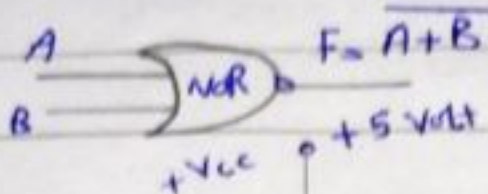
* مميزات دائرة بوابة NAND المصنوعة باستخدام عائلة D.T.L

1. استهلاك قدرة أقل

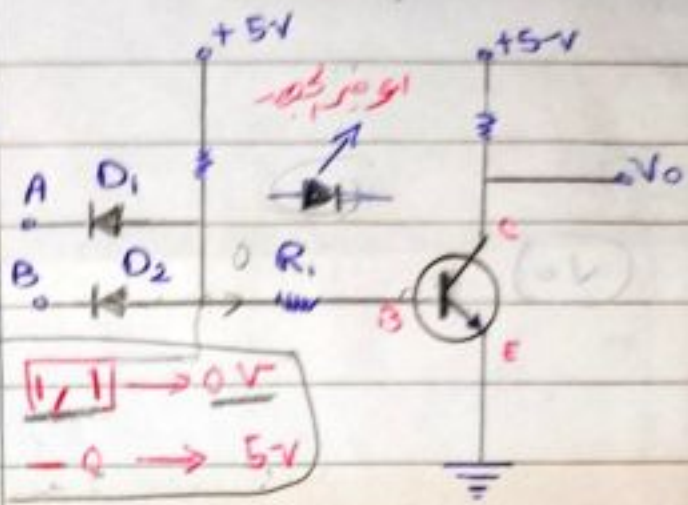
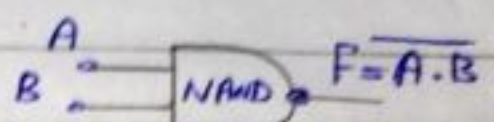
2. تيار خرج كبير

3. التشغيل من مصدر واحد بدلاً من مصدرين للتنفيذ
4. زيادة عدد تفرعات الخرج

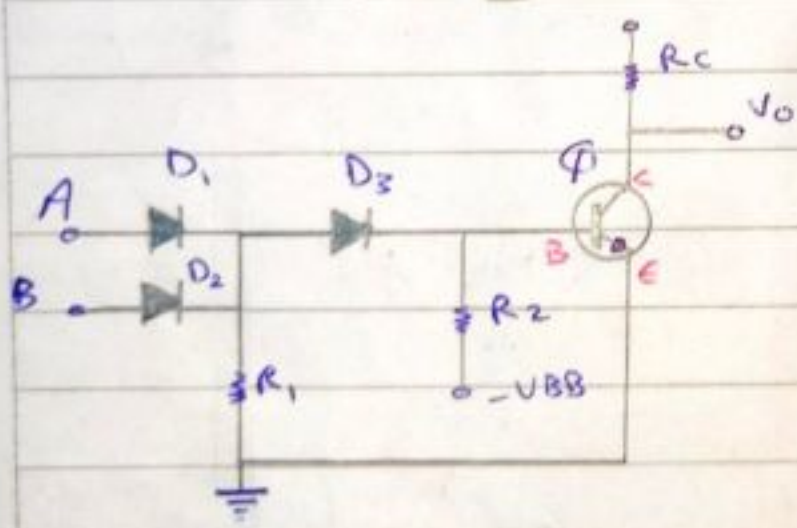
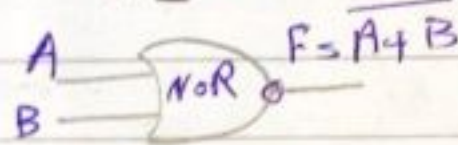
* NoR by DTL



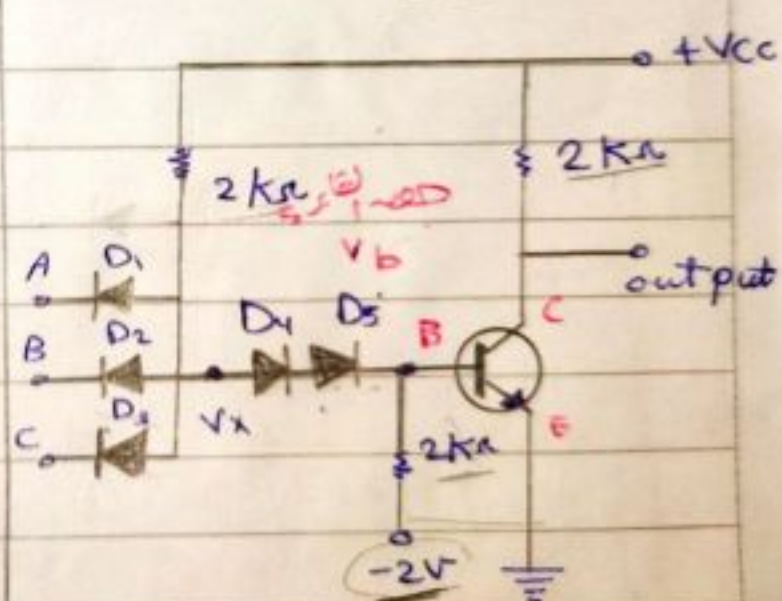
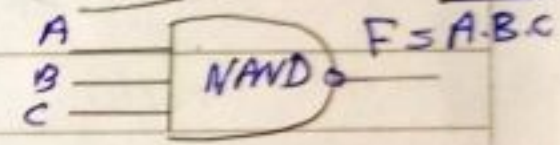
* NAND by DTL



القائمة



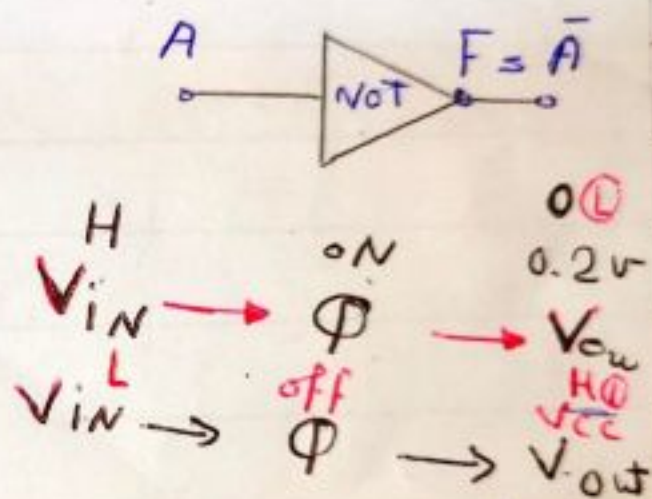
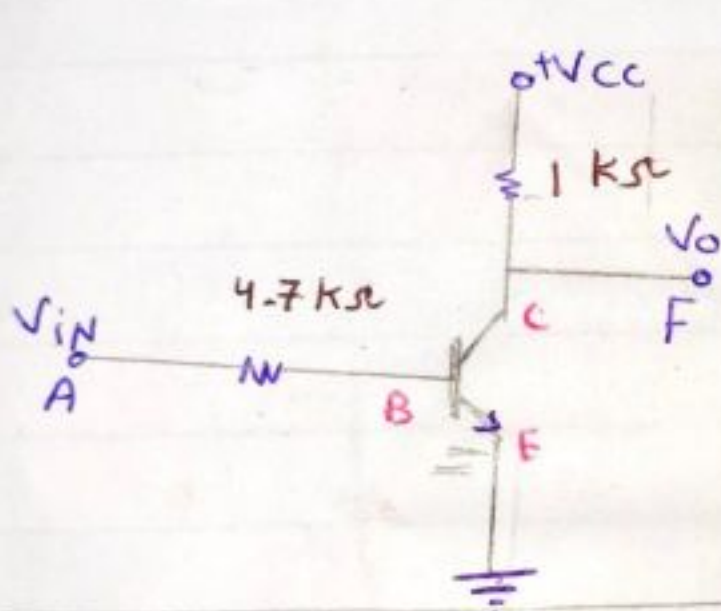
القائمة



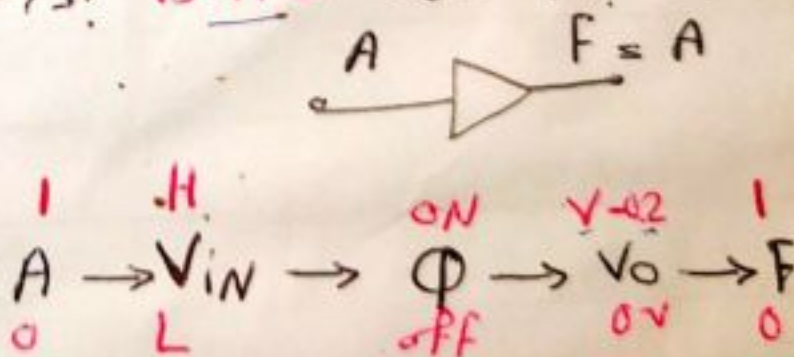
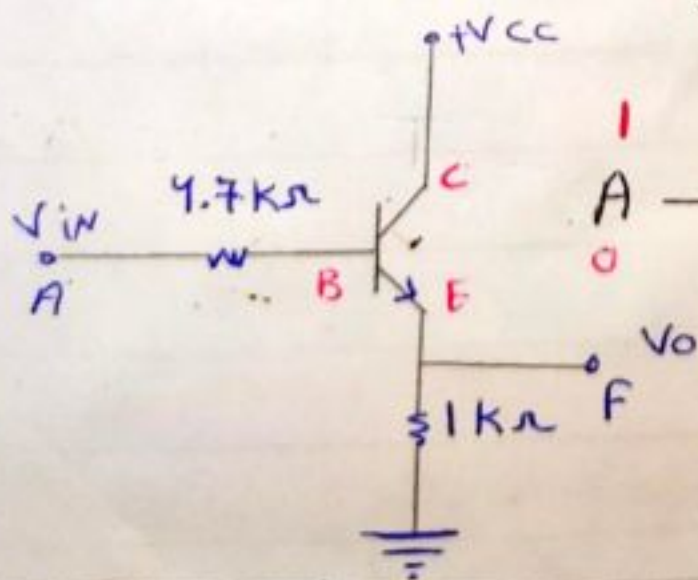
A	B	A+B	D ₁	D ₂	Φ	V _o	F
0	0	1	off	off	ON	VCC	1
0	1	0	ON	ON	off	0.2	0
1	0	0	ON	off	off	0.2	0
1	1	0	ON	ON	off	0.2	0

(R.T.L)

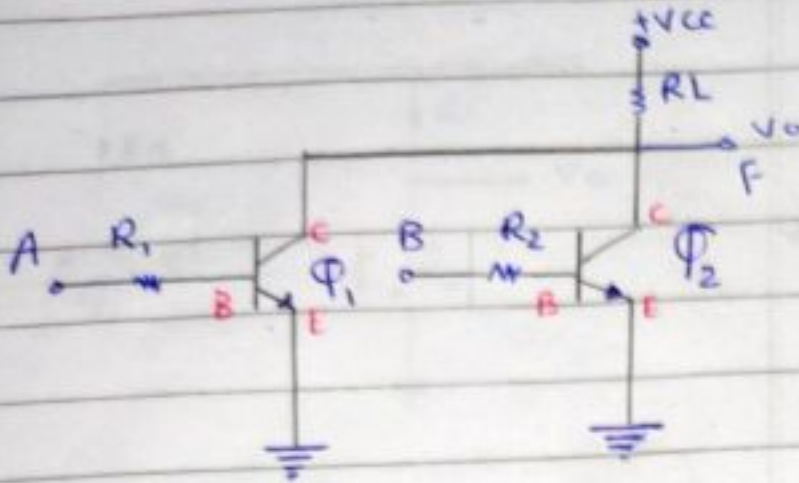
* بوابة NOT بالترانزستور R.T.L



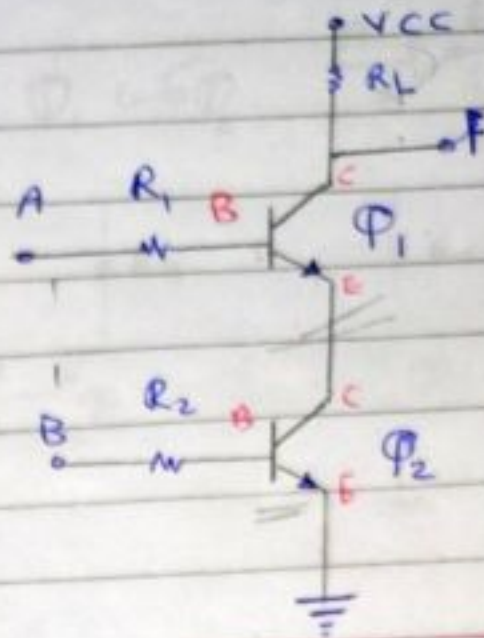
* بوابة العازل Buffer بالترانزستور R.T.L



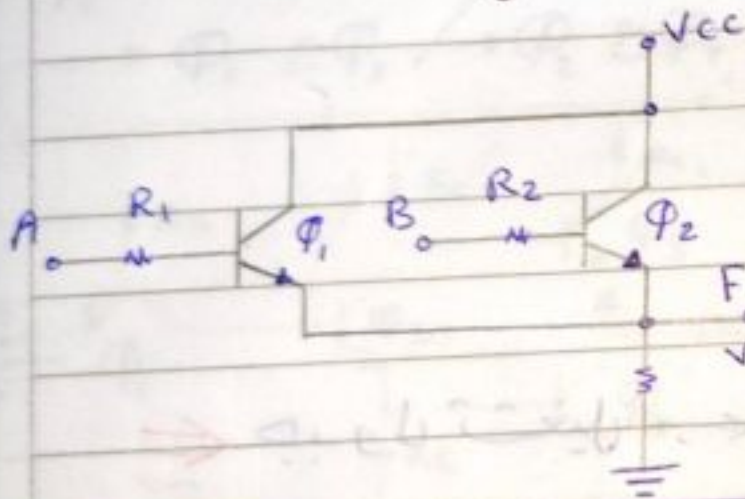
NOR by R.T.L



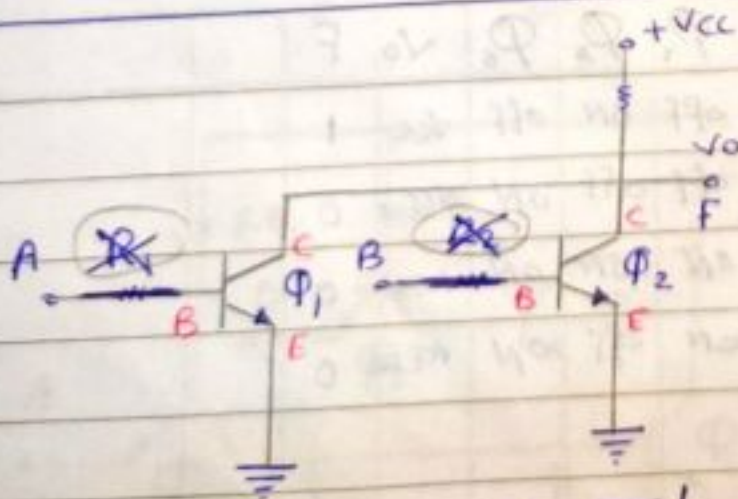
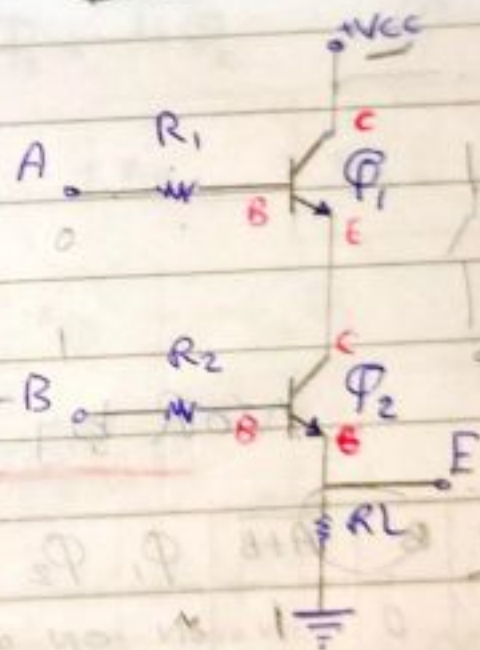
NAND by R.T.L



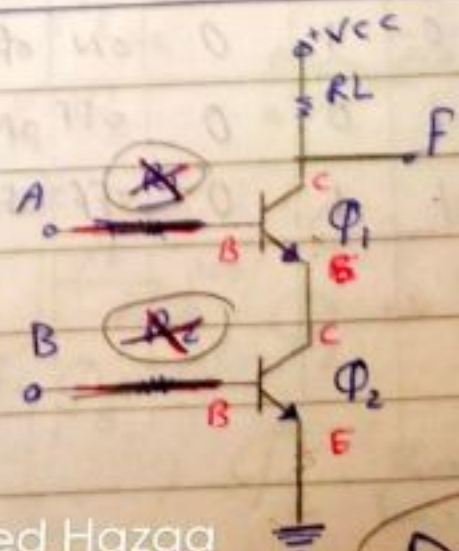
OR by R.T.L



AND by R.T.L



NOR by D.C.T.L

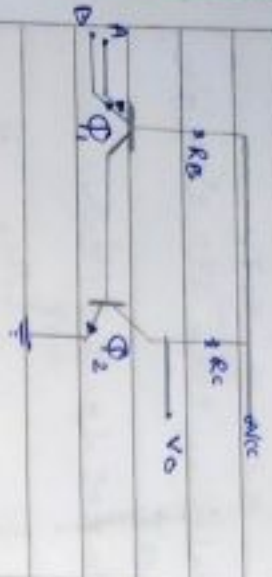


NAND by D.C.T.L

T.T.L

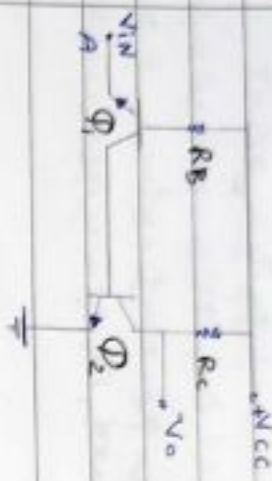
NAND by T.T.L ~~رسم~~

$$A \cdot B = \overline{\overline{A \cdot B}}$$



NOT by T.T.L ~~رسم~~

$$A \cdot \overline{A} = 0$$



NAND by T.T.L ~~رسم~~

$$Q_1 \cdot Q_2 = Q_1 \cdot Q_2$$

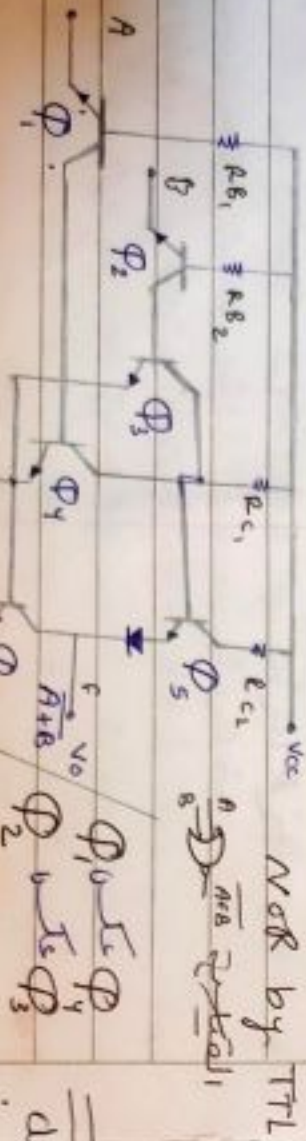


NOT by T.T.L ~~رسم~~

$$Q_1 \cdot \overline{Q_1} = 0$$



NOR by T.T.L



$$Q_1 \cdot Q_2 = Q_1 \cdot Q_2$$

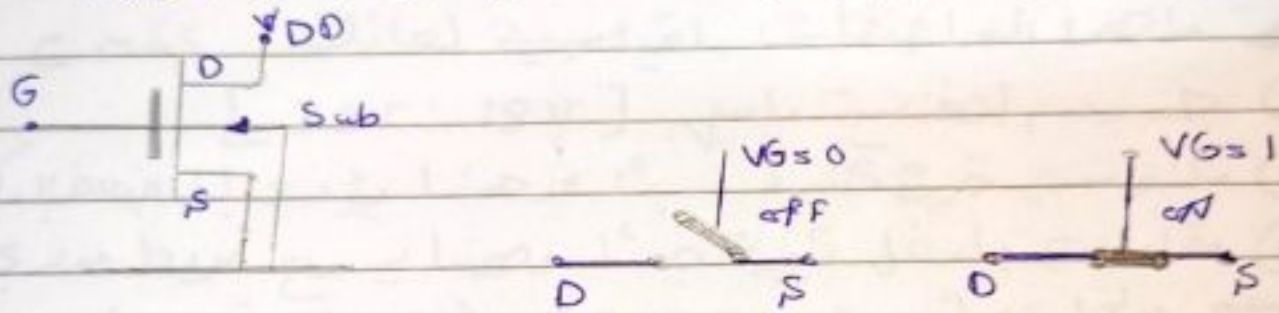
$$Q_2 \cdot Q_3$$

NOR by T.T.L ~~رسم~~

A	B	A+B	Q1	Q2	Q3	Q4	Q5	Q6	V0	F
0	0	1	ON	ON	OFF	OFF	ON	OFF	VCC	1
0	1	0	ON	OFF	ON	OFF	OFF	ON	VCC	0
1	0	0	OFF	ON	OFF	ON	ON	ON	VCC	0
1	1	0	OFF	OFF	ON	ON	OFF	ON	VCC	0

ما هي خصائصها N_{MOS}

- ① لا يمر تيار بين البوابات والمصرف أو البوابات والمخرج
- ② إذا كان $V_{GS} > V_T$ يكون الترانزستور في حالة ON و يمر التيار المصرف والمخرج ويكون $I_D = I_{D0}$ حيث $V_T \rightarrow$ العتبة
- ③ إذا كان $V_{GS} < V_T$ يكون الترانزستور في حالة OFF ولا يمر تيار بين المصرف والمخرج ويكون $I_D = 0$
- ④ معظم الإحيازات يوجد طرف القاعدة مع طرف المخرج بالأرض.



بما تتميز ترانزستورات N_{MOS} عن P_{MOS}

- * تتميز بوابات N_{MOS} بميزة الممانعة المنخفضة لكل ترانزستور مقارنة بـ P_{MOS} حيث أنه كثافة N_{MOS} أكبر من P_{MOS}
- * تمتلك N_{MOS} سرعة انتقال حاملات الشحنة وبذلك تكون سرعة N_{MOS} أكبر من سرعة P_{MOS}
- * تتميز N_{MOS} بميزة الانتشار ولذلك فهي تتقدم في بناء معظم الأجهزة ~~الالكترونية~~ التي تتقدم للذاكرة.

ما هي الميزة الرئيسية كنطقاً عائلاً N_{MOS} عن منطق BJT الرئيسية الرئيسية لها هو تبديد الطاقة المنخفضة للغاية حيث تقترب من الصفر في الظروف القياسية بينما تستهلك طاقة فقط عند وضع التبديل وهذا يسمح بدمج عدد هائل من بوابات N_{MOS} على شريحة واحدة

← أنواع العائلات، افرعية لمنطق CMOS مع ذكر المميزات

①	AC	54/74	⑥	4000A
②	C	54/74	⑦	4000B
③	ACT	54/74	⑧	4000WB
④	HC	54/74		
⑤	HCT	54/74		

← مميزات العائلات، افرعية لمنطق CMOS

- ① سرعة التشغيل، التذبذب ما بين [18V : 3.3V]
- ② مقاومة خرج كبيرة نسبياً وهذا يؤدي إلى انخفاض الطاقة
- ③ مقاومة الدخل كبيرة جداً وهذا يسمح بربط عدة كيرتس
- ④ داخل دوائر CMOS دون أن يؤدي إلى تحميل الخرج
- ⑤ سرعة الانتقال من «0» لمنطق إلى «1» المنطقاً أولياً بطيئة نسبياً.

← مميزات وعيوب دوائر CMOS، CMOS

- | مميزات | عيوب |
|---|----------------------------|
| ① صغيرة الحجم | ① سرعة تشغيل أقل |
| ② منخفضة التكلفة | ② فقد استاتيكي صغير |
| ③ لمقاومة عالية ضد الضوضاء | ③ تتأثر بالمجالات الكهربية |
| ④ زيادة عدد تفرعات الدخل | ④ الكاسحة، الهالية |
| ⑤ عازلة دخل عالية جداً | ⑤ وجود ساعات طفيلية |
| ⑥ جهد التذبذب مختلفاً [3.3V : 18V] | ⑥ اقطاعه لذلك عرقل النظام |
| ⑦ القدرة المستطلة صغيرة جداً أو تنعدم | ⑦ صغير |
| ⑧ تتوفر خدش عناصر جديدة مثل المفتاح | |
| التشابه الذي لا يوجد في العائلات الأخرى | |

اول: دائرة منطق N-MOS

NO.:

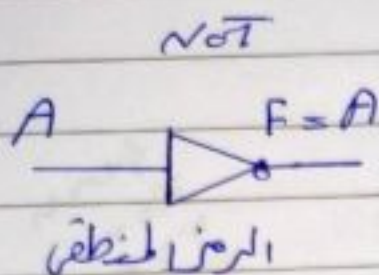
Date:

ROX

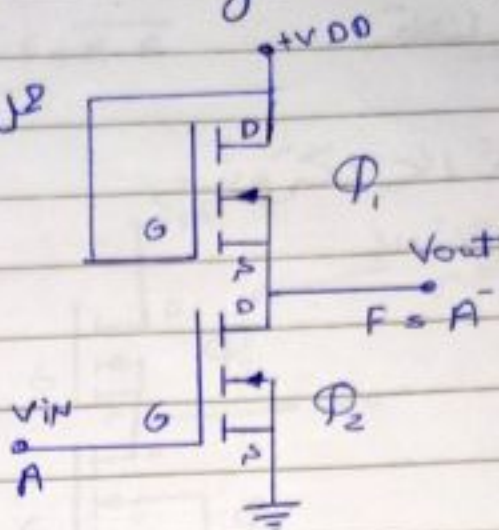
رسم:

التاريخ:

Not by Nmos



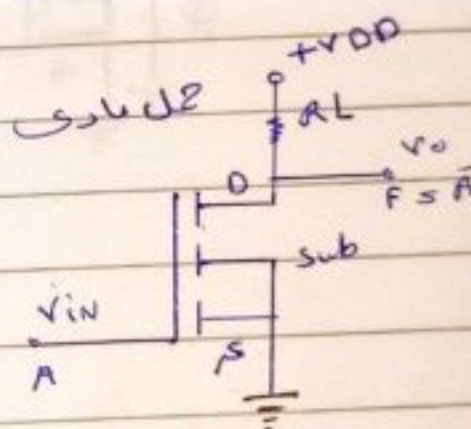
حل فعال



ونما هذه الدائرة بسهولة تصنع المعاوقة داخل الدائرة المتكاملة IC

١ بوابة Not مع حل فعال Nmos

هذه الدائرة هو صيغة المعاوقة داخل الدائرة المتكاملة IC



٢ بوابة Not مع حل فعال ماري

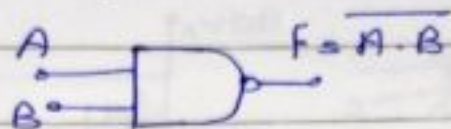
		F		Vout	
Vin	A	Q2	Vout	F	
+VDD	1	ON	0	0V	
0V	0	OFF	1	+VDD	

* إذا كان المدخل +VDD فيكون الترانزستور Q2 في حالة ON ويكون الخرج 0V ويكون المنطق «0»

* إذا كان المدخل 0V فيكون الترانزستور Q2 في حالة OFF ويكون الخرج +VDD ويكون المنطق «1»

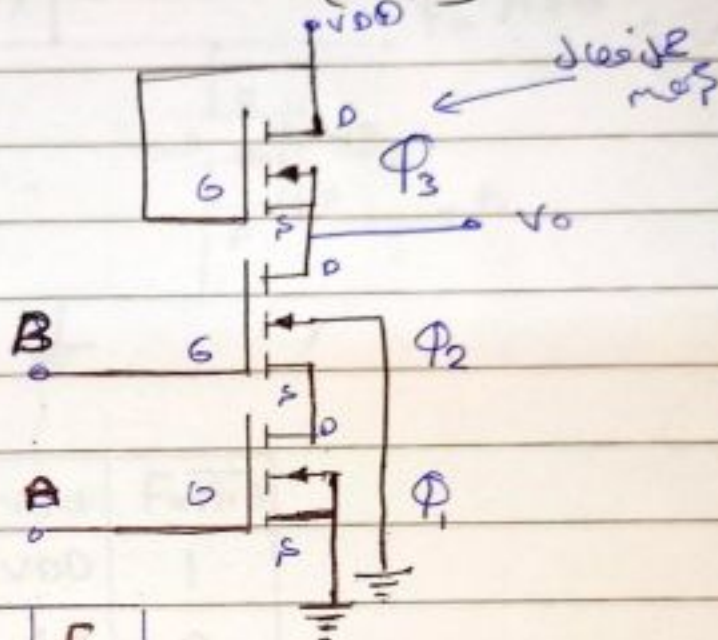
« NAND by NOR » NOR is NAND :- بوابه

الرمز المنطقي



N neg
0 → off
1 → on

المائدة الا لكرويني



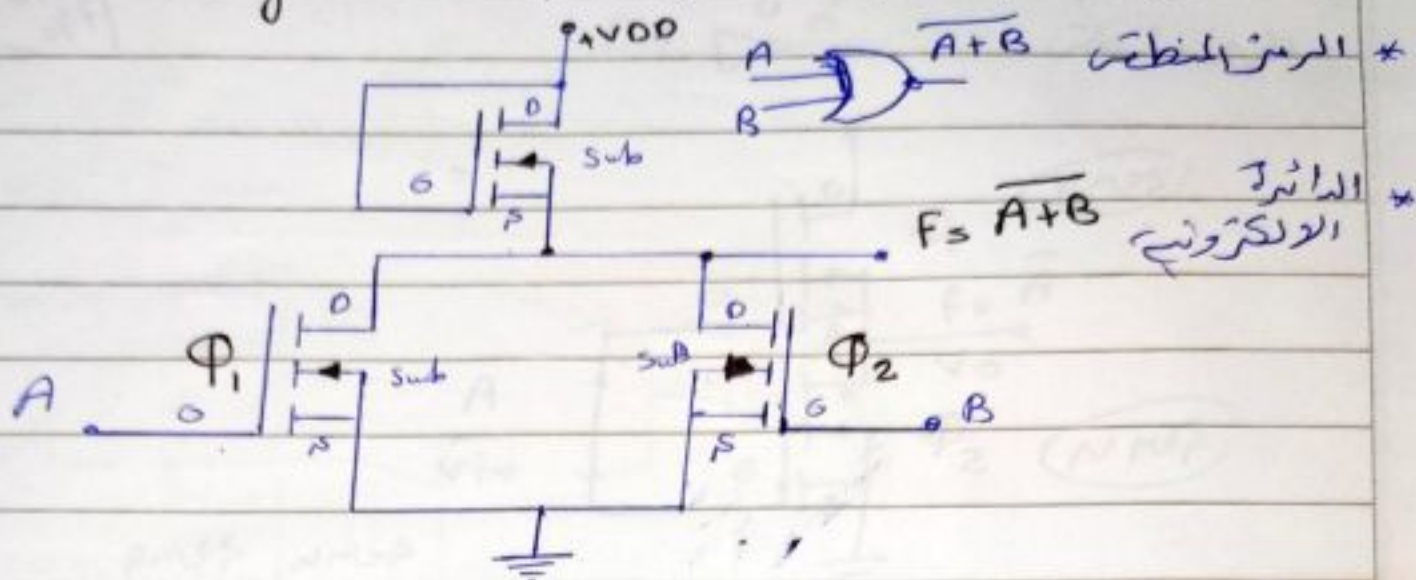
A	B	$\overline{A \cdot B}$	Φ_1	Φ_2	V_O	F
0	0	1	off	off	+VDD	1
0	1	1	off	on	+VDD	1
1	0	1	on	off	+VDD	1
1	1	0	on	on	0V	0

طریقہ الفصل

* عندما يكون المدخل A, B في الكال المنطقي (0) أو أحدهما يكون Φ_1, Φ_2 في الكال off ، on حسب الكال المنطقي للمدخل ويكون $V_{out} = +V_{DD}$ في الكال on ويكون $V_{out} = 0$ في الكال off ويكون $F = 1$

* عندما يكون المدخل A, B في الكال المنطقي (1) يكون Φ_1, Φ_2 في الكال on ويكون $V_{out} = 0$ في الكال off ويكون $F = 0$

NOR by Nmos ← Nmos باستخدام NOR ←



A	B	$\overline{A+B}$	Φ_1	Φ_2	V_{out}	$F = \overline{A+B}$
0	0	1	OFF	OFF	VDD	1
0	1	0	OFF	ON	0V	0
1	0	0	ON	OFF	0V	0
1	1	0	ON	ON	0V	0

* طريقة العمل

* إذا كان Φ_1, Φ_2 في الحالة المنطقية (0) ويكون Φ_1, Φ_2 OFF

و $V_{out} = VDD$ ويكون خرج المنطق $F = 1$

* عندما يكون Φ_1, Φ_2 في الحالة المنطقية 1 أو أحدهما يكون

Φ_1, Φ_2 في الحالة 1 OFF, ON, OFF, ON, OFF, ON, OFF, ON

و يكون الخرج $V_{out} = 0V$ ويكون خرج المنطق (0)

ناتيا: عاتل = مينا Cmos

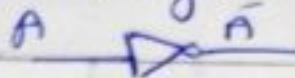
NO.:

Date:

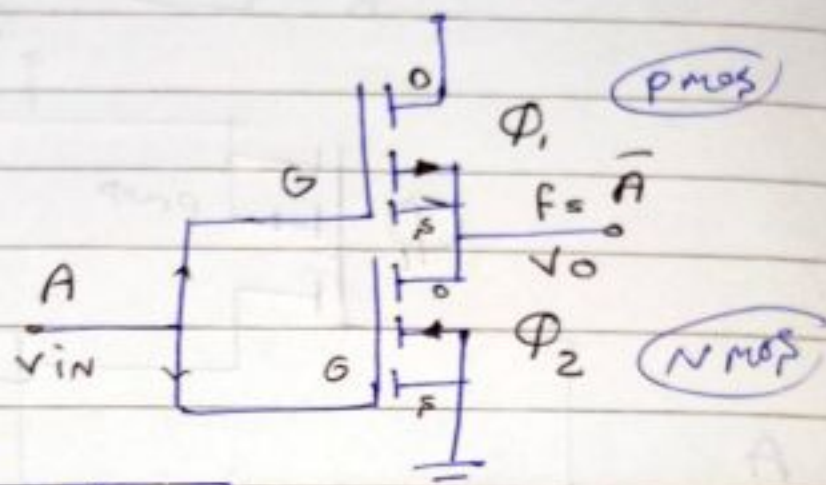
ROX

Pmos	Nmos
0 → ON	0 → OFF
1 → OFF	1 → ON

NOT by Cmos



المرآة

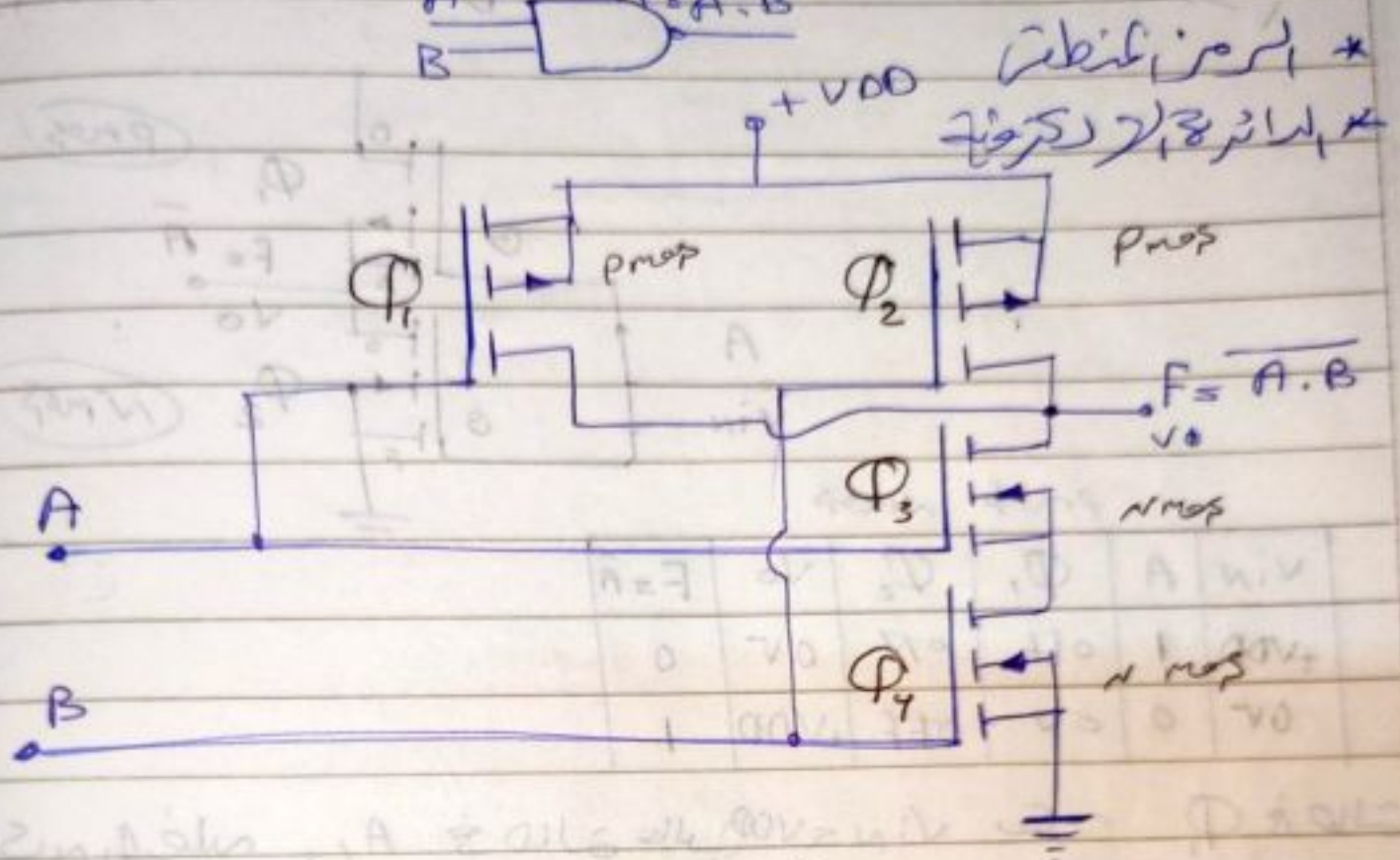


pmos nmos

V _{IN}	A	Φ ₁	Φ ₂	V _O	F = \bar{A}
+VDD	1	OFF	ON	0V	0
0V	0	ON	OFF	+VDD	1

إذا كان $V_{IN} = V_{DD}$ و $A = 1$ ، فإن Φ_1 OFF و Φ_2 ON، و $V_O = 0V$ و $F = 0$.
 إذا كان $V_{IN} = 0V$ و $A = 0$ ، فإن Φ_1 ON و Φ_2 OFF، و $V_O = +V_{DD}$ و $F = 1$.

NAND by CMOS



			P	P	N	N	V _o	
A	B	A.B	Φ_1	Φ_2	Φ_3	Φ_4	Φ_5	F
0	0	1	ON	ON	OFF	OFF	+VDD	1
0	1	1	ON	OFF	OFF	ON	+VDD	1
1	0	1	OFF	ON	ON	OFF	+VDD	1
1	1	0	OFF	OFF	ON	ON	~0V	0

* عند ما يكون المدخلان A, B في حالات المنطقية (0) أو (1) فيكون $\Phi_1, \Phi_2, \Phi_3, \Phi_4$ في حالات ON و OFF بشكل المنطقية لكل مدخل ويكون $V_o \sim VDD$ ويكون $F = 1$

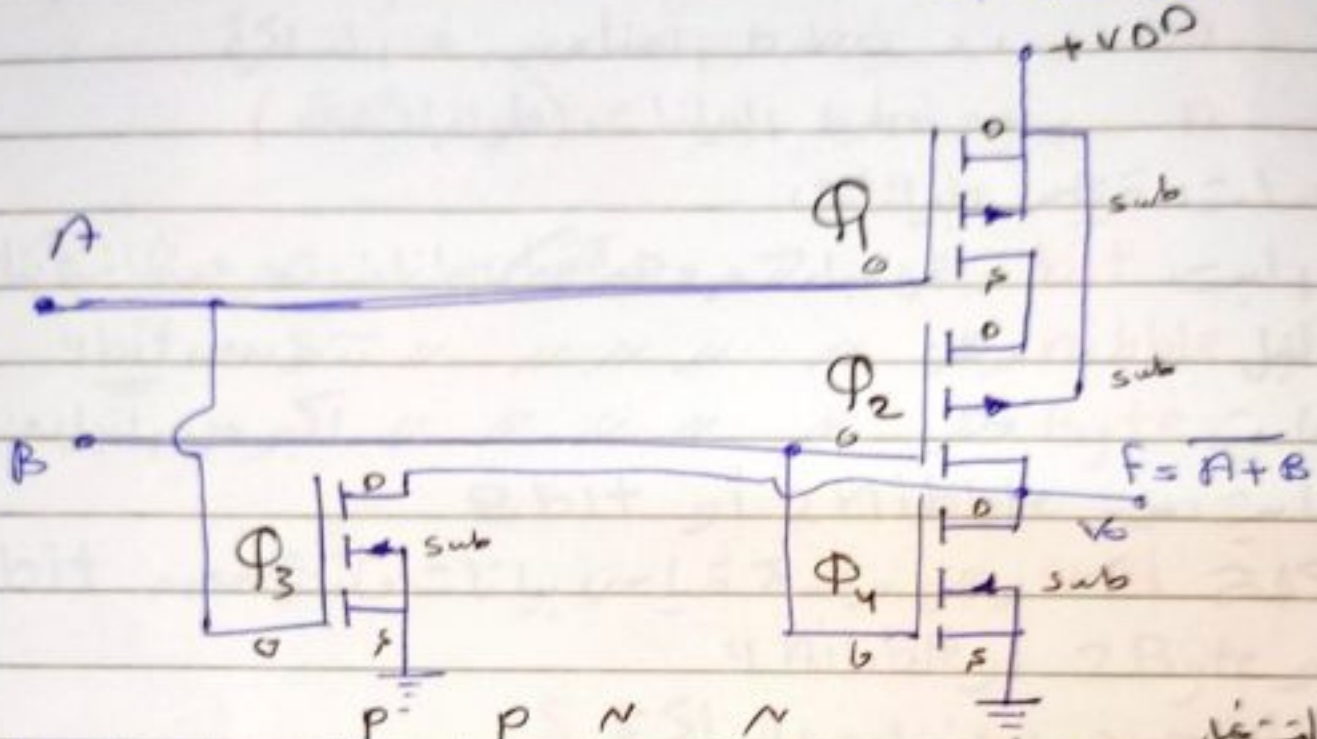
* عند ما يكون المدخلان A, B في حالات المنطقية (1) فيكون $\Phi_1, \Phi_2, \Phi_3, \Phi_4$ في حالات OFF و ON ويكون $V_o \sim 0V$

NOR by CMOS

$$A, B \Rightarrow F = \overline{A+B}$$

* الرمز المنطقي

* الدائرة الإلكترونية



A	B	$\overline{A+B}$	P ₁	P ₂	N ₃	N ₄	V _o	F
0	0	1	ON	ON	off	off	+VDD	1
0	1	0	ON	off	off	ON	0V	0
1	0	0	off	ON	ON	off	0V	0
1	1	0	off	off	ON	ON	0V	0

* جدول التشغيل

* طريقة الحل:

عند ما يكون المدخل المنطقي (0) يكون Φ_1, Φ_2 ON

عند ما يكون المدخل المنطقي (1) يكون Φ_3, Φ_4 ON

اخره المنطقه $F = 0$

* عند ما يكون المدخل المنطقي (0) يكون Φ_1, Φ_2 ON

عند ما يكون المدخل المنطقي (1) يكون Φ_3, Φ_4 ON

اخره المنطقه $F = 0$

ذاكرات أشباه الموصلات

✓ ما المقصود بـ **ذاكرة**، وماها وحدات قياسها؟

✓ **ذاكرة** هي عدد الكلمات التي تستطيع الذاكرة

تخزينها حيث 2^n

$$\text{Memory Capacity} = 2^n \times m$$

m ← عدد خطوط، أضواء في الذاكرة

n ← عدد خطوط البيانات (طول الكلمة)

وحدات قياس البيانات

① البت **bit** وهي عبارة عن وحدة قياس بيانات تجري عملية ثنائية 1,0

② النبل **nibble** وهي // // // // تتكون من 4 bit

③ البايت **Byte** وهي // // // // أكبر من النبل ويمكن

البايت من 2 nibble أو 8 bit

④ الكلمة **word** وهي وحدة قياس بيانات وتتكون من 16 bit

أو 2 Byte أو 4 nibble

✓ ما المقصود بعنوان الذاكرة؟

✓ العنوان هو موقع محدد وحدة البيانات في الذاكرة

الذاكرة حيث يتم تحديد عنوان البايت بترقيم الصف كما في

الشكل (P) وتحديد عنوان البت بترقيم الصف والعمود كما في

الشكل (B)

5							
4							
3							
2							
1							
	1	2	3	4	5	6	7

ما هي المتطلبات الرئيسية للذاكرة المصنوعة من
أشباه الموصلات؟

① أنه تـ غـل حـيـرًا مـبـغـيـرًا.

② أنه يكون له فترة وصول سريعة للبيانات بفترة زمنية.

③ أنه يـ هـلك طاقـة كـهـربـيـة مـنـخـفـفـة.

* أنواع الذاكرة المصنوعة

من أشباه الموصلات *

الذاكرة الرئيسية

الذاكرة المضافة	ذاكرة القراءة فقط	ذاكرة الوصول العشوائي
Cache memory	Rom فقط	RAM
	P-Rom	متناوبة S-RAM
	Ep-Rom	ديناميكية
	EEP-Rom	D-Rm
	M-Rom	
	Flash memory	

التصنيف العام للذاكرة الرئيسية المصنوعة من أشباه
الموصلات؟

① ذاكرة الوصول العشوائي RAM

② ذاكرة القراءة فقط Rom

③ ذاكرة المضافة Cash memory

ذاكرة الوصول العشوائي RAM

عرف ذاكرة الوصول العشوائي RAM، وما هي المكونات الأساسية لهذه الذاكرة، مع ذكر أنواعها؟

ج1/ ذاكرة الوصول العشوائي RAM هي ذاكرة لقراءة وكتابة حيث يمكن لقراءة منها أو تخزين البيانات بطرق مختلفة من أي موقع بخلاف النظر على ترتيب هذه المواقع. وفي هذا النوع يمكن الوصول إلى جميع مواقع الذاكرة في نفس الوقت. ويستخدم هذا النوع لتخزين البيانات لقراءة متتالية. فعند كتابة بيانات عليها يقال البيانات، لقراءة ويمكن مكانها البيانات الجديدة.

المكونات الأساسية هي أن تكون من ثلاث كتيبات كل كتيبة لها ① وحدة فك ترميز العنوان ② مجموعة من خلايا الذاكرة مرتبة في صفوف وأعمدة وكل خلية قادرة على تخزين البت 1، 0 ③ وحدة منطق التحكم في القراءة/الكتابة

أنواعها

1 ← ذاكرة الوصول العشوائي الساكنة S-RAM
2 ← // // // الذاكرة الدينامية D-RAM

الحمد لله الذي تتم

بنعمته الصالحات

قد انتصر منهج الكفر وتمت

← أهدهم بيدك عنك وأنت

أعظم إنجازاته فلا تخر له →

اللهم توخيقاً

الذاكرة المخفية Cache memory

وهي عبارة عن ذاكرة عالية السرعة تقع بين الذاكرة الرئيسية ووحدة المعالجة المركزية كما أنها تتصل مباشرة مع وحدة المعالجة المركزية وتقوم بتوفير البيانات أو البيانات المتخدمة مؤخرًا.

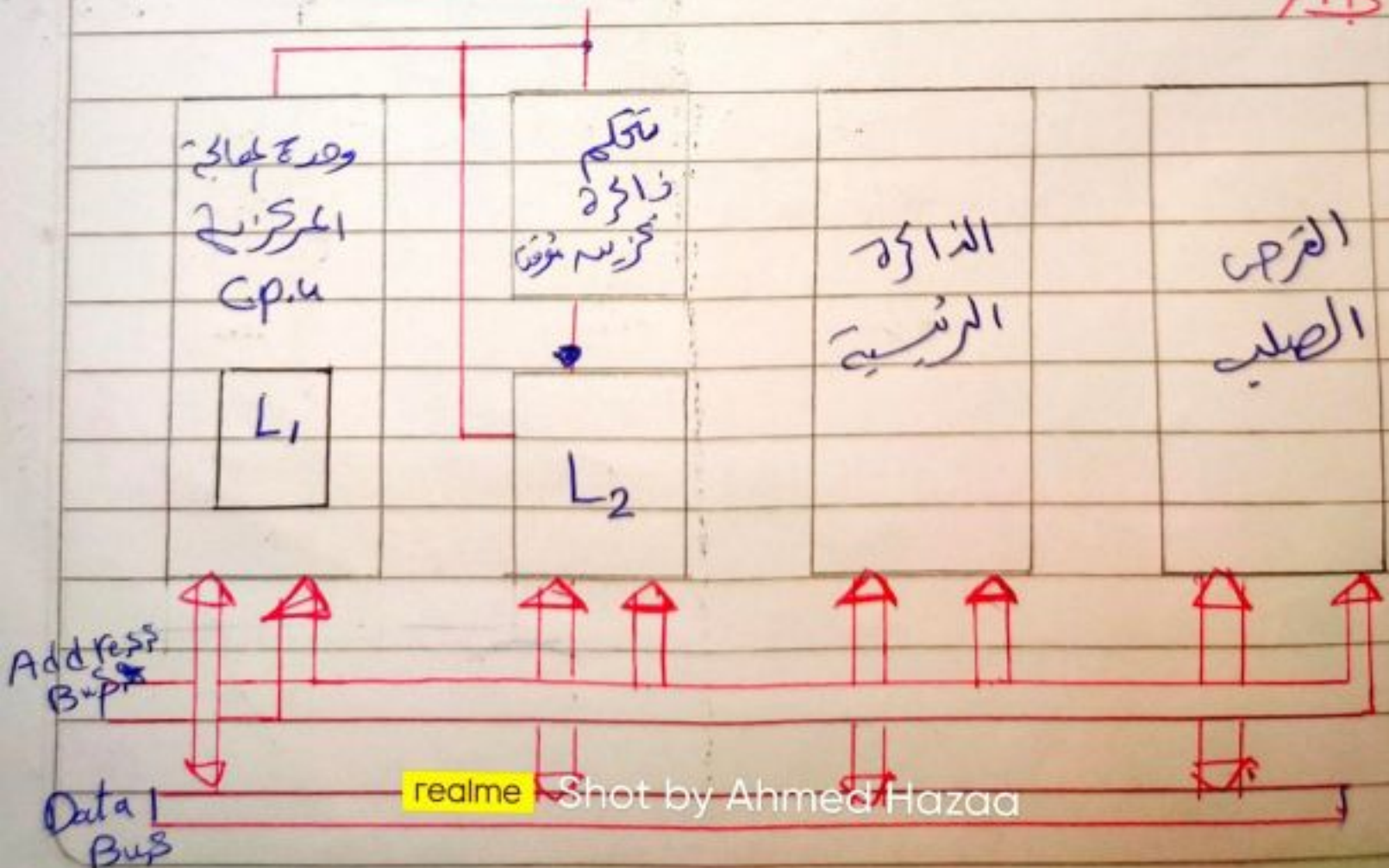
* أنواعها فهناك مستويان من الذاكرة المخفية هما:

1. المستوى الأول
الذاكرة المخفية L_1 وهي عبارة عن جزء من حرج المعالج
وسعتها التخزينية $[2KB: 64KB]$ وتسمى أيضًا
الذاكرة المخفية الأساسية أو الداخلية

2. المستوى الثاني

الذاكرة المخفية L_2 ← وهي منفصلة عما سبق
وتسمى أيضًا الذاكرة المخفية الثانوية أو الخارجية

وهناك بالرسم L_1, L_2 في الذاكرة Cache memory (ذاكرة تخزين مؤقتة)



١- BJT \rightarrow إلكترونيات منطقية لوائية
 ٢- تحتاج إلى أكثر من مصدر تغذية
 ٣- تحتاج إلى مصدر تغذية واحد

٤- \rightarrow أكثر من مصدر $NAND$ by $D+L$ ، OR by $D+L$
 ٥- \rightarrow لا تحتاج مصدر تغذية OR by $D+L$
 ٦- مركز يا عبط \rightarrow

٧- اذكر معاملات إلكترونيات منطقية. هام

٨- المنطق

٩- المنطق

$L_{74/54}$

١٠- المنطق

$L/74L54$

١١- المنطق

$S/74.54$

١٢- المنطق

$74/54$

$H/74H54$