

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 07
Assuntos: <ul style="list-style-type: none"> Representação de circuitos sequenciais em VHDL. Referências: <p>[1] B. Mealy, F. Tappero. <i>Free Range VHDL. Free Range Factory</i>. 2018.</p> <p><i>The electronic version of this book can be downloaded free of charge from:</i> http://www.freerangefactory.org</p> <p>[1] Cap. 7 – pág. 77 a 86.</p> Leituras complementares: Delta_cycle_em_VHDL.pdf
Ferramentas: Visual Studio Code, GHDL e GTKWave
Objetivos: <ul style="list-style-type: none"> Saber como descrever um circuito sequencial em VHDL. Reforçar o entendimento de como funcionam sinais e variáveis dentro de um <i>process</i> em VHDL.
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none"> Em um modelo de descrição comportamental, o que deve ser colocado na lista de sensibilidade de um <i>process</i> de um circuito sequencial? Para que serve a função <i>rising_edge()</i> em VHDL? Como é descrita a função <i>rising_edge()</i> em VHDL? Qual a função dual da <i>rising_edge()</i> em VHDL? Qual a causa de uma ferramenta de síntese, após o processo de compilação, gerar um <i>warning</i> dizendo que a descrição do seu circuito gerou um <i>latch</i>? O que difere em uma descrição de um circuito sequencial, uma entrada síncrona de uma entrada assíncrona em VHDL? Com que finalidade deve ser usado sinais intermediários dentro de um <i>process</i> em VHDL? Por que não devemos usar <i>buffers</i> no lugar de sinais intermediários em descrições de circuitos sequenciais VHDL? Por que devemos descrever circuitos sequenciais no modelo <i>behavioral</i> ao invés do modelo <i>data-flow</i>?
Atividade prática: <ol style="list-style-type: none"> Faça o Exercício 1 ou o Exercício 2 da página 86 do livro. Escreva um <i>testbench</i> para o sistema em VHDL que você implementou no item anterior, <u>tomando como base de exemplo o <i>testbench</i> que o professor disponibilizou a você nessa atividade.</u> Compile, simule e verifique o comportamento do seu circuito. Faça o Exercício 6 da página 87 do livro. Escreva um <i>testbench</i> para o sistema em VHDL que você implementou no item anterior, <u>tomando como base de exemplo o <i>testbench</i> que o professor disponibilizou a você nessa atividade.</u> Compile, simule e verifique o comportamento do seu circuito. Abra o arquivo VHDL: mean_4_clocks.vhd. Nos comentários desse arquivo, bem como no arquivo README, está a descrição do comportamento esperado do modelo. O exemplo 4.11, da página 192 da referência [2] do plano de aulas, também descreve o comportamento esperado. Crie um <i>testbench</i> para simular o modelo. Identifique <i>bugs</i> no modelo. Existem dois erros que impedem que o sistema funcione de forma correta. Descreva detalhadamente os erros identificados e como eles afetam o comportamento do modelo. Dica 1: O primeiro erro tem relação a ordem de atribuições sequenciais. Altere a ordem ou transforme em atribuições concorrentes; Dica 2: o segundo erro tem relação com a precisão no cálculo da divisão por dois. Corrija os erros e verifique o funcionamento correto usando o <i>testbench</i>.
Entrega da semana: Um único arquivo zip com os códigos fonte das atividades práticas solicitadas e explicadas . Submeta somente um por grupo.