

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 03
<p>Assuntos:</p> <ul style="list-style-type: none"> <li>• Paradigma de Codificação em VHDL.</li> <li>• Declarações concorrentes.</li> <li>• Operador de declaração de sinais.</li> <li>• Operadores lógicos binários.</li> <li>• Sinais intermediários.</li> <li>• Declarações condicionais.</li> <li>• Operadores relacionais = (igual) e /= (diferente).</li> <li>• Declarações de seleção.</li> <li>• Declaração <i>Process</i>: introdução.</li> </ul> <p>Referências:</p> <p>[1] B. Mealy, F. Tappero. <b>Free Range VHDL</b>. Free Range Factory. 2018.  <i>The electronic version of this book can be downloaded free of charge from: <a href="http://www.freerangefactory.org">http://www.freerangefactory.org</a></i></p> <p>[1] Cap. 4 – pág. 29 a 48</p> <p>Ferramentas: Visual Studio Code, GHDL e GTKWave</p>
<p>Objetivos:</p> <ul style="list-style-type: none"> <li>• Entender o paradigma de codificação de uma linguagem de descrição de hardware.</li> <li>• Estudar algumas das declarações concorrentes mais comuns de VHDL.</li> </ul>
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder as seguintes questões:</p> <ol style="list-style-type: none"> <li>1) Qual é o paradigma de codificação em VHDL?</li> <li>2) O que são declarações na linguagem VHDL?</li> <li>3) O que são declarações concorrentes em VHDL?</li> <li>4) Qual é o operador de declaração concorrente de <i>signal</i> em VHDL?</li> <li>5) A ordem que os operadores de declaração concorrente de sinais em uma descrição VHDL importa na funcionalidade do circuito?</li> <li>6) Para que serve um operador de declaração concorrente de <i>signal</i>?</li> <li>7) Cite todas as declarações concorrentes em VHDL estudada no capítulo do livro.</li> <li>8) Qual a ideia principal do funcionamento de uma declaração concorrente em VHDL?</li> <li>9) Em qual situação que uma declaração condicional <i>when</i> deve ser usada?</li> <li>10) A declaração condicional <i>when</i> é sequencial ou concorrente?</li> <li>11) Quando é que uma declaração condicional <i>when</i> é avaliada ou executada?</li> <li>12) Qual situação que uma declaração condicional <i>with select</i> deve ser usada?</li> <li>13) A declaração condicional <i>with select</i> é sequencial ou concorrente?</li> <li>14) Quando é que uma declaração condicional <i>with select</i> é avaliada ou executada?</li> <li>15) A declaração <i>Process</i> é sequencial ou concorrente?</li> </ol>
<p>Atividades práticas:</p> <ol style="list-style-type: none"> <li>1) Escolha uma das funções do exercício 1 da pág. 48 da referência principal do curso e implemente-o em VHDL.</li> <li>2) Escreva um <i>testbench</i> para a função em VHDL que você implementou.<sup>i</sup></li> <li>3) Compile e simule pelo Terminal do Visual Studio Code.</li> <li>4) Escolha uma das funções do exercício 2 da pág. 48 da referência principal do curso e implemente-o em VHDL.</li> <li>5) Escreva um <i>testbench</i> para a função em VHDL que você implementou.</li> <li>6) Compile e simule pelo Terminal do Visual Studio Code.</li> </ol>
<p>Entrega da semana:</p> <p>Um único arquivo zip com os códigos fonte das atividades práticas solicitadas. Submeta somente um por grupo.</p>

<sup>i</sup> Use um gerador automático de modelos de *testbenches*, isso poderá acelerar o seu desenvolvimento se você souber usá-lo devidamente: <https://vhdl.lapinoo.net/testbench/>