

## 1 MÁQUINA DE ESTADOS DE ALTO NÍVEL

A FSM de alto nível da calculadora projetada está exibida na Figura 1.

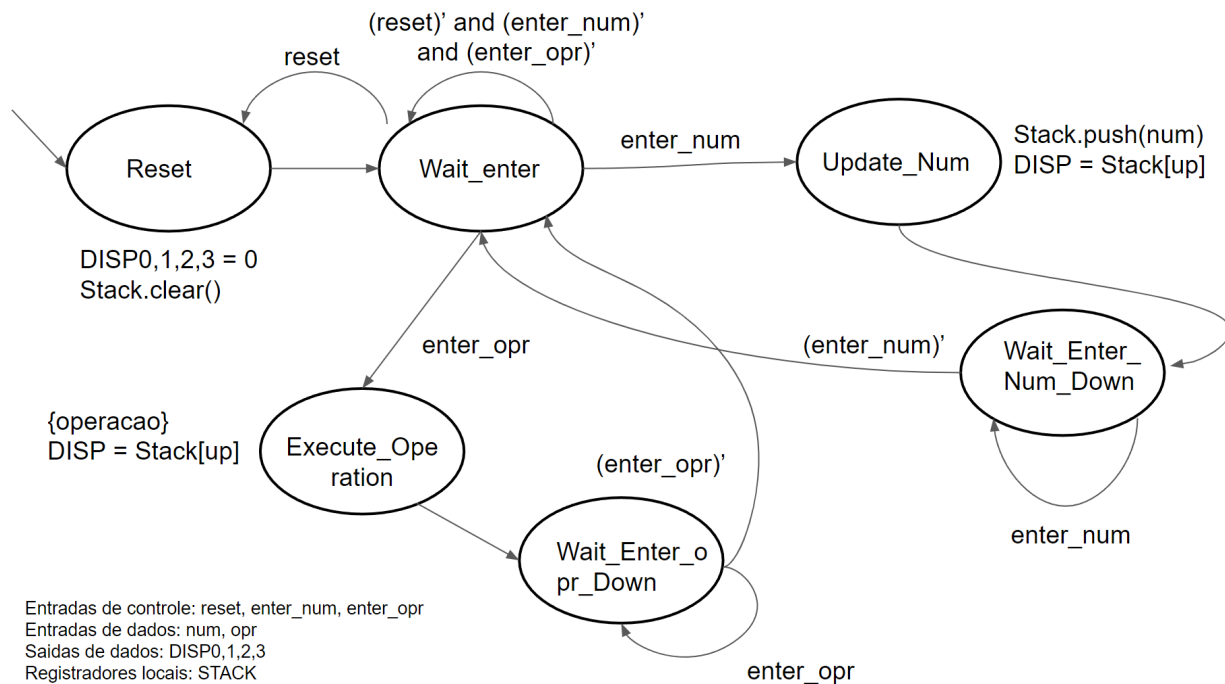


Figura 1. Máquina de estados de alto nível da Calculadora.

Ao ligar, a máquina vai para o estado inicial de RESET que limpa a saída e reseta a stack (registradores locais). Em seguida vai para um estado WAIT\_ENTER, que aguarda o acionamento de uma das chaves de enter (enter do número ou do operador).

Ao acionar a chave de enter do número, a FSM vai para o estado UPDATE\_NUM, que salva o número da entrada no topo da stack e atualiza os displays com o novo número. Em seguida, passa para o estado WAIT\_ENTER\_NUM\_DOWN, que aguarda a chave de enter do número voltar para o estado zero para evitar que o sistema fique muito tempo do estado UPDATE\_NUM, que rapidamente preencheria toda a stack com o mesmo dado de entrada.

Voltando para o estado WAIT\_ENTER, ao acionar a chave de enter da operação, passa-se para o estado EXECUTE\_OPERATION, que executa a operação na ULA, salva o resultado no topo da Stack e atualiza os displays de saída. O próximo estado WAIT\_ENTER\_OPR\_DOWN espera o enter da operação voltar a zero, pelo menos motivo usado no estado WAIT\_ENTER\_NUM\_DOWN.

A calculadora foi projetada para trabalhar com números decimais e com quatro operações: soma, subtração, deslocamento à direita e deslocamento à esquerda.

## 2 BLOCO DE ALTO NÍVEL

O bloco de alto nível da Calculadora está exibido na Figura 2.

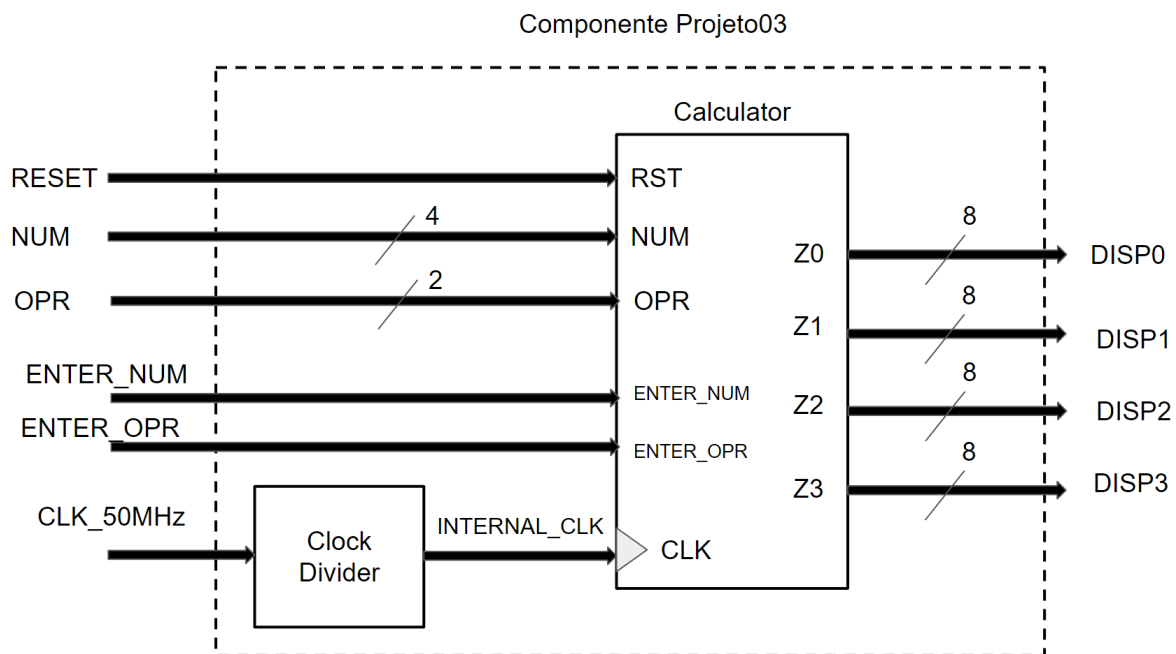


Figura 2. Diagrama de blocos de alto nível da calculadora, com o divisor de clock.

Usamos o divisor de clock projetado no Projeto 2 da disciplina para baixar o clock da FPGA de 50MHz para 100kHz. Não é necessário um clock tão rápido para a calculadora, uma vez que ela será usada apenas por humanos, e assim reduzimos a chance de ter erros de caminho crítico no projeto que poderiam ser causados por um clock muito elevado.

A interligação dos blocos de controle e operacional projetados estão mostrados na Figura 3.

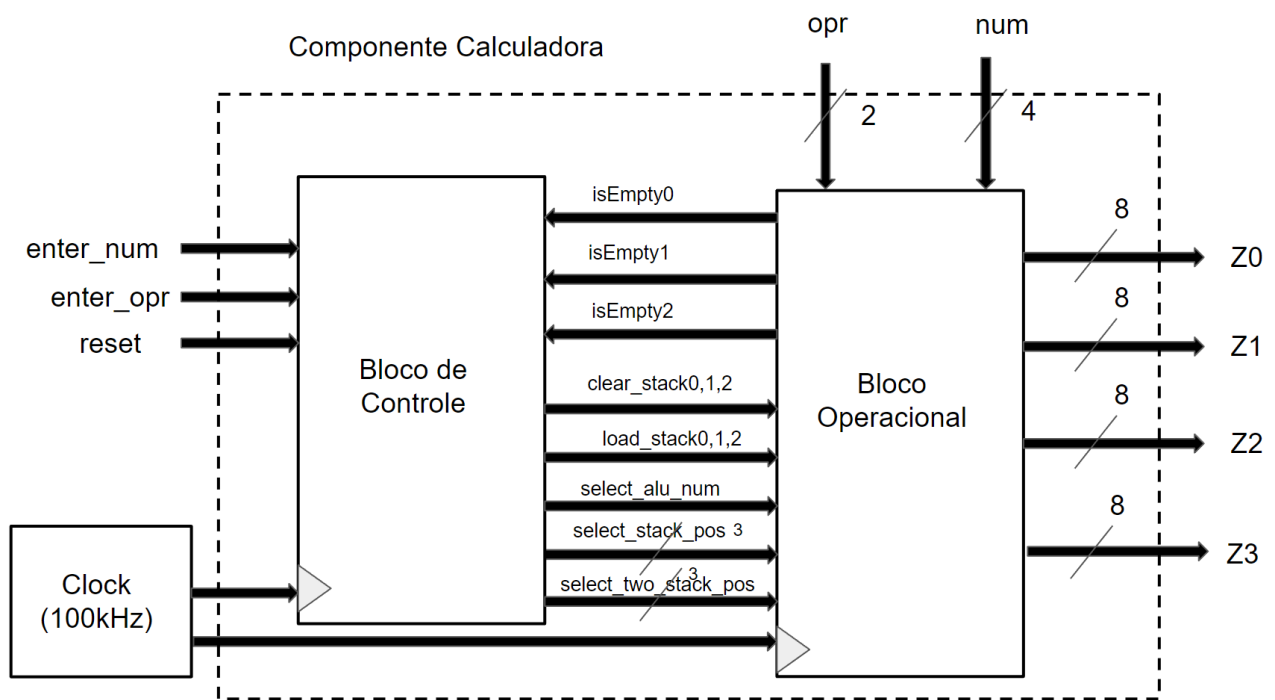


Figura 3. Ligação entre os blocos de controle e operacional projetados.

### 3 BLOCO OPERACIONAL

O diagrama do bloco operacional projetado está mostrado na Figura 4.

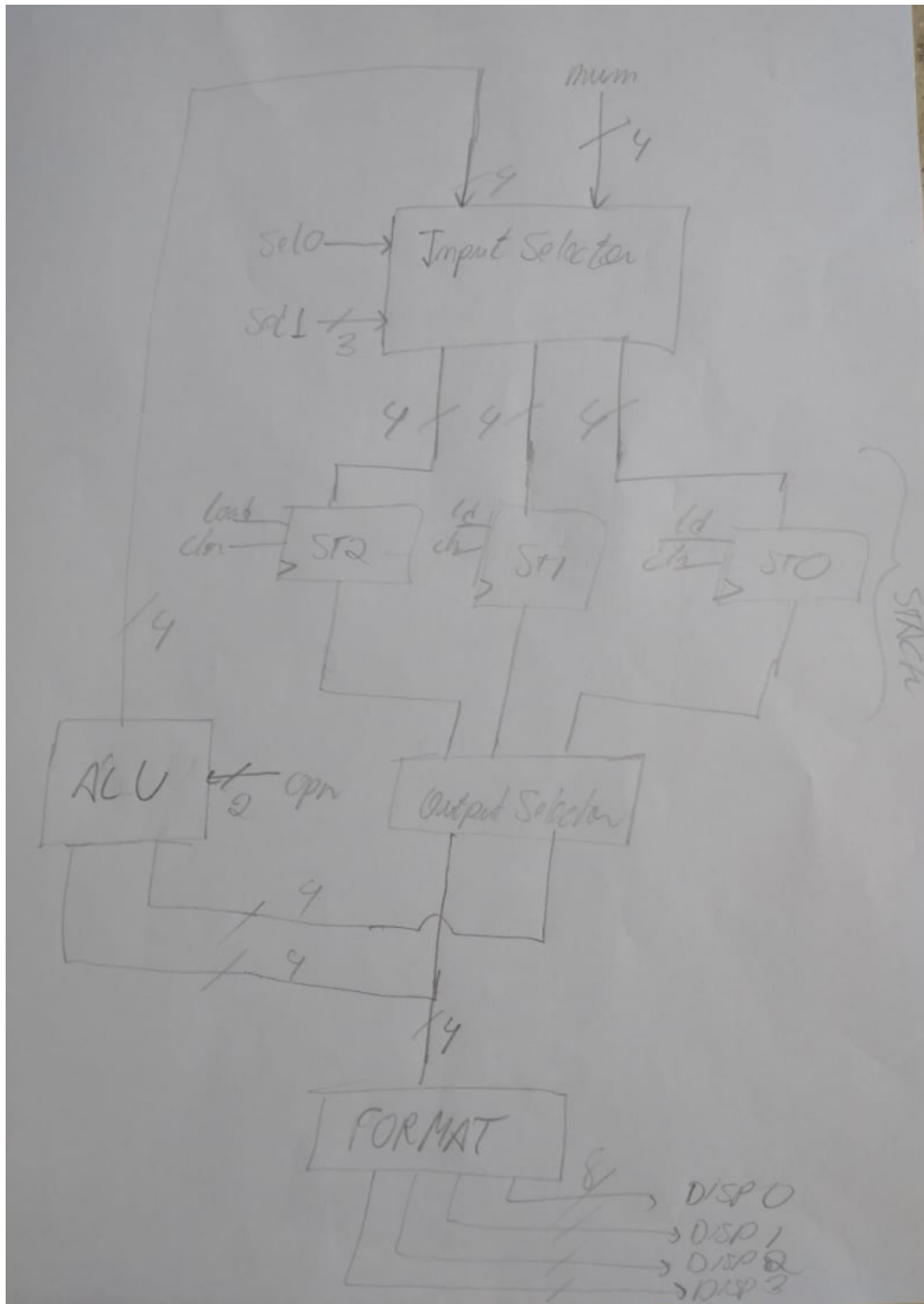


Figura 4. Bloco operacional projetado.

Uma análise breve dos problemas desse bloco operacional projetado encontra-se na Seção 6.

#### 4 BLOCO DE CONTROLE

O bloco de controle possui uma FSM com os mesmos estados e transições da FSM de alto nível da Figura 1. Todas entradas de controle da calculadora (reset, enter\_num e enter\_opr) são ligadas diretamente nele, como mostra a Figura 3.

## **5 CÓDIGO-FONTE**

A implementação em VHDL dos blocos projetados acima está na pasta zip enviada via chat do Teams.

## **6 DIFICULDADES ENCONTRADAS**

A principal dificuldade encontrada foi durante o projeto do bloco operacional. A maneira que a stack foi pensada como 3 registrados de carga paralela e clear (a stack teria 3 níveis) não atende aos requisitos, uma vez que não é possível executar a função de memória que um componente stack faz. Como explicado pelo professor, da maneira feita na Figura 4, seria necessário manualmente entrar com o resultado da operação toda hora, pois não há função de memória.

Por consequência, ao tentar implementar em VHDL o bloco operacional projetado encontramos diversos erros, tais como comportamento incorreto da saída e até mesmo interrupções inesperadas da simulação no GTKWAVE ao compilar o testbench.

O projeto correto do bloco operacional consiste em projetar um componente Stack em VHDL, que executa essa função de memória com uma estrutura de dados (arrays, por exemplo), e permite operações de push (empilhar) e pop (remover) da stack, além da operação de Clear. O bloco Stack forneceria dados à ULA projetada, que executaria as operações sobre esses dados e atualizaria o registrador de saída com o resultado da operação.

Outra dificuldade encontrada foi o fato de estarmos no final do semestre, e assim outras disciplinas do curso demandaram atenção da dupla com provas e trabalhos acumulados no final do semestre. Como deixamos para a última semana e o projeto da calculadora foi mais complexo do que havíamos imaginado, não conseguimos produzir um código sintetizável para gravar na FPGA no dia da avaliação.