

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 09
Assuntos: <ul style="list-style-type: none"> Modelagem estrutural em VHDL. Referências: <p>[1] B. Mealy, F. Tappero. <i>Free Range VHDL. Free Range Factory</i>. 2018.</p> <p><i>The electronic version of this book can be downloaded free of charge from:</i> http://www.freerangefactory.org</p> <p>[1] Cap. 9 – pág. 119 a 130.</p> Ferramentas: Visual Studio Code, GHDL e GTKWave
Objetivos: <ul style="list-style-type: none"> Aprender a descrever sistemas digitais em VHDL usando o modelo de descrição estrutural.
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> Por que o modelo de descrição estrutural em VHDL, na sua essência, pode ser considerado um modelo de descrição híbrido? Se temos que descrever um sistema digital modular e/ou hierárquico, a qual modelo de descrição devo adotar? Quais as vantagens de descrições modulares em VHDL? Quais recursos da linguagem VHDL são usados para escrever descrições modulares? Em VHDL componentes estão necessariamente associados à o que? Qual é a sequência de passos para usar um componente em VHDL? Qual são os passos do procedimento de descrição de um sistema digital no modelo estrutural em VHDL? Qual a dica que o livro te dá para declarar um componente dentro de uma arquitetura <i>top-level</i> em VHDL? O que é uma instância de um componente? Quais são os passos do procedimento para instanciar um componente dentro de uma arquitetura descrita estruturalmente? Que palavras reservadas da linguagem VHDL são usadas no procedimento de instanciação de um componente? Qual a boa prática de descrição em VHDL sugerida pelo livro quando se instancia um componente? E por que é considerada uma boa prática? Qual a diferença entre <i>direct mapping</i> e <i>implied mapping</i>? O que deve ficar à esquerda do operador de asserção \Rightarrow em um <i>port map</i>? O que deve ficar à direita do operador de asserção \Rightarrow em um <i>port map</i>? Para que serve a declaração <i>generic</i> em VHDL? Para que serve a declaração <i>generic map</i> em VHDL?
Atividade prática: <ol style="list-style-type: none"> Faça um dos itens do Exercício 1 da página 131 do livro. Faça o desenho em salve em um arquivo pdf. Faça um dos itens do Exercício 3 da página 132 do livro. Escreva um <i>testbench</i> para o sistema em VHDL que você implementou no item anterior. Compile, simule e verifique o comportamento do seu circuito.
Entrega da semana: <p>Um único arquivo zip com os códigos fonte e documentos das atividades práticas solicitadas.</p> <p>Submeta somente um por grupo.</p>