

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 10
<p>Assuntos:</p> <ul style="list-style-type: none"> • Criação de <i>Testbenchs</i> para simulação funcional. • Criação de <i>scripts</i> para compilação e simulação <i>offline</i>. <p>Referências:</p> <p>[3] Pág. 1 a 14 https://vhdlguide.readthedocs.io/en/latest/vhdl/testbench.html</p> <p>Complemento: [1] Cap. 12 – pág. 155 a 159.</p> <p>[1] B. Mealy, F. Tappero. <i>Free Range VHDL. Free Range Factory</i>. 2018. <i>The electronic version of this book can be downloaded free of charge from:</i> http://www.freerangefactory.org</p> <p>[3] Hans-Jorg Schneebeili. Apostila: Como verificar um projeto ou construindo <i>testbenchs</i> em VHDL. Departamento de Engenharia Elétrica - Universidade Federal do Espírito Santo. 2015.</p> <p>Disponível em: https://blog.ufes.br/sistemasembarcados/files/2015/03/VHDL-Verificacao.pdf</p> <p>Ferramentas: Visual Studio Code, GHDL e GTKWave</p>
<p>Objetivos:</p> <ul style="list-style-type: none"> • Aprender a descrever <i>testbenchs</i> em VHDL. • Aprender a escrever <i>scripts</i> para compilação e simulação <i>offline</i>.
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> 1) O que é uma simulação funcional? 2) O que é um <i>testbench</i> e para que serve? 3) Qual linguagem é utilizada para a descrição do <i>testbench</i>? 4) Quais são as partes que compõem um <i>testbench</i>? 5) De quais formas a geração dos sinais de entrada de um <i>testbench</i> em VHDL pode ser feita? 6) Quais os tipos de verificação de sistemas digitais podemos realizar com <i>testbenchs</i> em VHDL? 7) Para que natureza de sistemas digitais a verificação manual é adequada? 8) Qual a declaração da linguagem VHDL que deve estar presente em todo <i>testbench</i> para descrever os estímulos de entrada? 9) A temporização dentro de um <i>process</i> de um <i>testbench</i> é controlada por qual comando em VHDL? 10) Como inserir estímulos mediante o uso de arquivos externos na simulação funcional? 11) Em que situação é interessante disponibilizar os estímulos de entrada em arquivos externos? 12) Como realizar uma verificação funcional da unidade em teste (<i>DUT - Design Under Test</i>) dentro do <i>testbench</i>?
<p>Atividade prática:</p> <ol style="list-style-type: none"> 1) Faça um <i>testbench</i> para verificação automática de um circuito combinacional em VHDL que você implementou na disciplina, introduzindo estímulos via arquivo externo. 2) Compile, simule e verifique o comportamento do seu circuito. 3) Faça um <i>testbench</i> para verificação automática de um circuito sequencial em VHDL que você implementou na disciplina, introduzindo estímulos via arquivo externo. 4) Compile, simule e verifique o comportamento do seu circuito. 5) Faça um <i>testbench</i> para verificação automática de um modelo de sistema híbrido em VHDL que você implementou na disciplina, introduzindo estímulos via arquivo externo. 6) Compile, simule e verifique o comportamento do seu circuito. 7) Baseado no <i>testbench</i> desenvolvido no item (5), construa o(s) <i>script(s)</i> para realizar de forma automatizada a compilação, a simulação funcional do <i>DUT</i> e a visualização das ondas da simulação que você escolheu para testar no item (5), adaptando o modelo do <i>script</i> disponibilizado para você realizar essa tarefa. 8) Compile, simule e verifique o comportamento do seu circuito no seu ambiente de desenvolvimento instalado no seu computador.
<p>Entrega da semana:</p> <p>Um único arquivo zip com os códigos fonte das atividades práticas solicitadas. Submeta somente um por grupo.</p>