

Escola de Engenharia da UFMG
Departamento de Engenharia Eletrônica
ELT029 - Laboratório de Sistemas Digitais

Professor:

Ricardo de Oliveira Duarte – DELT – Bloco I – sala 2521 – Tel: 3409-3462 – E-mail: ricardoduarte@ufmg.br

Repositório digital da disciplina: MS-Teams

Carga horária: 30 h/aula.

Ementa:

Dispositivos Lógicos Programáveis. Fluxo de desenvolvimento de Sistemas Digitais. Síntese e Simulação de Sistemas Digitais. Linguagem de Descrição de Hardware. Projeto de Sistemas Digitais a nível RTL em uma linguagem de descrição de hardware.

Objetivo:

- Capacitar o aluno a projetar, descrever, compilar, verificar um projeto RTL usando VHDL, ferramenta de síntese e simulação.

Metodologia de ensino-aprendizagem e funcionamento da disciplina:

- As aulas de número 01 a 10 serão conduzidas na forma de um Estudo Dirigido. Na semana anterior a aula, o aluno deverá consultar a guia da aula que conterá os conceitos e objetivos a serem alcançados, bem como as referências onde o aluno deverá estudar. No dia da aula, com duração prevista de 100 minutos, os alunos tirarão suas dúvidas com o professor sobre o(s) assunto(s) tratados na guia e/ou da atividade prática proposta para a semana. Os alunos desenvolverão e entregarão ao professor, em link próprio no MS-Teams, dentro do prazo firmado, uma atividade prática formativa por semana que contemplará os conceitos e objetivos estudados na guia da semana.
- As aulas de número 11 a 14 seguirão a metodologia de ensino-aprendizagem conhecida como Aprendizado Baseado em Projetos. Cada guia conterá o que o aluno deverá consultar como referência para estudar e para se preparar para as atividades propostas. Nas aulas os alunos deverão tirar dúvidas sobre seus projetos com o professor. Em cada uma dessas quatro semanas, cada grupo de alunos desenvolverá projetos propostos pelo professor como atividade prática avaliativa que contemplará o conteúdo proposto.
- A aula de número 15 será destinada a uma avaliação individual objetiva no valor total de 20 pontos, que contemplará o conteúdo das aulas de 1 a 10.

Programação das Aulas:

NºAula	Data	Assuntos tratados	Referências
01	22/08/2022	Apresentação da disciplina. Dinâmica de funcionamento da disciplina. Ferramentas necessárias ao desenvolvimento das práticas: Editor, Compilador e Simulador. Regras de ouro de VHDL. VHDL <i>Invariants</i> : comentários, asserções, identificadores, palavras reservadas, estilo de codificação. Entrega: Resumo dos principais conceitos aprendidos (em 1 página).	https://www.edaplayground.com/ [1] Cap. 1 – pág. 5 a 9 [1] Cap. 2 – pág. 11 a 16
02	29/08/2022	<i>Design Units</i> em VHDL. Modelo de Descrição de um Sistema em VHDL (library/package/entity/architecture). Declaração de Sinais e Variáveis. Síntese de um circuito digital. Simulação funcional. Entrega: tarefa pedida na guia da semana.	[1] Cap. 3 – pág. 17 a 26 [1] Apêndice B – <i>Standard VHDL Packages</i>

03	05/09/2022	Paradigma de Codificação em VHDL: Declarações concorrentes; Operador de declaração de sinais; Declarações condicionais; Declarações de seleção; Introdução à declaração <i>Process</i> . Entrega: tarefa pedida na guia da semana.	[1] Cap. 4 – pág. 29 a 48
04	12/09/2022	Modelos de representação de uma <i>Architecture</i> em VHDL: <i>Data-flow</i> ; <i>Behavioral</i> ; Declaração <i>Process</i> . Declarações sequenciais. Entrega: tarefa pedida na guia da semana.	[1] Cap. 5 – pág. 51 a 67
05	19/09/2022	Operadores em VHDL.: Operadores lógicos; Operadores relacionais; Operadores de deslocamento; Operadores aritméticos; Operadores de concatenação; Operadores de módulo e resto; outros operadores. Entrega: tarefa pedida na guia da semana.	[1] Cap. 6 – pág. 71 a 76
06	03/10/2022	Objetos de dados. Tipos de dados básicos em VHDL e conversão de tipos. Conceitos de sinais e variáveis. Comandos para atribuição de sinais e variáveis. Entrega: tarefa pedida na guia da semana.	[1] Cap. 11 – pág. 143 a 154
07	17/10/2022	Representação de circuitos sequenciais em VHDL.	[1] Cap. 7 – pág. 77 a 86
08	24/10/2022	Representação de Máquinas de Estados Finitos em VHDL. Entrega: tarefa pedida na guia da semana.	[1] Cap. 8 – pág. 89 a 106
09	31/10/2022	Modelagem estrutural em VHDL Entrega: tarefa pedida na guia da semana.	[1] Cap. 9 – pág. 119 a 130
10	07/11/2022	Criação de <i>Testbenches</i> para simulação funcional. Introdução à TCL. Entrega: tarefa pedida na guia da semana.	[3] Pág. 1 a 14 https://vhdlguide.readthedocs.io/en/latest/vhdl/testbench.html Complemento: [1] Cap. 12 – pág. 155 a 159.
11	21/11/2022	Design, descrição em HDL e verificação via simulação de um projeto exclusivamente combinacional. Entrega: Trabalho 1 (somente um membro do grupo deve entregar o trabalho no <i>Teams</i>)	Consultar se tiver dúvidas na teoria de Sistemas Digitais em: [2] Cap. 2 – pág. 46 a 102
12	28/11/2022	Design, descrição em HDL e verificação via simulação uma aplicação que use <i>FSM</i> . Entrega: Trabalho 2 (somente um membro do grupo deve entregar o trabalho no <i>Teams</i>)	Consultar se tiver dúvidas na teoria de Sistemas Digitais em: [2] Cap. 3 – pág. 127 a 146
13	05/12/2022	Projeto RTL: Design, Compilação, Depuração e Verificação - parte 1	[1] Cap. 10 – pág. 133 a 140 Consultar se tiver dúvidas na teoria de Sistemas Digitais em: [2] Cap. 5 – pág. 242 a 297
14	12/12/2022	Projeto RTL: Design, Compilação, Depuração e Verificação - parte 2 Entrega: Trabalho 3 (somente um membro do grupo deve entregar o trabalho no <i>Teams</i>)	[1] Cap. 10 – pág. 133 a 140 Consultar se tiver dúvidas na teoria de Sistemas Digitais em: [2] Cap. 5 – pág. 242 a 297
15	19/12/2022	Avaliação Final (objetiva) (20 pontos)	Toda a matéria vista nas aulas de 01 a 10 (inclusive)

Forma de Avaliação:

Atividades formativas: 1 ponto cada. (10 pts)

Trabalho 1 – Projeto exclusivamente Combinacional (semana 11) – Escolher tema apresentado pelo professor. (15 pts)

Trabalho 2 – Projeto de uma aplicação que use FSM (semana 12) – Escolher tema apresentado pelo professor. (15 pts)

Trabalho 3 – Projeto RTL (semanas 13 e 14) – Tema A ou B a ser definido pelo professor para a turma de alunos. (40 pts)

Avaliação Final (semana 15) – matéria toda das aulas de número 1 a 10 (inclusive) (20 pts)

Trabalhos deverão ser realizados em duplas ou trios: a ser definido pelo professor.

Critério de avaliação dos trabalhos:

- 1) Completude (5 pts)
- 2) Corretude (8 pts)
- 3) Clareza (2 pts)

Exame Especial: dia 26/12/2022 – no horário da aula. Matéria toda.

Ferramentas e links úteis usados na disciplina:

Editor, compilador e simulador disponível para acesso em: <https://www.edaplayground.com/>

YouTube video: [How to download code and results from EDA Playground](#)

EDA Playground Documentation: <https://eda-playground.readthedocs.io/en/latest/>

Loading Waves from EDA Playground: <https://epwave.readthedocs.io/en/latest/quick-start.html#viewing-signals>

EDA Playground Settings & Buttons: <https://eda-playground.readthedocs.io/en/latest/settings.html?highlight=tcl>

Instruções para *download* e instalação do GHDL (compilador/simulador), GTKWAVE (visualizador de formas de onda de simulações) e EMACS (editor de códigos) em: LSD_guia_instalacao.pdf

Muito útil se for usar o GHDL *offline (standalone)* no seu computador: <https://ghdl.readthedocs.io/en/latest/using/Simulation.html>

TCL Commands: https://www.tutorialspoint.com/tcl-tk/tcl_commands.htm

Referências principais:

[1] B. Mealy, F. Tappero. **Free Range VHDL**. Free Range Factory. 2018.

The electronic version of this book can be downloaded free of charge from: <http://www.freerangefactory.org>

[2] Frank Vahid. **Sistemas Digitais: Projeto, Otimizações e HDLs**. Bookman. 2008.

Disponível no *Google Books* em:

<https://books.google.com.br/books?id=8xT9sD0kpfUC&lpg=PR2&dq=Frank%20vahid&hl=pt-BR&pg=PR3#v=onepage&q=Frank%20vahid&f=false>

[3] Hans-Jorg Schneebeli. Apostila: Como verificar um projeto ou construindo testbenches em VHDL. Departamento de Engenharia Elétrica - Universidade Federal do Espírito Santo. 2015.

Disponível em: <https://blog.ufes.br/sistemasembarcados/files/2015/03/VHDL-Verificacao.pdf>

Descrição dos *packages* padrão da *library ieee* disponível em: <https://www.csee.umbc.edu/portal/help/VHDL/stdpkg.html> acessado em novembro de 2020.

Videoaulas para se preparem para a atividade do laboratório: https://youtube.com/playlist?list=PLg6HBoBfoKCAKoDPDQwfDS5X_I_BHlzhj

IMPORTANTE: Assistam todas as videoaulas do *link* acima na ordem, e façam todos os preparativos demandados, antes da ida ao laboratório!!