

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 06
<p>Assuntos:</p> <ul style="list-style-type: none"> <li>• Objetos de dados.</li> <li>• Tipos de dados básicos em VHDL e conversão de tipos.</li> <li>• Conceitos de sinais e variáveis.</li> <li>• Comandos para atribuição de sinais e variáveis.</li> </ul> <p>Referências:</p> <p>[1] B. Mealy, F. Tappero. <i>Free Range VHDL. Free Range Factory</i>. 2018.  <i>The electronic version of this book can be downloaded free of charge from:</i> <a href="http://www.freerangefactory.org">http://www.freerangefactory.org</a></p> <p>[1] Cap. 11 – pág. 143 a 154</p> <p>Referência complementar:</p> <p><b>Conversao de tipos em VHDL.pdf</b></p> <p>Ferramentas: Visual Studio Code, GHDL e GTKWave</p>
<p>Objetivos:</p> <ul style="list-style-type: none"> <li>• Saber explicar o que é um objeto de dados em VHDL.</li> <li>• Saber citar quais objetos de dados existem em VHDL.</li> <li>• Saber o que é necessário para declarar um objeto de dados em uma descrição de um circuito em VHDL.</li> <li>• Saber diferenciar os tipos de dados básicos usados em descrições de circuitos em VHDL.</li> <li>• Saber identificar o conteúdo de <i>packages</i>.</li> <li>• Saber converter um tipo de dado para outro tipo de dado em VHDL.</li> <li>• Saber diferenciar <i>signal</i> de <i>variable</i> em VHDL: uso e escopo.</li> <li>• Saber usar corretamente comandos para atribuição de <i>signals</i> e <i>variables</i>.</li> </ul>
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> <li>1) Quantos objetos de dados diferentes existem em VHDL e quais são eles?</li> <li>2) Qual o objeto de dados que é exclusivamente usado em <i>testbenches</i> e simulações?</li> <li>3) Quais os tipos de dados estudados nesse capítulo do livro?</li> <li>4) <i>Signals</i> podem ser inicializados? Em quais situações?</li> <li>5) Quais as diferenças de <i>variables</i> para <i>signals</i>?</li> <li>6) Qual o efeito de se atribuir novos valores a <i>variables</i> e <i>signals</i> dentro de um <i>process</i>?</li> <li>7) Em quais situações de descrição de um sistema VHDL devemos usar as <i>variables</i>?</li> <li>8) Porque o conteúdo de um <i>process</i> deve ser simples e curto?</li> <li>9) Quais os tipos de dados existentes em VHDL?</li> <li>10) VHDL te permite criar um novo tipo de dado?</li> <li>11) Quais os tipos de dados mais comumente encontrados em descrições de sistemas sintetizáveis em VHDL?</li> <li>12) Quais são as palavras reservadas da linguagem VHDL normalmente encontradas na definição de tipos de dados?</li> <li>13) Quais <i>packages</i> são padrões da biblioteca IEEE e quais <i>packages</i> não são padrões?</li> <li>14) Por que eu preciso usar <i>signals</i> do tipo <i>signed</i> ou <i>unsigned</i> ao invés de um tipo <i>std_logic</i>?</li> <li>15) Por que devemos usar <i>std_logic</i> para habitualmente declarar nossos sinais em uma <i>entity</i>?</li> <li>16) Quais valores o tipo de dados <i>std_logic</i> pode assumir?</li> <li>17) Como devo proceder para converter um tipo para o outro tipo?</li> </ol>
<p>Atividade prática:</p> <ol style="list-style-type: none"> <li>1) Projete em VHDL uma ULA de 8 bits (usando o modelo comportamental) que realize as seguintes funções: soma com sinal; soma sem sinal; subtração; <i>or</i> lógico; <i>and</i> lógico; <i>xor</i> lógico.</li> <li>2) Escreva um <i>testbench</i> para o sistema em VHDL que você implementou.</li> <li>3) Compile, simule e verifique o comportamento do seu circuito.</li> </ol>
<p>Entrega da semana:</p> <p>Um único arquivo zip com os códigos fonte das atividades práticas solicitadas. Submeta somente um por grupo.</p>