

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 04
<p>Assuntos:</p> <ul style="list-style-type: none"> • Modelos de representação de uma <i>Architecture</i> em VHDL: <i>Data-flow</i>; <i>Behavioral</i>; • Declaração <i>Process</i>. • Variáveis e Sinais. • Declarações sequenciais. <p>Referências:</p> <p>[1] B. Mealy, F. Tappero. <i>Free Range VHDL</i>. Free Range Factory. 2018. <i>The electronic version of this book can be downloaded free of charge from: http://www.freerangefactory.org</i></p> <p>[1] Cap. 5 – pág. 51 a 67.</p> <p>Ferramentas: Visual Studio Code, GHDL e GTKWave</p>
<p>Objetivos:</p> <ul style="list-style-type: none"> • Saber diferenciar os modelos de representação <i>data-flow</i> e <i>behavioral</i>, quanto ao seu uso e descrição. • Saber o que é uma declaração concorrente <i>Process</i> em VHDL: uso e descrição. • Identificar e saber usar as declarações sequenciais em VHDL.
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> 1) Como podemos identificar que uma <i>architecture</i> em VHDL foi descrita usando o modelo <i>data-flow</i>? 2) Qual situação na qual devemos adotar o modelo de representação de <i>architecture data-flow</i>? 3) Qual a vantagem de se descrever um circuito VHDL usando <i>data-flow</i>? 4) Qual a desvantagem de se descrever um circuito VHDL usando <i>data-flow</i>? 5) Como podemos identificar que uma <i>architecture</i> em VHDL foi descrita usando o modelo <i>behavioral</i>? 6) Qual situação na qual devemos adota o modelo de representação de <i>architecture behavioral</i>? 7) Qual a vantagem de se descrever um circuito VHDL usando <i>behavioral</i>? 8) Qual a desvantagem de se descrever um circuito VHDL usando <i>behavioral</i>? 9) Como declarar um <i>process</i> em VHDL? 10) Qual característica das declarações contidas dentro do corpo de um <i>process</i> em VHDL? 11) O que dispara a execução do conteúdo de um <i>process</i> em VHDL? 12) Quais as regras para se definir o que deve ser incluído na lista de sensibilidade de um <i>process</i>? 13) Quais as declarações sequenciais em VHDL que você estudou nesse capítulo? 14) Quando é que uma declaração de atribuição de sinais pode ser considerada uma declaração sequencial? 15) Qual a diferença da declaração sequencial <i>case</i> para a declaração sequencial <i>if</i>? 16) Qual a principal lição que você pode obter da seção 5.5 do livro?
<p>Atividades práticas:</p> <ol style="list-style-type: none"> 1) Escolha uma das funções do exercício 1 da pág. 68 da referência principal do curso e implemente-o em VHDL. 2) Escreva um <i>testbench</i> para a função em VHDL que você implementou.ⁱ 3) Compile e simule. 4) Faça o exercício 7 da pág. 69 da referência principal do curso e implemente-o em VHDL. 5) Escreva um <i>testbench</i> para a função em VHDL que você implementou. 6) Compile e simule.
<p>Entrega da semana:</p> <p>Um único arquivo zip com os códigos fonte das atividades práticas solicitadas. Submeta somente um por grupo.</p>

ⁱ Use um gerador automático de modelos de *testbenches*, isso poderá acelerar o seu desenvolvimento:
<https://vhdl.lapinoo.net/testbench/>