

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 08
Assuntos: <ul style="list-style-type: none"> Representação de Máquinas de Estados Finitos (<i>FSMs</i>) em VHDL. Referências: <p>[1] B. Mealy, F. Tappero. <i>Free Range VHDL. Free Range Factory</i>. 2018.</p> <p><i>The electronic version of this book can be downloaded free of charge from:</i> http://www.freerangefactory.org</p> <p>[1] Cap. 8 – pág. 89 a 106.</p> Ferramentas: Visual Studio Code, GHDL e GTKWave
Objetivos: <ul style="list-style-type: none"> Saber como descrever máquinas de estados finitos em VHDL.
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> 1) Com é que definimos que um modelo de implementação de <i>FSMs</i> é um modelo de <i>Moore</i>? 2) Com é que definimos que um modelo de implementação de <i>FSMs</i> é um modelo de <i>Mealy</i>? 3) Qual o procedimento <u>mais direto e simples</u> de implementação de <i>FSMs</i> em VHDL? 4) De que forma o tipo de dados enumerado pode ser útil na descrição de <i>FSMs</i> em VHDL? 5) Na página 93 do livro tem um erro sutil. Qual é esse erro? 6) Por que devemos sempre usar a cláusula <i>when others</i> sempre que usar uma declaração <i>case</i> em uma descrição de um circuito em VHDL? 7) Como é que eu devo implementar uma saída do modelo <i>Moore</i> dentro de uma declaração <i>case</i> do <i>process</i> combinacional? 8) Por que eu devo atribuir um valor inicial a(s) saída(s) da <i>FSM</i> em um <i>process</i> combinacional logo após a cláusula <i>begin</i> do <i>process</i>? 9) Atribuir valores às saídas da máquina no início do <i>process</i> interferem ou não no valor lógico produzido dentro do <i>process</i> que será refletido na saída da máquina? Por que? 10) O que devo fazer para ter como saída do meu circuito o acesso ao estado atual da <i>FSM</i>? 11) Como é que eu devo implementar uma saída do modelo <i>Mealy</i> dentro de uma declaração <i>case</i> do <i>process</i> combinacional? 12) Podemos descrever uma <i>FSM</i> híbrida, isto é uma máquina que tem saídas <i>Moore</i> e saídas <i>Mealy</i>? 13) Em que situação eu devo descrever uma <i>FSM</i> em VHDL com o método <i>one-hot encoding</i> em contrapartida ao método de codificação binária de estados? 14) Quais as vantagens e desvantagens do método de descrição <i>one-hot encoding</i>?
Atividade prática: <ol style="list-style-type: none"> 1) Faça o Exercício 2 da página 108 do livro. 2) Escreva um <i>testbench</i> para o sistema em VHDL que você implementou no item anterior. 3) Compile, simule e verifique o comportamento do seu circuito. 4) Faça o Exercício 8 da página 114 do livro. 5) Escreva um <i>testbench</i> para o sistema em VHDL que você implementou no item anterior. 6) Compile, simule e verifique o comportamento do seu circuito. 7) Refaça o Exercício 2 da página 108 do livro, agora com o método de descrição <i>one-hot encoding</i>. 8) Escreva um <i>testbench</i> para o sistema em VHDL que você implementou no item anterior. 9) Compile, simule e verifique o comportamento do seu circuito.
Entrega da semana: <p>Um único arquivo zip com os códigos fonte das atividades práticas solicitadas e comentadas.</p> <p>Submeta somente um por grupo.</p>