

| |
|---|
| Universidade Federal de Minas Gerais |
| Escola de Engenharia – Departamento de Engenharia Eletrônica |
| Disciplina: Laboratório de Sistemas Digitais |
| Guia de aula: 02 |
| <p>Assuntos:</p> <ul style="list-style-type: none"> • <i>Design Units</i> em VHDL. • Modelo de Descrição de um Sistema em VHDL (<i>library/package/entity/architecture</i>). • Declaração de Sinais e Variáveis. • Síntese de um circuito digital. • Simulação funcional. <p>Referências:</p> <p>[1] B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2018. <i>The electronic version of this book can be downloaded free of charge from:</i> http://www.freerangefactory.org</p> <p>[1] Cap. 3 – pág. 17 a 26 e o Apêndice B – <i>Standard VHDL Packages</i>.</p> <p>Ferramentas: GHDL, GTKWave, Visual Studio Code com as seguintes extensões instaladas: GHDL Interface e TerosHDL</p> <p>Objetivos:</p> <ul style="list-style-type: none"> • Identificar e saber como codificar uma <i>Design Unit</i> em VHDL. • Compreender o modelo de codificação de um sistema digital em VHDL. • Saber como declarar sinais e variáveis em VHDL. • Saber reconhecer o conceito de síntese de sistemas digitais e exercitá-lo. • Saber reconhecer o conceito de simulação funcional e exercitá-lo. <p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder as seguintes questões:</p> <ol style="list-style-type: none"> 1) O que é uma <i>Design Unit</i> em VHDL? 2) Cite todas as <i>Design Units</i> que VHDL disponibiliza ao projetista? 3) O que é uma <i>library</i> em VHDL e quais são as <i>libraries</i> fundamentais usadas em um projeto? 4) O que é um <i>package</i> em VHDL e quais <i>packages</i> estão padronizados pela <i>library ieee</i>? 5) Para que serve uma <i>design unit: entity</i> em VHDL? 6) Para que serve uma <i>design unit: architecture</i> em VHDL? 7) Qual o modelo padrão de codificação de um sistema digital em VHDL? 8) Como se define <i>signals</i> em VHDL? 9) Como se define <i>variables</i> em VHDL? 10) O que significa síntese de um sistema digital? 11) O que é uma simulação funcional? 12) Quais as condições mínimas necessárias para realização de uma simulação funcional? 13) O que é um <i>testbench</i>? 14) Quais palavras reservadas de VHDL são usadas somente para descrever <i>testbenches</i> em VHDL? <p>Atividades práticas:</p> <ol style="list-style-type: none"> 1. Abra o Visual Studio Code, já com as extensões mencionadas corretamente instaladas. 2. No Menu Arquivo, selecione <i>Abrir Pasta</i>. Selecione a pasta que contém os arquivos com extensão .vhd 3. Abra um novo Terminal. 4. Na janela Terminal execute o script para compilação, simulação e visualização de forma de onda do sistema simulado. 5. Para executar o script mencionado, na janela Terminal digite: <code>.\script1.bat</code> 6. Estude os comandos contidos dentro do arquivo de script: <code>script1.bat</code> 7. Modifique o arquivo .vhd sintetizável (<code>somador1.vhd</code> ou <code>somador2.vhd</code>), de 4 bits para 8 bits. Compile e conserte os erros que possam aparecer decorrente da sua modificação. 8. Modifique o <i>testbench</i>, mude também alguns padrões de entrada, simule e observe o resultado da simulação. <p>Entrega da semana:</p> <p>Um resumo de duas páginas em PDF, por grupo, contendo uma síntese dos conceitos estudados nessa semana.</p> |