|  |
| --- |
| Universidade Federal de Minas Gerais |
| Escola de Engenharia – Departamento de Engenharia Eletrônica |
| Disciplina: Laboratório de Sistemas Digitais |
| Guia de aula: 02 |
| Assuntos:   * *Design Units* em VHDL. * Modelo de Descrição de um Sistema em VHDL (*library/package/entity/architecture*). * Declaração de Sinais e Variáveis. * Síntese de um circuito digital. * Simulação funcional.   Referências:  [1] B. Mealy, F. Tappero. **Free Range VHDL**. Free Range Factory. 2018.  *The electronic version of this book can be downloaded free of charge from*: <http://www.freerangefactory.org>  [1] Cap. 3 – pág. 17 a 26 e o Apêndice B – *Standard VHDL* Packages.  Ferramentas: GHDL, GTKWave, Visual Studio Code com as seguintes extensões instaladas: GHDL Interface e TerosHDL |

|  |
| --- |
| Objetivos:   * Identificar e saber como codificar uma *Design Unit* em VHDL. * Compreender o modelo de codificação de um sistema digital em VHDL. * Saber como declarar sinais e variáveis em VHDL. * Saber reconhecer o conceito de síntese de sistemas digitais e exercitá-lo. * Saber reconhecer o conceito de simulação funcional e exercitá-lo. |
| Espera-se que ao final do Estudo Dirigido o aluno saiba responder as seguintes questões:   1. O que é uma *Design Unit* em VHDL? 2. Cite todas as *Design Units* que VHDL disponibiliza ao projetista? 3. O que é uma *library* em VHDL e quais são as *libraries* fundamentais usadas em um projeto? 4. O que é um *package* em VHDL e quais *packages* estão padronizados pela *library* ieee? 5. Para que serve uma *design unit*: *entity* em VHDL? 6. Para que serve uma *design unit*: *architecture* em VHDL? 7. Qual o modelo padrão de codificação de um sistema digital em VHDL? 8. Como se define *signals* em VHDL? 9. Como se define *variables* em VHDL? 10. O que significa síntese de um sistema digital? 11. O que é uma simulação funcional? 12. Quais as condições mínimas necessárias para realização de uma simulação funcional? 13. O que é um *testbench*? 14. Quais palavras reservadas de VHDL são usadas somente para descrever *testbenchs* em VHDL? |
| Atividades práticas:   1. Abra o Visual Studio Code, já com as extensões mencionadas corretamente instaladas. 2. No Menu Arquivo, selecione *Abrir Pasta*. Selecione a pasta que contém os arquivos com extensão .vhd 3. Abra um novo Terminal. 4. Na janela Terminal execute o script para compilação, simulação e visualização de forma de onda do sistema simulado. 5. Para executar o script mencionado, na janela Terminal digite: .\script1.bat 6. Estude os comandos contidos dentro do arquivo de script: script1.bat 7. Modifique o arquivo .vhd sintetizável (somador1.vhd ou somador2.vhd), de 4 bits para 8 bits. Compile e conserte os erros que possam aparecer decorrente da sua modificação. 8. Modifique o *testbench*, mude também alguns padrões de entrada, simule e observe o resultado da simulação. |
| Entrega da semana:  Um resumo de duas páginas em PDF, por grupo, contendo uma síntese dos conceitos estudados nessa semana. |