|  |
| --- |
| Universidade Federal de Minas Gerais |
| Escola de Engenharia – Departamento de Engenharia Eletrônica |
| Disciplina: Laboratório de Sistemas Digitais |
| Guia de aula: 04 |
| Assuntos:   * Modelos de representação de uma *Architecture* em VHDL: *Data-flow*; *Behavioral*; * Declaração *Process*. * Variáveis e Sinais. * Declarações sequenciais.   Referências:  [1] B. Mealy, F. Tappero. *Free Range VHDL*. *Free Range Factory*. 2018.  *The electronic version of this book can be downloaded free of charge from*: <http://www.freerangefactory.org>  [1] Cap. 5 – pág. 51 a 67.  Ferramentas: Visual Studio Code, GHDL e GTKWave |

|  |
| --- |
| Objetivos:   * Saber diferenciar os modelos de representação *data-flow* e *behavioral*, quanto ao seu uso e descrição. * Saber o que é uma declaração concorrente *Process* em VHDL: uso e descrição. * Identificar e saber usar as declarações sequenciais em VHDL. |
| Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:   1. Como podemos identificar que uma *architecture* em VHDL foi descrita usando o modelo *data-flow*? 2. Qual situação na qual devemos adotar o modelo de representação de *architecture* *data-flow*? 3. Qual a vantagem de se descrever um circuito VHDL usando *data-flow*? 4. Qual a desvantagem de se descrever um circuito VHDL usando *data-flow*? 5. Como podemos identificar que uma *architecture* em VHDL foi descrita usando o modelo *behavioral*? 6. Qual situação na qual devemos adota o modelo de representação de *architecture* *behavioral*? 7. Qual a vantagem de se descrever um circuito VHDL usando *behavioral*? 8. Qual a desvantagem de se descrever um circuito VHDL usando *behavioral*? 9. Como declarar um *process* em VHDL? 10. Qual característica das declarações contidas dentro do corpo de um *process* em VHDL? 11. O que dispara a execução do conteúdo de um *process* em VHDL? 12. Quais as regras para se definir o que deve ser incluído na lista de sensibilidade de um *process*? 13. Quais as declarações sequenciais em VHDL que você estudou nesse capítulo? 14. Quando é que uma declaração de atribuição de sinais pode ser considerada uma declaração sequencial? 15. Qual a diferença da declaração sequencial *case* para a declaração sequencial *if*? 16. Qual a principal lição que você pode obter da seção 5.5 do livro? |
| Atividades práticas:   1. Escolha uma das funções do exercício 1 da pág. 68 da referência principal do curso e implemente-o em VHDL. 2. Escreva um *testbench* para a função em VHDL que você implementou.[[1]](#endnote-1) 3. Compile e simule. 4. Faça o exercício 7 da pág. 69 da referência principal do curso e implemente-o em VHDL. 5. Escreva um *testbench* para a função em VHDL que você implementou. 6. Compile e simule. |
| Entrega da semana:  Um único arquivo zip com os códigos fonte das atividades práticas solicitadas. Submeta somente um por grupo. |

1. Use um gerador automático de modelos de *testbenchs*, isso poderá acelerar o seu desenvolvimento: <https://vhdl.lapinoo.net/testbench/> [↑](#endnote-ref-1)