

# 取指令数据通路设计实验

主讲人：章复嘉

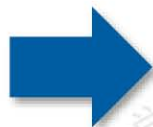
START



杭州电子科技大学  
HANGZHOU DIANZI UNIVERSITY

# 目录

## 取指令数据通路设计实验



1

实验目的

2

实验内容与原理

3

实验要求

4

实验步骤

5

思考与探索



# 1、实验目的

3



- 学习指令存储器的设计方法;
- 掌握 ARM V7 CPU 取指令操作和判断指令条件执行的方法。

# 目录



## 取指令数据通路设计实验

1

实验目的

2

实验内容与原理

3

实验要求

4

实验步骤

5

思考与探索



## 2、实验内容与原理

5



- **实验内容：**实现一个只读的指令存储器，设计取指令数据通路，实现取指令模块结构，并完成取指令的条件判断。

(1) 取指令模块

(2) 用Verilog HDL设计有限状态机

(3) 顶层测试模块

商用ARMv7处理器采用普林斯顿结构

本实验采用哈佛结构来设计ARMv7模型机的存储器





# (1)取指令模块

6

## ■ 指令存储器

只读存储器

不需要专门设置读控制信号

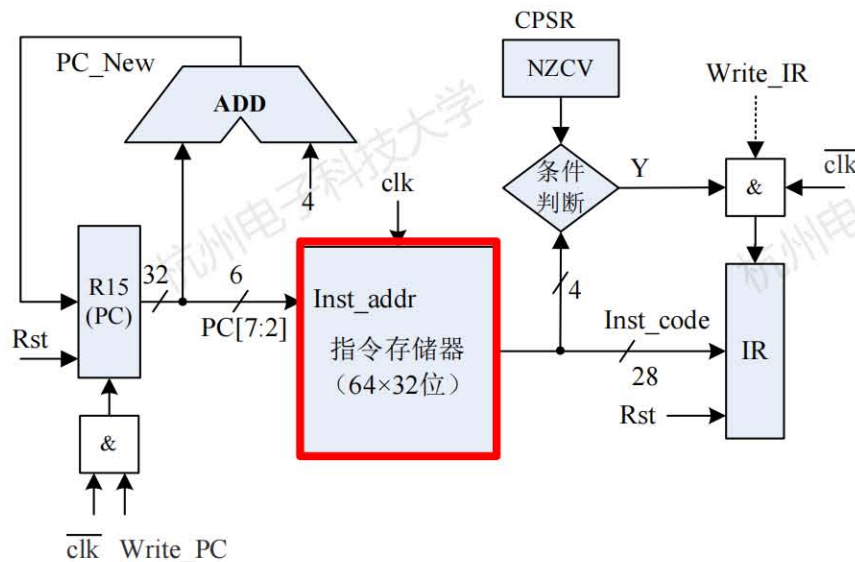
按字节编址 (8位地址PC[7:0])

按字访问 (6位地址PC[7:2])

一个存储器单元长度为32位

一个存储器单元占4个字节地址

采用 Memory IP 核来实现



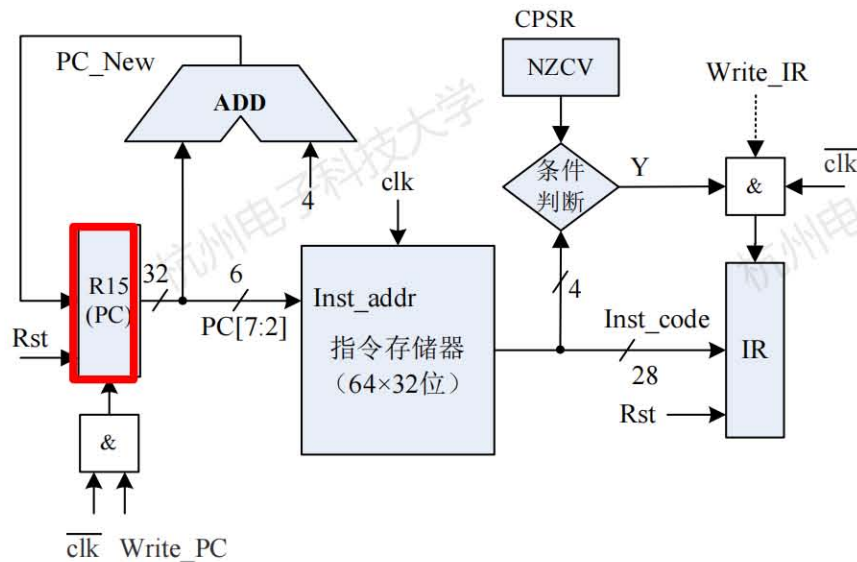


# (1)取指令模块

7

## ■ 程序计数器 PC

通用寄存器中的 **R15** 寄存器；  
在 **clk** 下降沿时，由信号 **Write\_PC** 控制是否写入新值；  
**Rst=1** 时，**PC** 清零；  
**PC** 的高 **24** 位可直接在设计中清  
零。



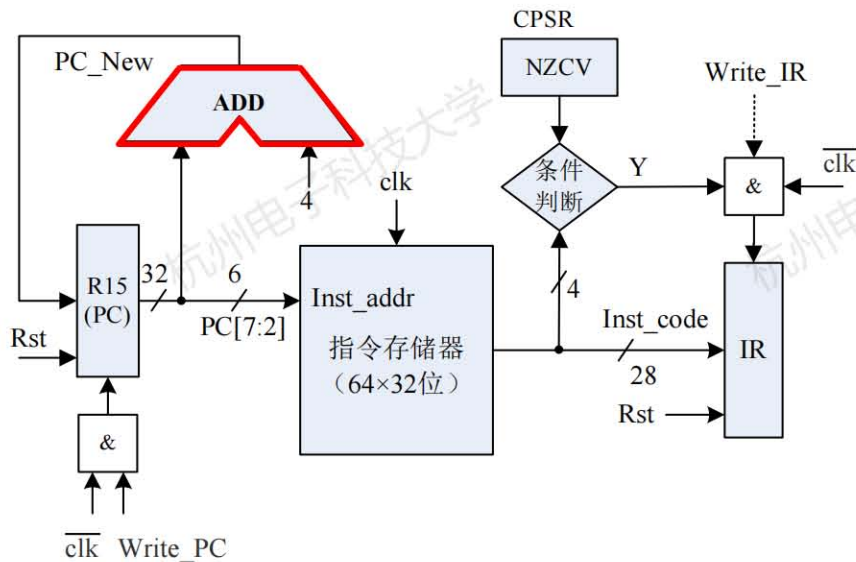


# (1)取指令模块

8

## ■ PC 自增加法器

每次取完一条指令，就应该将 PC 指向下一条指令；  
存储器按字节编址，因此，每次取指令后，PC 应该自增 4；  
图中的运算器只能完成加法运算





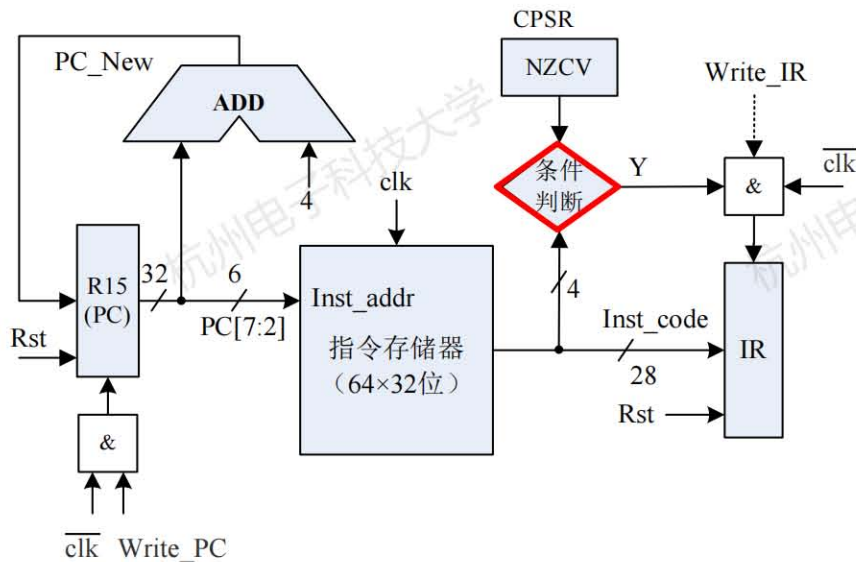


# (1)取指令模块

9

## ■ 是否执行当前指令的条件判断

由二进制指令码的高 4 位 I [31:28]  
指定一种条件;  
将CPSR高4位按条件比较;  
符合条件则执行当前指令, 否则不  
执行指令。





# (1)取指令模块

10

## ■ 是否执行当前指令的条件判断

**N** 表示符号位

**Z** 表示零标志位

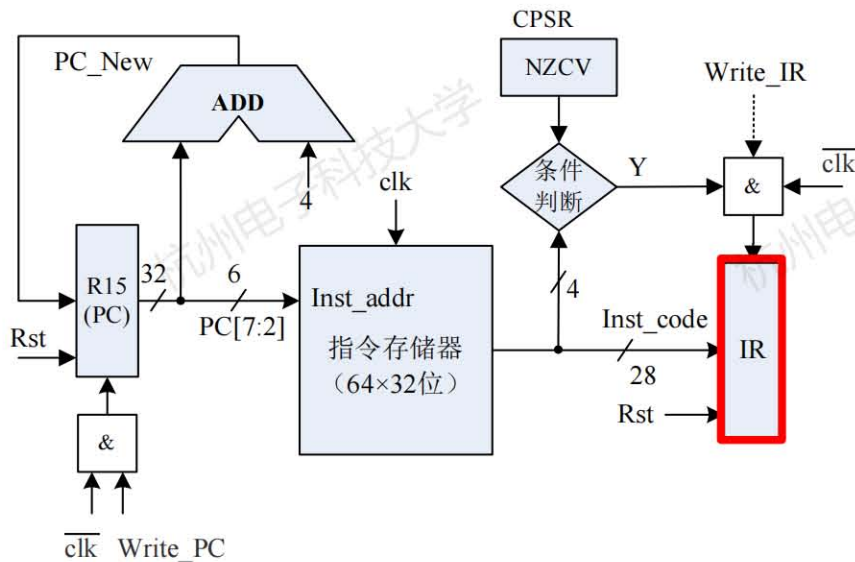
**C** 表示进位/借位标志

**V** 表示溢出标志位

来自CPSR寄存器的高 4 位 CPSR[31:28]

无条件执行

条件码	助记符	标志位	含义
0000	EQ	Z=1	相等
0001	NE	Z=0	不相等
0010	CS	C=1	无符号数大于或等于
0011	CC	C=0	无符号数小于
0100	MI	N=1	运算结果为负数
0101	PL	N=0	运算结果为正数或零
0110	VS	V=1	运算结果溢出
0111	VC	V=0	运算结果未溢出
1000	HI	C=1 and Z=0	无符号数大于
1001	LS	C=0 or Z=1	无符号数小于或等于
1010	GE	N=V	有符号数大于或等于
1011	LT	N≠V	有符号数小于
1100	GT	Z=0 and N=V	有符号数大于
1101	LE	Z=1 or N≠V	有符号数小于或等于
1110	AL	any	无条件执行指令





## 2、实验内容与原理

12



- **实验内容：**实现一个只读的指令存储器，设计取指令数据通路，实现取指令模块结构，并完成取指令的条件判断。

(1) 取指令模块

(2) 用Verilog HDL设计有限状态机

(3) 顶层测试模块

商用ARM V7处理器采用普林斯顿结构

本实验采用哈佛结构来设计ARM V7模型机的存储器





## (2)取指令模块

13

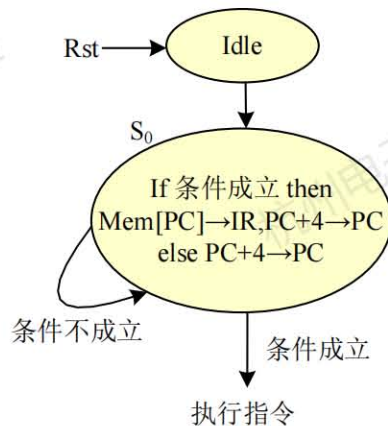
### ■ 取指令状态转换图

在指令周期中第一个机器周期的clk上跳沿，执行取指令操作，

在 clk 下跳沿更新PC值

当  $Rst=1$  时系统重启，PC 清零。

对应  $S_0$  状态，在一个机器周期内执行。根据 PC 值从指令存储器中取出 32 位的指令，根据指令高 4 位所指定的条件，判断 CPSR 寄存器中高 4 位条件标志 NZCV 是否符合要求。若条件成立，则将 32 位指令写入指令寄存器 IR，并且  $PC+4 \rightarrow PC$ ；否则不执行指令，将  $PC+4 \rightarrow PC$ ，进入下一条指令的取指令状态。







## (2) 用Verilog HDL设计有限状态机

14

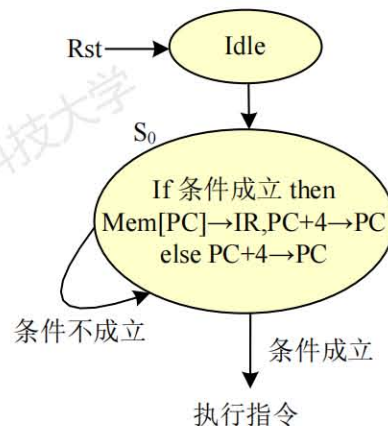


### 编程实现流程图和状态转换图

#### ■ 有限状态机的HDL描述:

##### 三段式方法:

- 状态转移、次态函数、输出函数
- 各用一个或者多个独立的**always**或**assign**语句实现





## (2) 用Verilog HDL设计有限状态机

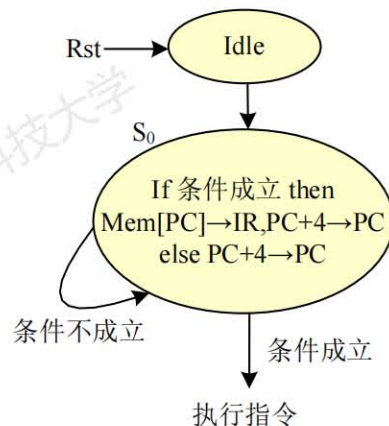
15



### ■ 三段式有限状态机的框架：

#### ① 状态转移

```
always @(posedge Rst or posedge  
clk)  
begin  
    if (Rst) ST <= Idle;  
    else ST <= Next_ST;  
end
```





## (2) 用Verilog HDL设计有限状态机

16



### ■ 三段式有限状态机的框架：

#### ② 次态函数

**always** @(\*)

**begin**

**Next\_ST** = Idle;

**case** (ST)

**Idle:** Next\_ST = S0;

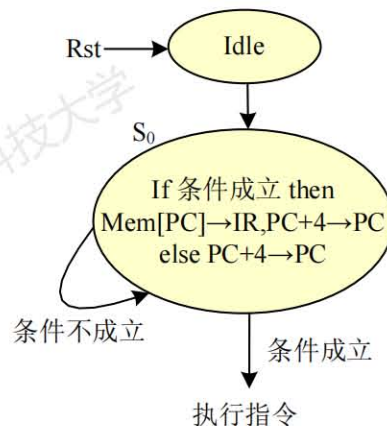
**S0:** if (XXX1) Next\_ST = S1;  
      else Next\_ST = S0;

.....//次态的阻塞式赋值

**default:** Next\_ST = S0;

**endcase**

**end**





## (2) 用Verilog HDL设计有限状态机

17



### ■ 三段式有限状态机的框架:

#### ③ 输出函数

```
always @(posedge Rst or posedge clk)
begin
  if (Rst)
    begin
      write_PC <= 1'b0; write_IR <= 1'b0;
      .....//全部信号初始化为无效/0
    end
  else
    begin
```

```
      case(Next_ST)
        S0:begin
          //信号的非阻塞式赋值
          write_PC <= 1'b1;
          .....
        end
        .....//每个状态下输出的控制信号
      endcase
    end;
end
```





## 2、实验内容与原理

18



- **实验内容：**实现一个只读的指令存储器，设计取指令数据通路，实现取指令模块结构，并完成取指令的条件判断。

(1) 取指令模块

(2) 用Verilog HDL设计有限状态机

(3) 顶层测试模块

商用ARM V7处理器采用普林斯顿结构

本实验采用哈佛结构来设计ARM V7模型机的存储器

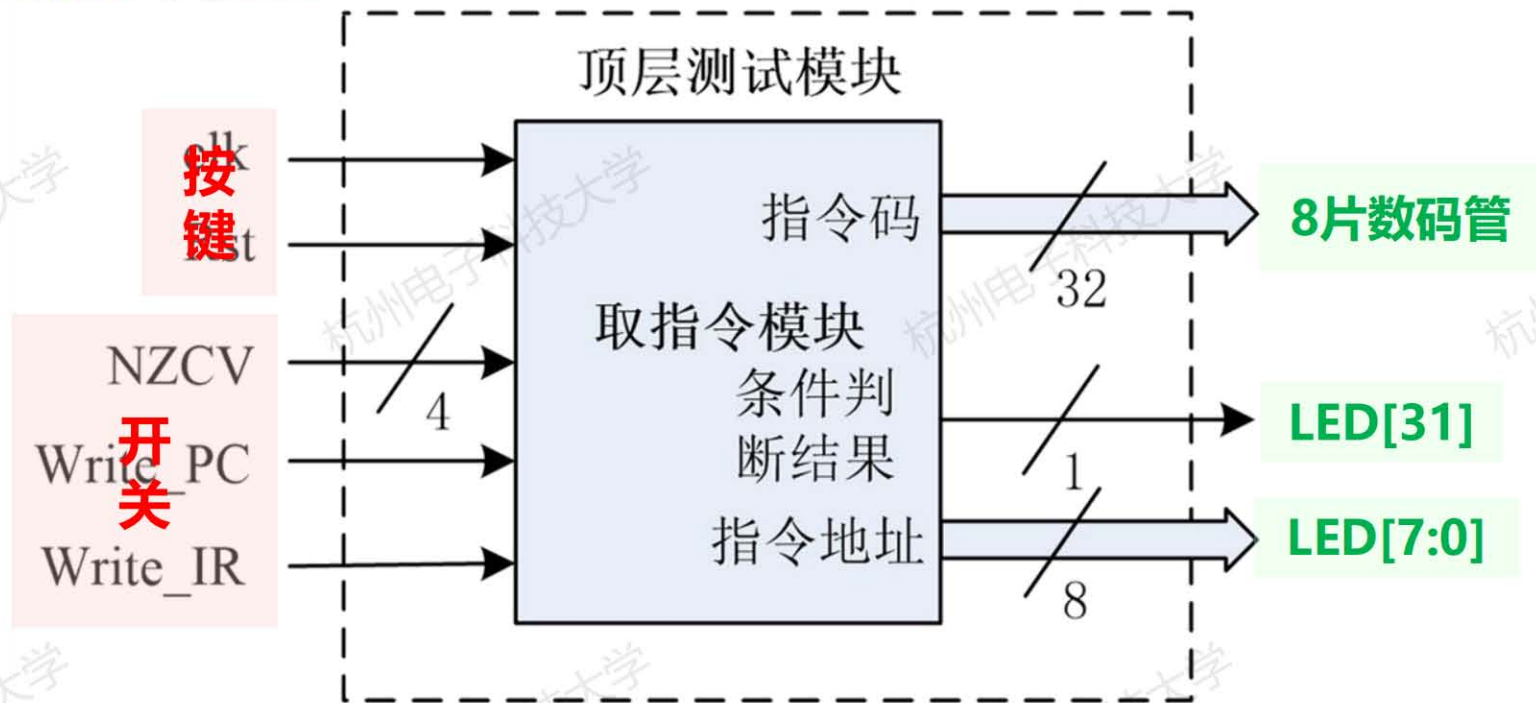




### (3)顶层测试模块

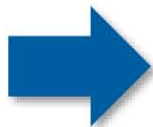
19

#### ■ 取指令模块



# 目录

## 取指令数据通路设计实验



1

实验目的

2

实验内容与原理

3

实验要求

4

实验步骤

5

思考与探索



### 3、实验要求

21



- (1)用Memory IP核生成一个只读的指令存储器，并关联一个test.coe文件，内容如下：

```
memory_initialization_radix=16;
```

```
memory_initialization_vector=e3a0000c,e3a01004,e3a05000,e3a01001,e3a02002,e3a03014,e0533212,e5803004,2afffffc,e4901004,e7905005,e1016090;
```

- (2)编程实现取指令模块，调用指令存储器IP核；
- (3)编程实现条件判断，条件符合时将取出来的指令写入IR中，否则不改写IR寄存器。同时完成PC自增；
- (4)仿真调试；



### 3、实验要求

22



#### (5)引脚配置

	信号	配置设备管脚	功能说明
输入 信号	Rst	按键swb[1]	系统复位
	clk	按键swb[2]	手动时钟输入
	Write_PC、 Write_IR、 NZVC	开关	Write_PC <= sw[31] Write_IR <= sw[30] NZCV <= sw[3:0]
	条件判断结果、 PC[7:2]	LED灯	led[31] = 当前指令执行条件是否成立 Led[7:2]=当前指令字地址
输出 信号	IR	7片数码管	条件成立时显示指令字I[27:0]位的内容
	指令条件码	1片数码管	显示指令字I[31:28]位的内容





## ■ (7) 撰写实验报告

将实验结果填入表中，分析取出的指令代码是否和指令存储器关联文件中的指令码一致？如果不一致，请分析原因。要求选择一些指令，手动输入不同的NZCV标志位的值，造成条件符合和不符合两种情况，观察并记录取指令的结果。要求在实验报告中分析实验结果判断指令存储器、条件判断、PC自增等设计的正确性，以及你对本实验的思考与探索。

PC[7:2]	N Z C V	Write_PC	Write_IR	是否符合执行条件	读出的指令代码	关联文件中指令代码
<div>可根据实验情况增加表格行数</div>						



# 目录

## 取指令数据通路设计实验

1

实验目的

2

实验内容与原理

3

实验要求

4

实验步骤

5

思考与探索





## ■ 实验步骤、思考与探索

■ 详见教材第10章中10.7节

■ 教材信息：

章复嘉、冯建文、包健 编著.《计算机组成原理与系统结构实验指导书（第3版）》. 北京：高教出版社



# THE END



杭州电子科技大学  
HANGZHOU DIANZI UNIVERSITY

DESIGNER: 杭州电子科技大学 国家级计算机实验教学示范中心