

TD2

LOGIQUE SEQUENTIELLE : BASCULES, REGISTRES ET COMPTEURS

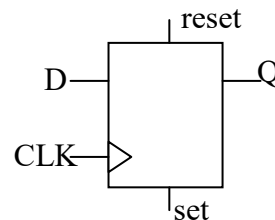
Objectif :

L'objectif de ce TD est de décrire différents circuits de logique séquentielle.

I. Bascule D

1. Modélisez une bascule D avec un SET et un RESET asynchrone dont la table de vérité est donnée ci-dessous.
2. Simulez et testez le comportement.

clk	SET	RESET	D	Q_{n+1}
↑	0	0	0	0
↑	0	0	1	1
x	1	x	x	1
x	0	1	x	0



II. Registre de 8 bits

On désire modéliser un registre à 8 bits à partir de la bascule D de l'exercice précédent en utilisant une description structurelle.

1. Donnez une description structurelle à partir des instructions **component** et **port map**. Simulez et vérifiez le comportement.
2. À partir des instructions **for generate**, donnez une description structurelle d'un registre à 32 bits. On vérifiera le comportement du circuit en le simulant.

III. Registre à décalage de 8 bits (conversion série - parallèle)

On désire modéliser un registre à décalage de 8 bits à chargement parallèle à partir de la description du précédent registre. Le circuit est doté d'une entrée LOAD synchrone et d'une entrée // à 8 bits. Lorsque la commande LOAD est active la valeur interne du registre correspond à la valeur d'entrée. Une commande SHIFT synchrone permet de décaler à chaque cycle d'horloge la valeur interne du registre.

1. Donnez une description structurelle du registre à décalage. Simulez le comportement.
2. À l'aide de l'opérateur de concaténation, modélisez le registre à décalage. Simulez son comportement.

IV. Compteur binaire synchrone

On souhaite modéliser un compteur binaire 4 bits synchrone à l'aide de bascules D.

1. Combien de bascules D sont nécessaires pour synthétiser ce compteur ?
2. Donnez la table de vérité des sorties des bascules.
3. En utilisant la méthode de Marcus, déterminez les équations des entrées des bascules.
4. Décrivez en VHDL l'architecture de compteur.
5. Simulez et vérifiez le comportement de ce compteur.

V. Compteur bi-quinaire synchrone

Dans certaines architectures, il arrive de diviser la fréquence d'une horloge par dix. Pour cela, une des techniques possibles consiste à utiliser un compteur par dix. Il existe deux modes de comptage :

- Compteur BCD de 0 à 9
- Compteur en mode bi-quinary. Ce mode consiste en une division par 5 suivi d'une division par 2. La table de vérité d'un tel compteur est donnée ci-dessous.

BCD Count Sequence (See Note A)					Bi-Quinary (5-2) (See Note B)				
Count	Output				Count	Output			
	Q _D	Q _C	Q _B	Q _A		Q _A	Q _D	Q _C	Q _B
0	L	L	L	L	0	L	L	L	L
1	L	L	L	H	1	L	L	L	H
2	L	L	H	L	2	L	L	H	L
3	L	L	H	H	3	L	L	H	H
4	L	H	L	L	4	L	H	L	L
5	L	H	L	H	5	H	L	L	L
6	L	H	H	L	6	H	L	L	H
7	L	H	H	H	7	H	L	H	L
8	H	L	L	L	8	H	L	H	H
9	H	L	L	H	9	H	H	L	L

1. Quel est l'avantage d'un compteur en mode bi-quinary ?
2. En utilisant la méthode de Marcus, déterminez les équations des entrées des bascules D, pour le compteur bi-quinary
3. Décrivez en VHDL l'architecture de compteur.
4. Simulez et vérifiez le comportement de ce compteur.