**1) A função de um bootloader num sistema baseado num microcontrolador é:**

a) realizar a compilação do software e iniciar a sua execução após o reset do sistema

b) transferir o código executável para o host usado no desenvolvimento para posterior assemblagem ou compilação

c) transferir o código executável do host usado no desenvolvimento para o sistema embedded para posterior execução

d) nenhuma das respostas está correta

**2. A função de um *bootloader* num sistema baseado num microcontrolador é:**

a) transferir o código executável do *host PC* usado no desenvolvimento, para o sistema *embedded* para posterior execução

b) realizar a compilação do *software* e iniciar a sua execução após o *reset* do sistema

c) executar o *software* e auxiliar na sua depuração através da introdução de *breakpoints*, visualização do conteúdo de registos e de posições de memória

d) interagir com o *cross-compiler* para efeitos de depuração da aplicação

**1. Um microcontrolador é um dispositivo programável que:**

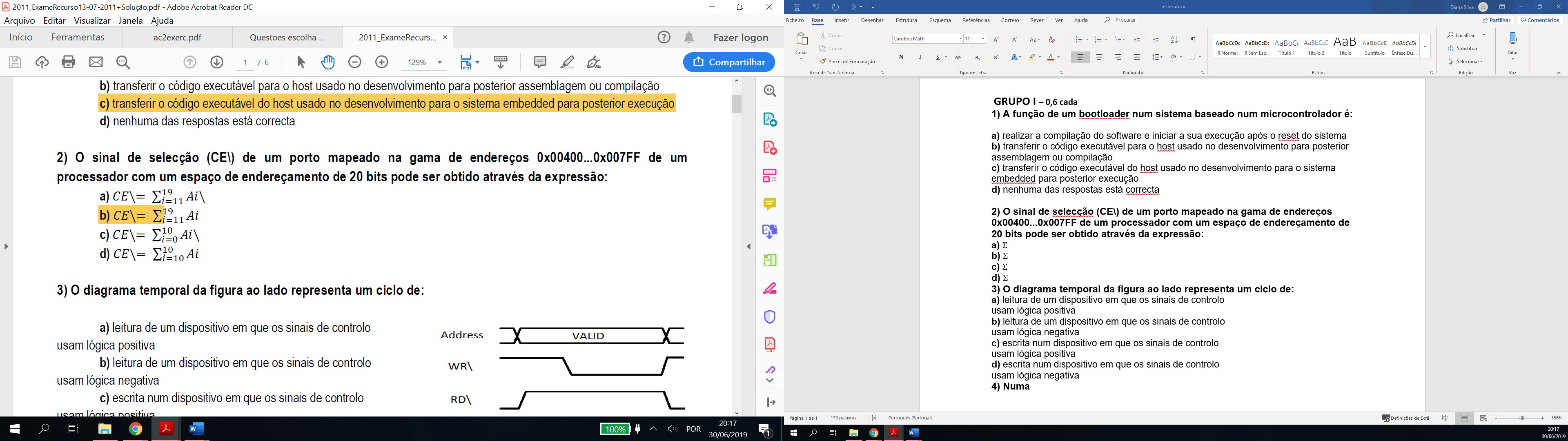
a) disponibiliza através dos portos de I/O a generalidade dos sinais dos barramentos do microprocessador para ligação direta a sensores e atuadores de um sistema embutido

b) integra num único circuito integrado, microprocessador, memória e periféricos

c) devido a restrições de custos não utiliza mecanismos de multiplexagem para partilha de pinos entre diversas funcionalidades

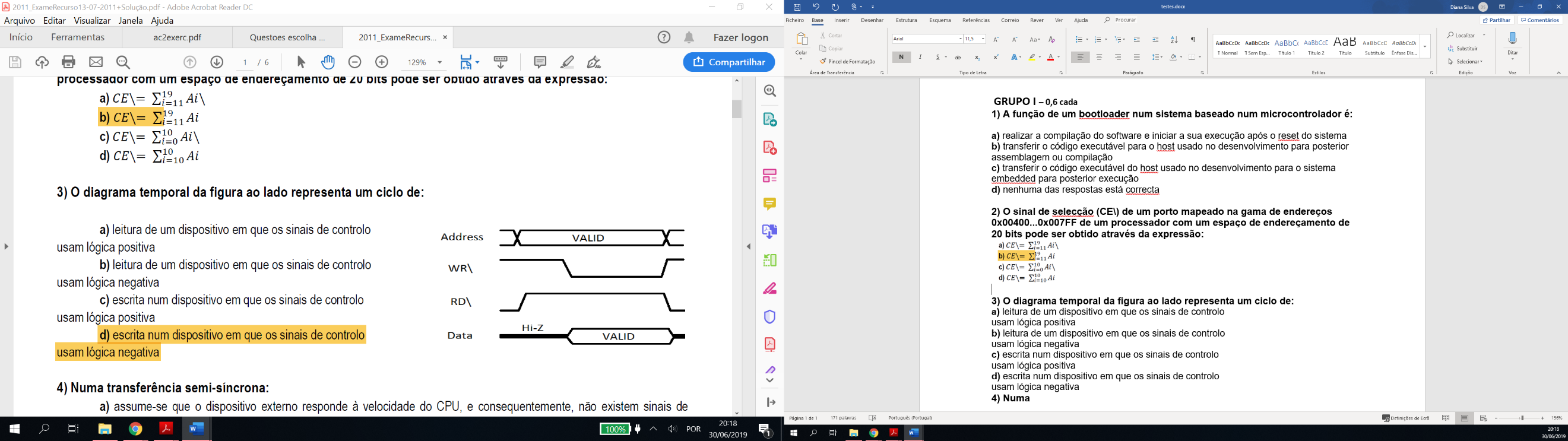
d) todas as restantes respostas estão corretas

**2) O sinal de seleção (CE\) de um porto mapeado na gama de endereços 0x00400...0x007FF de um processador com um espaço de endereçamento de 20 bits pode ser obtido através da expressão:**



**3) O diagrama temporal da figura ao lado representa um ciclo de:**

a) leitura de um dispositivo em que os sinais de controlo

usam lógica positiva

b) leitura de um dispositivo em que os sinais de controlo

usam lógica negativa

c) escrita num dispositivo em que os sinais de controlo

usam lógica positiva

d) escrita num dispositivo em que os sinais de controlo

usam lógica negativa

**5) A figura ao lado corresponde ao diagrama temporal de uma transferência:**

a) assíncrona de escrita, com dados e endereços

disponibilizados numa configuração “*merged*”

b) assíncrona de escrita, com dados e endereços

disponibilizados numa configuração “*micro-ciclo*”

c) síncrona de escrita, com dados e endereços

disponibilizados numa configuração “*micro-ciclo*”

d) síncrona de escrita, com dados e endereços

disponibilizados numa configuração “*merged*”

**6) Um árbitro de um barramento multimaster baseado em prioridade FIFO garante:**

a) a ausência de fenómenos de starvation

b) que é sempre servido o master de maior prioridade com pedido pendente de atribuição de barramento

c) que a atribuição do barramento é fixado pela ordem temporal inversa com que os masters fazem os seus pedidos

d) nenhuma das respostas estão corretas

**7) Numa transferência por DMA, o respetivo controlador:**

a) pode usar o barramento em qualquer instante de acordo com as suas necessidades

b) apenas pode usar o barramento quando o CPU não estiver a aceder à memória ou a unidades de I/O.

c) pode usar o barramento sempre que o árbitro lhe dê permissão para o fazer

d) pode usar o barramento em qualquer instante de acordo com as suas necessidades, desde que respeite um tempo mínimo entre utilizações

**8) Para a transferência de 2048 words (de 32 bits), um controlador de DMA de 32 bits, dedicado, a funcionar em modo cycle-stealing, necessita de pelo menos:**

a) 2048 bus cycles

b) 4096 bus cycles

c) 8192 bus cycles

d) 16384 bus cycles

**9) Num sistema com vários dispositivos interligados por um barramento SPI, em termos de comunicação:**

a) A função dos dispositivos é fixa à partida, podendo apenas existir um master, sendo os restantes obrigatoriamente slaves

b) podem existir, permanentemente, vários masters e vários slaves, configurados nessa função à partida, sendo a comunicação estabelecida entre quaisquer dois desses dispositivos

c) em cada instante apenas pode existir um master, sendo os restantes obrigatoriamente slaves, mas um slave pode tornar-se master se ganhar o processo de arbitragem com outro master de inferior prioridade

d) a função masterslave de cada dispositivo é imposta de acordo com as necessidades, pelo controlador SPI

**11)No barramento SPI:**

a) só é possível transmitir dados entre dois dispositivos em modo half duplex

b) o slave e o master utilizam relógios independentes para sincronizar as transferências de informação

c) as transferências de info são sincronizadas pelo relógio da masterd

d) o master usa o relógio do slave para sincronizar as transferências de informação

**10) Na interface I2C o master seleciona o slave com quem vai comunicar através de:**

a) um sinal de seleção que ativa antes de iniciar a transferência

b) informação transmitida na linha de dados

c) um sinal de seleção através do qual é transferido o endereço do slave

d) um barramento de endereços de 7 bits a partir do qual cada dispositivo descodifica o seu próprio endereço

**12) Na interface I2C o endereçamento/seleção dos dispositivos é realizado através de:**

a) um sinal específico ativado pelo dispositivo que comanda a transferência

b) informação transmitida na linha de relógio pelo dispositivo que comanda a transferência

c) um barramento de endereços de 7 bits a partir do qual cada dispositivo descodifica o seu próprio endereço

d) informação transmitida na linha de dados pelo dispositivo que comanda a transferência

**13. A interface I2C é caracterizada fisicamente por apresentar:**

a) uma linha de relógio e duas linhas de dados (uma para transmitir e outra para receber)

b) uma linha de relógio, uma linha de seleção e uma linha de dados

c)uma linha de relógio e uma linha de dados

d) uma linha de relógio, uma linha de seleção e duas linhas de dados (uma para transmitir e outra para receber)

**11) A técnica “bit dominante/bit recessivo” é utilizada em:**

a) RS232 e CAN

b) I2C e SPI

c) CAN e I2C

d) SPI e CAN

**12) Um cabo USB, de acordo com a versão 2.0 da norma, possui os seguintes condutores:**

a) VBUS e GND para alimentação; D+ e D- para transmissão não-diferencial em modo full-duplex

b) VBUS e GND para alimentação; D+ e D- para transmissão diferencial em modo full-duplex

c) VBUS e GND para alimentação; D+ e D- para transmissão diferencial em modo half-duplex

d) VBUS e GND para alimentação; D+ e D- para transmissão não-diferencial em modo half-duplex

**14. No protocolo USB p/transferir grandes quantidades de dados com garantia de entrega são usadas:**

a) transferências de controlo

b) transferência ”bulk”

c) transferências isócronas

d) transferências de interrupção

**15. A topologia das ligações físicas, no protocolo USB, é:**

a) um anel com um max de 7 dispositivos

b) uma estrela com um max de 7 dispositivos

c) uma arvore com um max de 127 níveis

d) uma arvore com um máximo de 7 níveis

**13) O número total de pinos (excluindo as linhas de alimentação) de um circuito integrado de uma memória dinâmica DRAM de 2Mx8, com um sinal único de controlo de leitura/escrita é:**

a) 21 c) 31

b) 22 d) 32

**14) Suponha que dispõe de 64 circuitos de memória de 4Mx2. Usando todos estes circuitos é possível construir um módulo de memória de:**

a) 4Mx64

b) 8Mx32

c) 16Mx8

d) 32Mx16

**15) O *dirty-bit* é usado numa cache com política de escrita:**

a) *write-through* para indicar que a informação armazenada no respetivo bloco foi alterada

b) *write-back* para indicar que a informação armazenada no respetivo bloco foi alterada

c) *write-through* para indicar que o respetivo bloco não está a ser usado

d) *write-back* para indicar que o respetivo bloco não está a ser usado

**16) Numa cache com associatividade de 4 de 8kBytes e 128 linhas, o número de comparadores necessários para comparar o campo *tag* de um endereço de acesso à memória é:**

a) 4

b) 128

c) 512

d) 8192

**20. O número de comparadores necessário para a implementação de uma cache de mapeamento direto é de 16Kbytes, blocos de 64 bytes e 256 linhas:**

a)256

b)1

c)16

d)64

**17) A técnica de memória virtual permite:**

a) a utilização de memória cache no processador para aumentar a dimensão aparente da memória física do sistema

b) que a dimensão da memória física disponível exceda o limite do espaço de endereçamento de um processo

c) implementar mecanismos de proteção através da independência dos espaços de endereçamento de cada processo

d) todas as restantes respostas estão corretas

**14)A técnica de memória virtual permite:**

a) A utilização de armazenamento secundário para aumentar a dimensão aparente da memória física

do sistema

b) Que o espaço de endereçamento de um processo excede o limite de memória física disponível

c) Implementar mecanismos de proteção dada a independência dos espaços de endereçamento de

cada processo.

d) Todas estão certas

**18) A tradução de endereços virtuais em endereços físicos consiste na tradução de:**

a) *physical page number* no *virtual page number* e sua justaposição com o *page offset* no endereço produzido pelo CPU

b) *physical page offset* no *virtual page offset* e sua justaposição com o *page number* no endereço produzido pelo CPU

c) *virtual page offset* no *physical page offset* e sua justaposição com o *page number* no endereço produzido pelo CPU

d) *virtual page number* no *physical page number* e sua justaposição com o *page offset* no endereço produzido pelo CPU

**19) As páginas de memória virtual possuem normalmente:**

a) a mesma dimensão dos blocos da cache para tornar partido das transferências por DMA

b) a mesma dimensão dos blocos da cache para tornar partido das transferências por interrupção

c) uma dimensão de alguns milhares de bytes para tirar partido das transferências por DMA

d) uma dimensão de alguns milhares de bytes para tirar partido das transferências por interrupção

**20) Num dado processador um endereço virtual é representado com 32 bits, dos quais 10 bits são usados para o *page offset*. Este processador é usado num sistema com 1GBytes de memória física. Nestas circunstâncias, o número de páginas virtuais e físicas é, respetivamente:**

a) 4M e 1M

b) 4M e 1k

c) 4G e 1M

d) 4G e 1k

**10) Num device driver para uma UART (porta série RS232) utilizam-se tipicamente:**

a) Estruturas de dados do tipo FIFO como meio de comunicação com a aplicação de alto nível,

sendo o envio e receção de caracteres da UART processados por interrupt.

b) Interrupções para sinalizar a aplicação de alto nível de que foi recebido um novo caracter

ou que a UART está disponível para o envio de um caracter

c)

d) Buffer circular para receção e envio de um caracter por *polling*

**11) Sabendo que num dado sistema computacional cada Bus Cycle quer para leitura quer para escrita, demora 100ns. Para a transferência de 512 words (de 32 bits), um controlador de DMA de 16 bits, não dedicado, a funcionar em modo bloco, necessita de:**

a) 51,2 μs

b) 102,4 μs

c) 204,8 μs

d) Nenhuma das respostas está correta

**21) Considere um timer de 16 bits, com reset síncrono, com uma frequência de entrada de 1MHz, que funciona, em modo alternado, com duas constantes de divisão KA e KB. Utilizando o timer como divisor de frequência, e supondo que o tempo a “1” do sinal é determinado pela constante KA, para se obter à saída um sinal com um período de 2ms e duty-cycle de 25%, as constantes KA e KB deverão valer, respetivamente:**

a) 500 e 1500

b) 1500 e 500

c) 499 e 1499

d) 1499 e 499

**22) Considere um sistema baseado num CPU a funcionar a uma frequência de 10MHz, com uma taxa de execução de 2,5 MIPS que processa por interrupção eventos externos periódicos. Se a latência máxima no atendimento a uma interrupção for de 5 ciclos de relógio, e a rotina de serviço à interrupção tiver 30 instruções, a máxima frequência a que esses eventos podem ocorrer é, respetivamente:**

a) 71kHz

b) 80kHz

c) 200kHz

d) 285kHz

**23) Considere um CPU a funcionar a uma frequência de 50MHz ligado a uma memória com um tempo de acesso de 38ns. O CPU suporta transferências do tipo semi-síncrono, estando o ciclo de leitura, sem wait-states, representado na figura ao lado (note o tempo de setup de 3ns). No barramento de dados que interliga o CPU e a memória, existe um buffer com um tempo de propagação de 5ns e o descodificador que gera o sinal de seleção para a memória apresenta um atraso de propagação de 7ns. Para que este sistema funcione corretamente, o número de wait-states que é necessário introduzir no ciclo de leitura é:**

****a) 0

b) 1

c) 2

d) 3

**24) Um dispositivo com interface RS232 e configurado para transmitir com 7 bits de dados, paridade par e 2 stop bits, produz a trama seguinte que é recebida por outro dispositivo RS232 incorretamente, configurado para 8 bits de dados, paridade ímpar e 1 stop bit, mas com o mesmo *baud rate*. Nestas circunstâncias o recetor:**

a) vai detetar um erro de paridade

b) vai detetar uma trama inválida devido a um

número incorreto de stop bits

c) vai detetar um erro de paridade e uma trama

inválida devido a um número incorreto de stop bits

d) não vai detetar qualquer erro

**19) Um dispositivo com interface RS232 é configurado para transmitir com 7 bits de dados, paridade par, e 2 *stop bits*, produz a trama seguida que é recebida por outro dispositivo RS232 incorretamente configurado para 8 bits de dados, paridade par e 1 *stop bit* mas com o mesmo *baudrate*. Nestas circunstâncias o recetor:**

a) Vai detetar uma trama inválida devido a um número incorreto de *stop bits*

b) Vai detetar um erro de paridade

c) Vai detetar um erro de paridade e uma trama inválida devido a um número incorreto de *stop bits*

d) Não vai detetar qualquer erro

**25) Considere um processador com um espaço de endereçamento de 32 bits e uma memória cache com associatividade de 2, de 16kByte e blocos de 32 bytes. A dimensão, em bits, dos campos *tag*, *set*, e *byte* é:**

a) tag: 19; set: 8; byte: 5

b) tag: 18; set: 9; byte: 5

c) tag: 13; set: 14; byte: 5

d) tag: 14; set: 16; byte: 2

**20) Considere um sistema de supervisão, baseado no protocolo I2C, que recolhe periodicamente informação proveniente de 10 sensores de temperatura, cada um deles com uma resolução de 8 bits (i.e. 8 bits de dados). O tempo mínimo que o master, a funcionar com uma frequência de relógio de 400KHz, necessita para adquirir os valores de todos os sensores (cada um implementado num slave distinto) é, aproximadamente:**

a) 0,40ms

b) 0,45ms

c) 0,50ms

d) Nenhuma das respostas está correta

**26) O número total de bits de armazenamento (dados e controle) necessário para a implementação de uma memória cache com associatividade de 2, de 16kByte e blocos de 32bytes, com política de escrita do tipo *write-back*, num espaço de endereçamento de 32 bits, é:**

a) 140288

b) 140800

c) 141312

d) 141824

**27) Num sistema que suporta um nível de cache e memória virtual:**

a) no espaço de armazenamento secundário (disco) estão armazenadas as páginas de memória virtual mais recentemente acedidas e na memória cache estão armazenados os blocos dessas páginas mais recentemente acedidos

b) os blocos da cache e as páginas de memória são tipicamente da mesma dimensão

c) enquanto é efetuado o processamento de um *page fault* de um processo, o processador pode estar ocupado a executar outro processo

d) todas as restantes respostas estão corretas

**24) O número mínimo de bits de controlo (excluindo os de dados) necessários para a implementação de uma memória cache com mapeamento direto, de 64Kbyte de dados organizados em blocos de 16 Bytes, com política de escrita do tipo *write-through*, num espaço de endereçamento de 32 bits é:**

a) 64K

b) 68K

c) 72K

d) Superior a 100K

**26) Na técnica de memoria virtual, o número de entradas TLB é:**

a) depende da implementação sendo sempre muito inferior ao número máximo de entradas da page table

b) igual ao número máximo de páginas virtuais

c) igual ao número máximo de páginas virtuais de memórias usadas pelo processo em execução

d) igual ao número de entradas da page table

**28) Num sistema de memória virtual de 32 bits em que a dimensão da página é de 2kBytes, a page table de cada processo tem um total de:**

a) 4k entradas

b) 1M

c) 2M

d) nenhuma das anteriores

**3. O modelo de programação de um periférico especifica:**

a) o sub-conjunto de instruções *assembly* do CPU suportadas por esse periférico

b) os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores

c) as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado

d) o conjunto de registos, respetivos campos e modos de acesso suportados pelo periférico

**1. O modelo de programação de um periférico especifica:**

a) a funcionalidade do periférico e o conjunto de registos de dados de controlo e de status

b) o subconjunto de instruções *assembly* do CPU suportadas por esse periférico

c) os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores

d) as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado

**4. A descodificação de endereços consiste em:**

a) determinar, em função do endereço presente no barramento, qual o periférico ou memória que deve ser selecionada

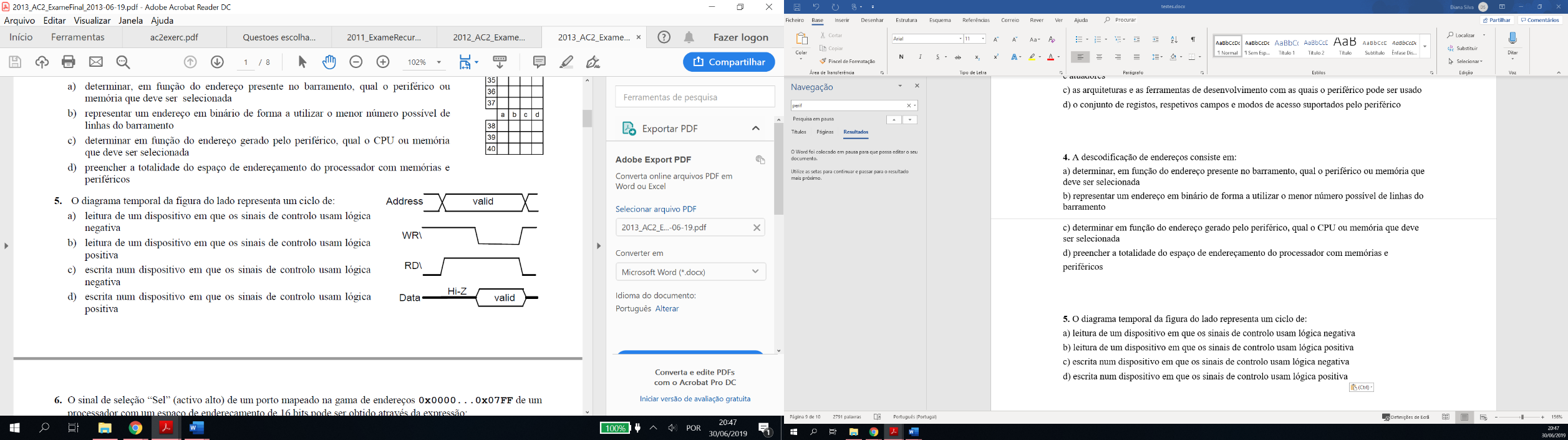
b) representar um endereço em binário de forma a utilizar o menor número possível de linhas do barramento

c) determinar em função do endereço gerado pelo periférico, qual o CPU ou memória que deve ser selecionada

d) preencher a totalidade do espaço de endereçamento do processador com memórias e

periféricos

**5. O diagrama temporal da figura do lado representa um ciclo de:**

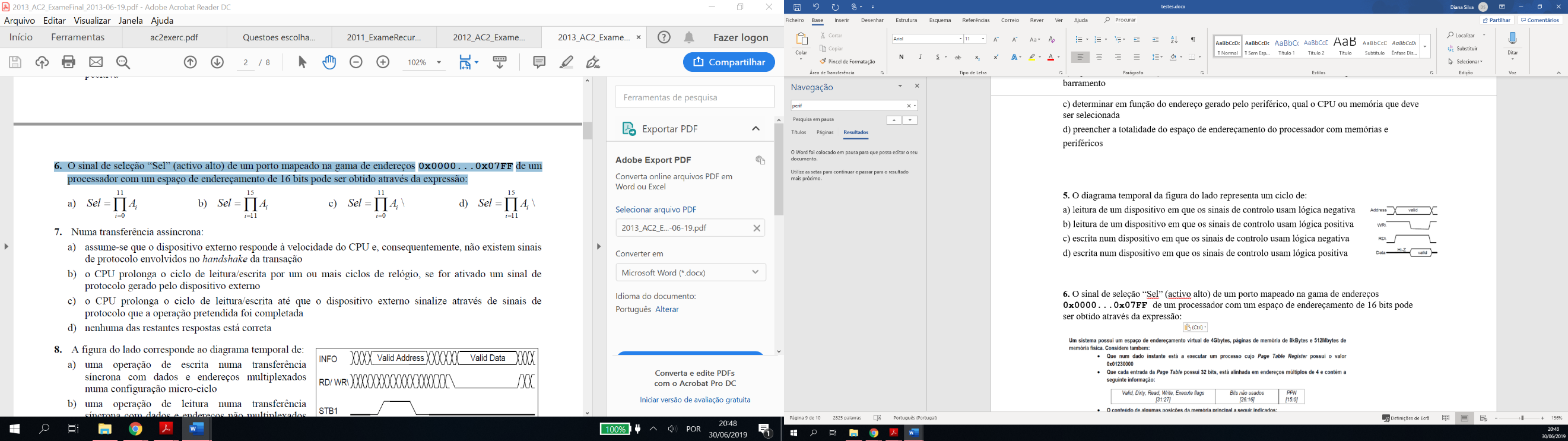
a) leitura de um dispositivo em que os sinais de controlo usam lógica negativa

b) leitura de um dispositivo em que os sinais de controlo usam lógica positiva

c) escrita num dispositivo em que os sinais de controlo usam lógica negativa

d) escrita num dispositivo em que os sinais de controlo usam lógica positiva

**6. O sinal de seleção “Sel” (ativo alto) de um porto mapeado na gama de endereços 0x0000...0x07FF de um processador com um espaço de endereçamento de 16 bits pode ser obtido através da expressão:**



**7. Numa transferência assíncrona:**

a) assume-se que o dispositivo externo responde à velocidade do CPU e, consequentemente, não existem sinais de protocolo envolvidos no *handshake* da transação

b) o CPU prolonga o ciclo de leitura/escrita por um ou mais ciclos de relógio, se for ativado um sinal de protocolo gerado pelo dispositivo externo

c) o CPU prolonga o ciclo de leitura/escrita até que o dispositivo externo sinalize através de sinais de protocolo que a operação pretendida foi completada

d) nenhuma das restantes respostas está correta

**4) Numa transferência semi-síncrona:**

a) assume-se que o dispositivo externo responde à velocidade do CPU, e consequentemente, não existem sinais de protocolo envolvidos na transação

b) O CPU prolonga o ciclo de leitura/escrita por um ou mais ciclos de relógio, se for ativado um sinal de protocolo gerado pelo dispositivo externo

c) O CPU prolonga o ciclo de leitura/escrita até que o dispositivo externo sinalize que a operação pretendida foi completada

d) nenhuma das respostas está correta

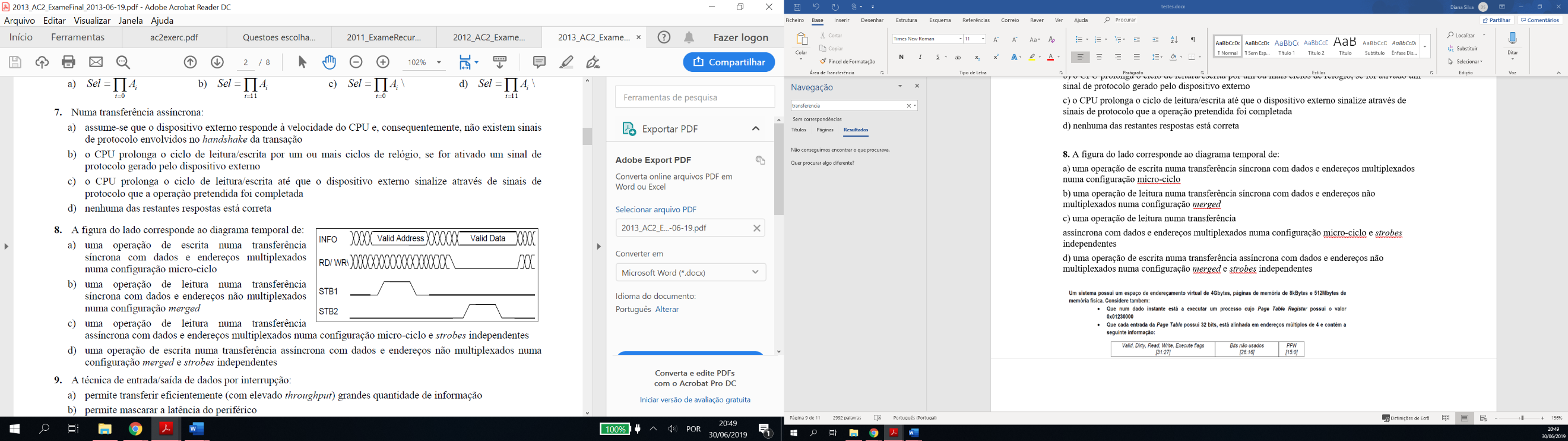
**29) Numa transferência do tipo síncrono:**

a) É necessário um sinal de Acknowledge gerado pelo periférico.

b) A transferência efetua-se apenas nas transições do sinal de relógio.

c) O periférico sinaliza o fim da transferência através de um sinal deWait.

d) Nenhuma das anteriores está correta.

**8. A figura do lado corresponde ao diagrama temporal de:**

a) uma operação de escrita numa transferência síncrona com

dados e endereços multiplexados numa configuração micro-ciclo

b) uma operação de leitura numa transferência síncrona

com dados e endereços não multiplexados numa configuração *merged*

c) uma operação de leitura numa transferência assíncrona com dados

e endereços multiplexados numa configuração micro-ciclo e *strobes* independentes

d) uma operação de escrita numa transferência assíncrona com dados e endereços não multiplexados numa configuração *merged* e *strobes* independentes

**9. A técnica de entrada/saída de dados por interrupção:**

a) permite transferir eficientemente (com elevado *throughput*) grandes quantidade de informação

b) permite mascarar a latência do periférico

c) consiste na execução de um ciclo de *polling* que é interrompido quando o periférico estiver pronto para realizar a transferência

d) consiste na interrupção do periférico sempre que o CPU pretende transferir informação

**3.Quando é usada a técnica de entrada/saída de dados por interrupção:**

a) o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados

b) o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir dados

c) o CPU interrompe a execução do programa para configurar o controlador de DMA que fará a transferência propriamente dita

d) o DMA verifica através de um ciclo de polling se o periférico está pronto para transferir os dados e quando tal se verifica gera um pedido de interrupção do CPU

**10. Quando é usada a técnica de entrada/saída de dados por DMA:**

a) o CPU verifica através de um ciclo de *polling* ao registo de dados do controlador de DMA se a transferência já foi concluída

b) o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados

c) o CPU configura o controlador de DMA que fará por *software* a transferência propriamente dita

d) o CPU configura o controlador de DMA que fará por *hardware* a transferência propriamente dita

**13. Suponha que pretende interligar, através de um protocolo/interface série, dois sistemas computacionais que distam de alguns metros numa linha de produção com elevados níveis de interferência eletromagnética, um ligado a um sensor e outro correspondendo a um computador de controlo. O standard mais adequado a este cenário de aplicação é:**

a) SPI

b) I2C

c) CAN

d) RS232

**14. No standard RS-232 um dos tipos de erro de comunicação que é detetado é o erro de *framing*. Esse erro ocorre quando o recetor:**

a) recebe um número de bits a "1" que não corresponde à paridade programada

b) recebe um bit de paridade diferente do programado

c) deteta um número de bits no campo de dados diferente do programado

d) recebe como *stop* bit um bit com o nível lógico "0"

**10. Na interface RS-232 uma das fontes de erro do instante de amostragem dos vários bits no recetor é o “erro de fase”. Esse erro diminui:**

a) com o aumento do número de stop bits

b) com a diminuição do tamanho da trama

c) com a diminuição do fator de sobreamostragem

d)com o aumento do fator de sobreamostragem

**15. A interface SPI permite a comunicação entre:**

a) um *master* e vários *slaves*, numa ligação em *daisy-chain*, sendo o sinal de relógio implícito

b) um *master* e vários *slaves*, numa ligação com sinais de seleção individuais, sendo o sinal de relógio explícito

c) vários *masters* e vários *slaves*, numa ligação com sinais de seleção individuais, sendo o sinal de relógio implícito

d) vários *masters* e vários *slaves*, numa ligação com sinais de seleção individuais, sendo o sinal de relógio explícito

**21. Num espaço de endereçamento de 16 *bits*, um descodificador implementado através da expressão lógica "Sel\ = A15 + A13\ + A12 + A11\", descodifica a(s) seguinte(s) gama(s) de endereço(s):**

a) 0x2000 a 0x27FF, 0x6000 a 0x67FF

b) 0x2800 a 0x2FFF, 0x6800 a 0x6FFF

c) 0x9000 a 0x97FF, 0xD000 a 0xD7FF

d) 0x9800 a 0x9FFF, 0xD800 a 0xDFFF

**22. Num porto de entrada constituído por *buffers tri-state* (na ligação entre os sinais externos e o barramento de dados do processador), o sinal de *Enable* ativo alto é obtido a partir dos sinais Sel\ e RD\ (ambos ativos baixos) de acordo com a expressão lógica:**

a) Enable = Sel\ . RD\

b) Enable = (Sel\ . RD\)\

c) Enable = Sel\ + RD\

d) Enable = (Sel\ + RD\)\

**23. Num sistema de interrupções com uma única linha e identificação da fonte por *software*, a sequência de operações efetuada durante o atendimento a uma interrupção é, pela ordem indicada, a seguinte:**

a) identificação da fonte, determinação do endereço da RSI, salvaguarda do endereço de retorno, salto para a RSI

b) salto para a RSI, identificação da fonte, salvaguarda do endereço de retorno

c) determinação do endereço da RSI, identificação da fonte, salvaguarda do endereço de retorno, salto para a RSI

d) salvaguarda do endereço de retorno, salto para a RSI, identificação da fonte

**24. Na organização do sistema de interrupções designada por "interrupções vetorizadas", o processador obtém o vetor que identifica o periférico gerador da interrupção:**

a) por *hardware* num ciclo de *interrupt acknowledge* durante o qual o periférico gerador da interrupção o coloca no barramento de dados

b) por *hardware* através da leitura do valor presente no barramento de endereços uma vez que quando o periférico ativa a linha de interrupção coloca simultaneamente nesse barramento o seu vetor

c) por *software* na rotina de serviço à interrupção "questionando" cada um dos periféricos do sistema

d) por *software*, antes de chamar a rotina de serviço à interrupção "questionando" cada um dos periféricos do sistema

**25. Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência:**

a) ativa o sinal *busreq* durante um número fixo de ciclos de relógio, efetuando de seguida a transferência

b) ativa o sinal *busreq*, efetuando a transferência logo que se torne no *bus master*

c) gera uma interrupção que é interpretada pelo CPU como um pedido de cedência dos barramentos; a transferência é efetuada quando o DMA reconhecer a ativação do sinal *busgrant*

d) sinaliza o CPU, através da linha *busreq*, que vai dar início à transferência e inicia-a de imediato; o sinal *busgrant* é utilizado pelo CPU para suspender a atividade do DMA

**27. Considere um *timer* de 16 bits, com *reset* assíncrono, com uma frequência de entrada de 1MHz, que funciona, em modo alternado, com duas constantes de divisão KA e KB. Utilizando o *timer* como divisor de frequência, e supondo que o tempo a "1" do sinal é determinado pela constante KB, para se obter à saída um sinal com um período de 10ms e *duty-cycle* de 40%, a constante KA deverá valer:**

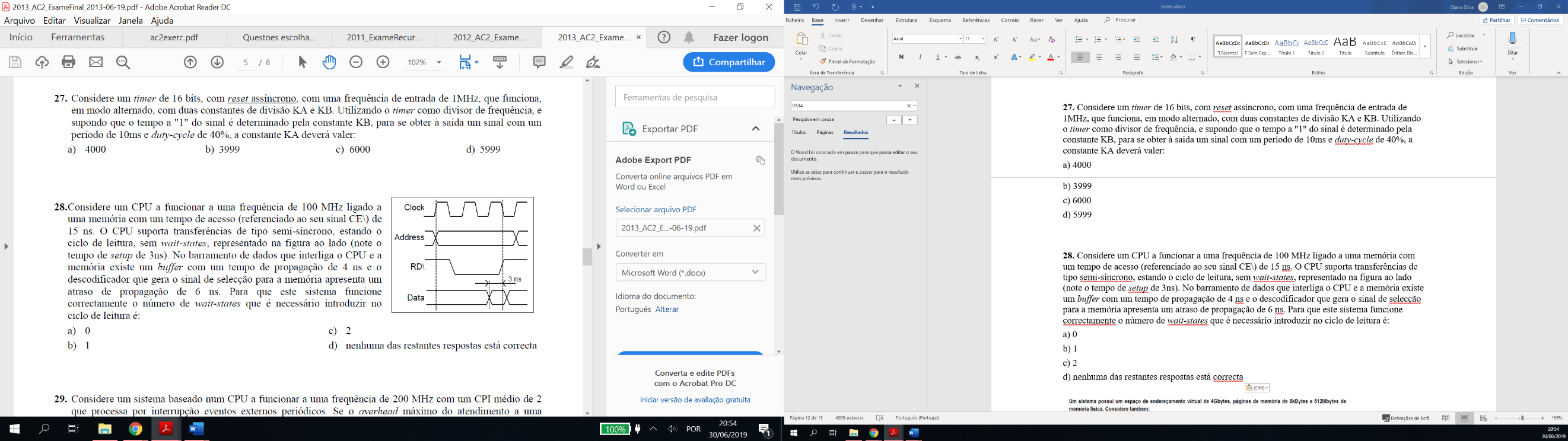
a) 4000

b) 3999

c) 6000

d) 5999

**28. Considere um CPU a funcionar a uma frequência de 100 MHz ligado a uma memória com um tempo de acesso (referenciado ao seu sinal CE\) de 15 ns. O CPU suporta transferências de tipo semi-síncrono, estando o ciclo de leitura, sem *wait-states*, representado na figura ao lado (note o tempo de *setup* de 3ns). No barramento de dados que interliga o CPU e a memória existe um *buffer* com um tempo de propagação de 4 ns e o descodificador que gera o sinal de seleção para a memória apresenta um atraso de propagação de 6 ns. Para que este sistema funcione corretamente o número de *wait-states* que é necessário introduzir no ciclo de leitura é:**

a) 0

b) 1

c) 2

d) nenhuma das restantes respostas está correta

**2. Na arquitetura de um sistema computacional, o data bus permite:**

a) identificar, na memoria externa/periférico, a origem/destino dos dados

b) especificar o tipo de operação efetuada sobre a memoria

c)transferir dados entre a memoria externa/periféricos e os registos do CPU

d) transferir o código máquina das instruções para o program counter

**5.O overhead da transferência de informação por interrupção é devido a:**

a) retorno ao programa interrompido

b) salto para a rotina de serviço à interrupção

c)salvaguarda e reposição do contexto do programa interrompido,i.e, registos internos do cpu.

d) configuração do controlador de interrupções

**8.Considere um timer em que a relação entre as freq. De entrada e de saída é dada por (k+1) em que k é uma constante configurável. Se a freq de entrada do timer for 20MHz e se se pretendes obter á saída um sinal com um período de 2ms, o valor de k deve ser:**

a) k = 20 x 10^9

b) k = 1999

c)k=39999

d) k = 9999

**16.No barramento CAN , cada trama de dados contém**:

a) a identificação do nó produtor de informação

b) a identificação do nó destino da informação

c) a identificação do conteúdo de informação

d) a identificação dos dois nós: o produtor e o destino da informação

**17.No barramento CAN a codificação das tramas de dados utiliza a técnica de “bit stuffing”.Essa técnica :**

a) por cada 5 bits iguais é inserido um de polaridade oposta

b) por cada bit enviado é inserido um de polaridade oposta

c) por cada 5 bits diferentes é inserido um a ‘0’

d) por cada 5 iguais é inserido um a ‘1’

**18. Numa memoria estática SRAM:**

a) as células necessitam de refrescamento regular

b) cada célula de 1 bit é implementada com um mínimo de 6 transístores

c)o tempo de acesso aumenta com o valor do endereço

d) existe um único barramento para os dados e endereços de modo a diminuir o número de pinos do CPU

**19.Numa memoria DRAM de 256Mx1, implementada numa matriz quadrada, o número de barramento de endereços é:**

a) 8

b) 1

c) 27

d) 14

**22.Na técnica normalmente designada “memoria virtual” o número de entradas da page table é:**

a)igual ao número de entradas da memoria TLB

b) igual ao número máximo de páginas físicas

c) igual ao número de páginas de memoria física usadas pelo processo em execução

d)igual ao número máximo de páginas virtuais

**23.O valid bit de uma entrada da page table, quando ativo, indica que:**

a) a respetiva página foi acedia recentemente

b) a respetiva página esta residente em memoria física

c)a informação da respetiva página foi alterada

d)a respetiva pág. esta residente em disco

**25.Num sistema que suporte memoria virtual e cache qual das seguintes situações pode ocorrer acesso á memoria**

a) TLB miss, Page table miss, cache hit

b)TLB miss, Page table hit, cache miss

c) TLB hit, Page table miss, cache miss

d) TLB hit, Page table miss, cache hit

**16) Num processador que detenha sinais específicos para implementar Isolated I/O, o acesso**

**aos periféricos:**

a) Pode apenas ser efetuado por instruções específicas para I/O.

b) Pode apenas ser efetuado pelas mesmas instruções de acesso à memória.

c) Pode ser efetuado por ambos os tipos de instruções, dependendo da forma como esteja

projetado o hardware.

d) Nenhuma das anteriores está correta.

**21) A equação lógica CE\ = A18\ + A17 + A16\ + A15 + X em que X = IO/M\* seleciona um bloco**

**de memória de:**

a) 128K

b) 32K

c) 16K

d) Nenhuma das anteriores está correta.

**25) Num porto de entrada constituído por buffers tri-state, o sinal de ativação ativo baixo**

**(EN\) é obtido a partir dos sinais CE\ e RD\ de acordo com a expressão lógica:**

a) En\ = (CE\ + RD\)\

b) En\ = (CE\ . RD\)\

c) En\= CE\ . RD\

d) En\ = CE\ + RD\

**27) Uma ligação ponto a ponto dispõe dos seguintes sinais: STROBE, ACKNOWLEDGE, R/W\*.**

**Em princípio deverá estar a utilizar um protocolo:**

a) Síncrono

b) Semi-sncrono

c) Handshaken

d) Nenhuma das anteriores

**28) Os protocolos síncronos são vantajosos quando:**

a) Todos os dispositivos presentes no sistema são rápidos

b) Todos os dispositivos presentes no sistema são lentos

c) Os dispositivos presentes no sistema apresentam uma velocidade homogénea

d) Os dispositivos presentes no sistema apresentam uma velocidade heterogénea

**34) Considere-se um CPU que funciona a uma frequência de 500 MHz e o ciclo de leitura**

**corresponde ao da figura. Pretende-se ligar a este CPU uma memória RAM com um tempo de**

**acesso de 15 ns. Sendo uma transferência de tipo semi-síncrono, qual o número de wait-states**

**que é necessário introduzir para que a operação decorra com sucesso?**

a) 2

b) 4

c) 6

d) 8

**50) Um watchdog é um circuito que permite:**

a) Fazer reset ao CPU após uma certa temporização.

b) Receber linhas de interrupção de periféricos e controlar a sua ligação ao CPU.

c) Que um controlador de DMA fique indefinidamente a controlar o barramento após ele

lhe ser atribuído.

d) É evidente que é um animal doméstico.

**52) Considere um watchdog timer, com uma frequência de entrada de 1 MHz, construído a**

**partir de um contador de 8 bits que, sempre que a contagem atinge o valor máximo, força o**

**reset do processador que esta a monitorizar. O programa a correr nesse processador tem que,**

**periodicamente, colocar o valor do contador a 0. De modo a impedir o reset do processador, o**

**período de atuação no watchdog timer não pode ser superior a, aproximadamente:**

a) 0,25 ms

b) 0,5 ms

c) 1,0 ms

d) 2 ms

**59) A fetch e o deposit duram 2 ciclos cada. Considerando uma frequência de 5MHz, 1024**

**palavras para transferir de 32 bits cada e um barramento de dados de 8 bits, a duração da**

**transferência se o controlador de DMA for dedicado funcionando em bloco e a duração se for**

**em modo cycle-stealing, é respetivamente:**

a) 3,3 ms e 4,9 ms

b) 4,9 ms e 3,3 ms

c) 1,6 ms e 4,9 ms

d) 1,6 ms e 3,3 ms

**71) No protocolo SPI o relógio é:**

a) Explícito, gerado pelo Master.

b) Explícito, gerado pelo Slave

c) Implícito

d) Nenhuma das anteriores

**75) A ligação de periféricos em USB é feita com uma topologia de.**

a) Mesh

b) Tiered Star

c) Barramento

d) Qualquer das anteriores

**77) A especificação USB suporta diversos tipos de transferências, entre elas:**

a) Controlo

b) Isócronas

c) Bulk

d) Todas as anteriores

**87) Numa memória estática (SRAM) de 64Mx8 o número de transístores que constitui a área**

**de armazenamento é aproximadamente:**

a) 537x10^6

b) 67 x10^6

c) 403 x10^6

d) 3220 x10^6

**94) O número de bits dos barramentos de endereços e de dados de uma memória dinâmica de**

**16Mx32 é respetivamente:**

a) 24 e 32

b) 32 e 24

c) 12 e 32

d) 16 e 32

**98) Numa memória cache, caso os dados pretendidos não se encontrarem num bloco de nível**

**primário ocorre:**

a) Um hit

b) Um miss

c) O envio de um sinal para o CPU a dizer que a informação está inválida

d) Nenhuma das anteriores

**100) Considere um processador com um espaço de endereçamento de 32 bits e uma memória**

**cache de mapeamento direto com 512 linhas de 128 bytes cada uma. A dimensão, em bits,**

**dos campos tag, group e byte é:**

a) Tag: 7; Group: 16; Byte: 9

b) Tag: 9; Group: 7; Byte: 16

c) Tag: 16; Group: 9; Byte: 7

d) Nenhuma das anteriores

**104) O que é uma Memória Virtual?**

a) Um tipo de memória, onde os seus endereços são diretamente apontados pelo CPU

b) Um protocolo que separa endereços e dados de memória física

c) Uma técnica que permite aumentar a dimensão aparente da memória física do sistema

d) Nenhuma das anteriores

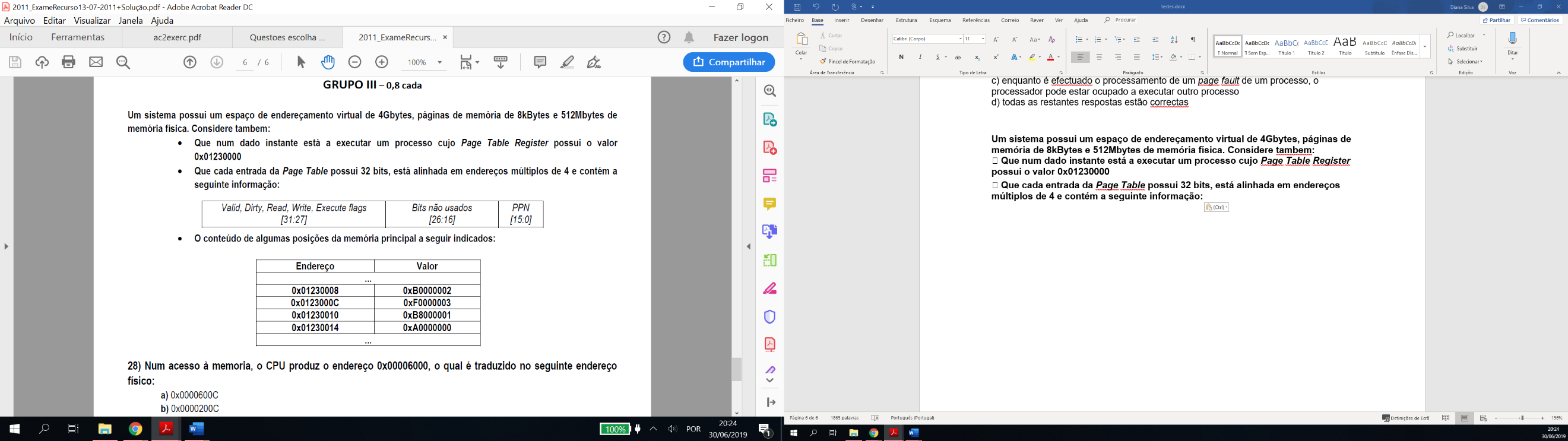
**105) Se uma página que o CPU pretenda aceder não está em memória:**

a) É gerado “page fault”

b) O CPU gera uma exceção e a informação é transferida do disco para a memória

c) Elabora uma tarefa que pode durar milhões de ciclos de relógio

d) Todas as anteriores



28) Num acesso à memoria, o CPU produz o endereço 0x00006000, o qual é traduzido no seguinte endereço físico:

a) 0x0000600C

b) 0x0000200C

c) 0x0000100C

d) nenhuma das respostas estão corretas

29) O processo em execução pode aceder ao endereço virtual 0x0000A010 para:

a) leitura

b) escrita

c) leitura e escrita

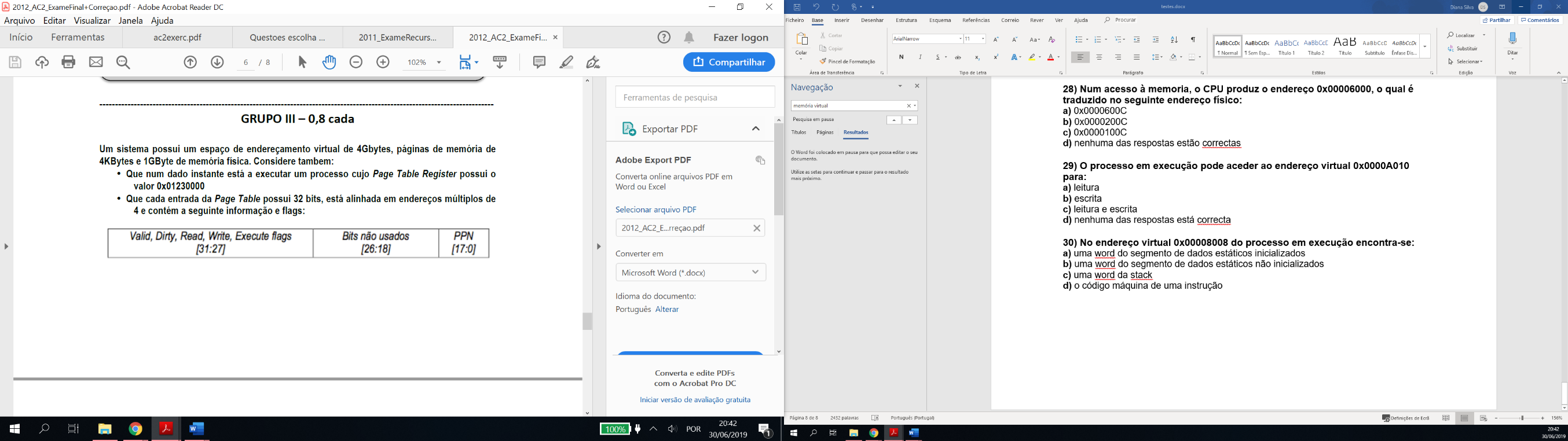
d) nenhuma das respostas está correta

30) No endereço virtual 0x00008008 do processo em execução encontra-se:

a) uma word do segmento de dados estáticos inicializados

b) uma word do segmento de dados estáticos não inicializados

c) uma word da stack

d) o código máquina de uma instrução

