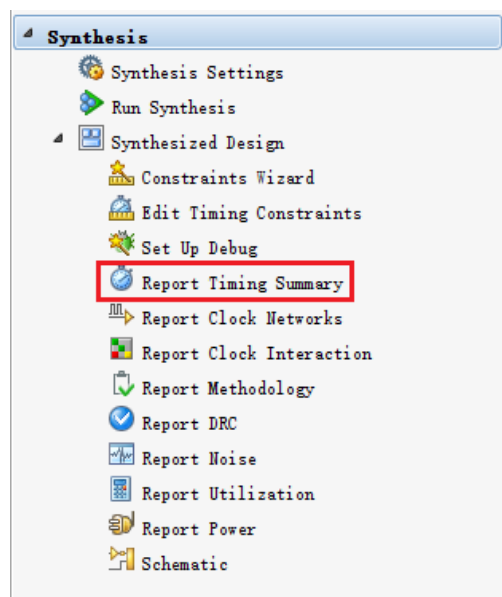


后仿真说明：

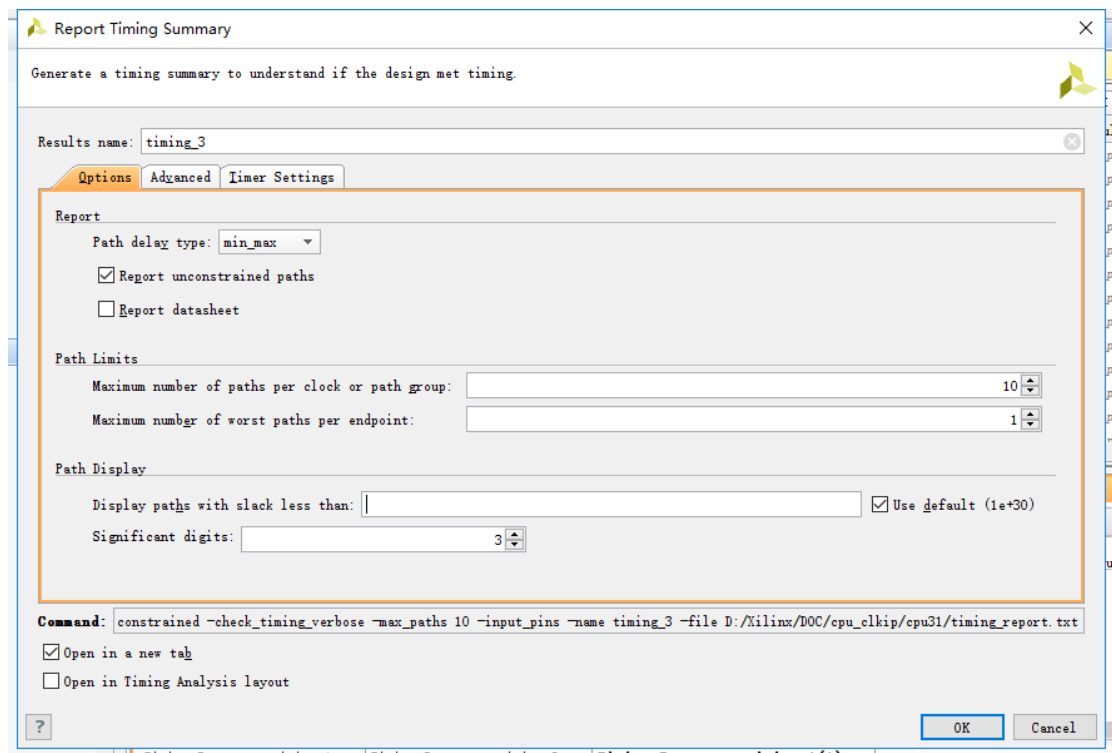
- 后仿真测试前需要先进行综合，所以必须使用 IP 核方式实现的指令存储器。
2. 后仿真测试只能通过观察波形进行验证，无法将结果输出到文件中进行结果的对比。
 3. 后仿真时在 `test_bench` 文件中自己添加 `clk` 和 `reset` 信号，后仿真波形会考虑电路门延迟和线延迟，所以 `clk` 周期设置太小的话可能会引起后仿真结果出错。
 4. 参考实践教学课本4.3节或PDF文件“时序约束和逻辑分析仪使用.pdf”第1-12页内容生成时序报告，并保存为“学号_姓名_timing_report.txt”文件。

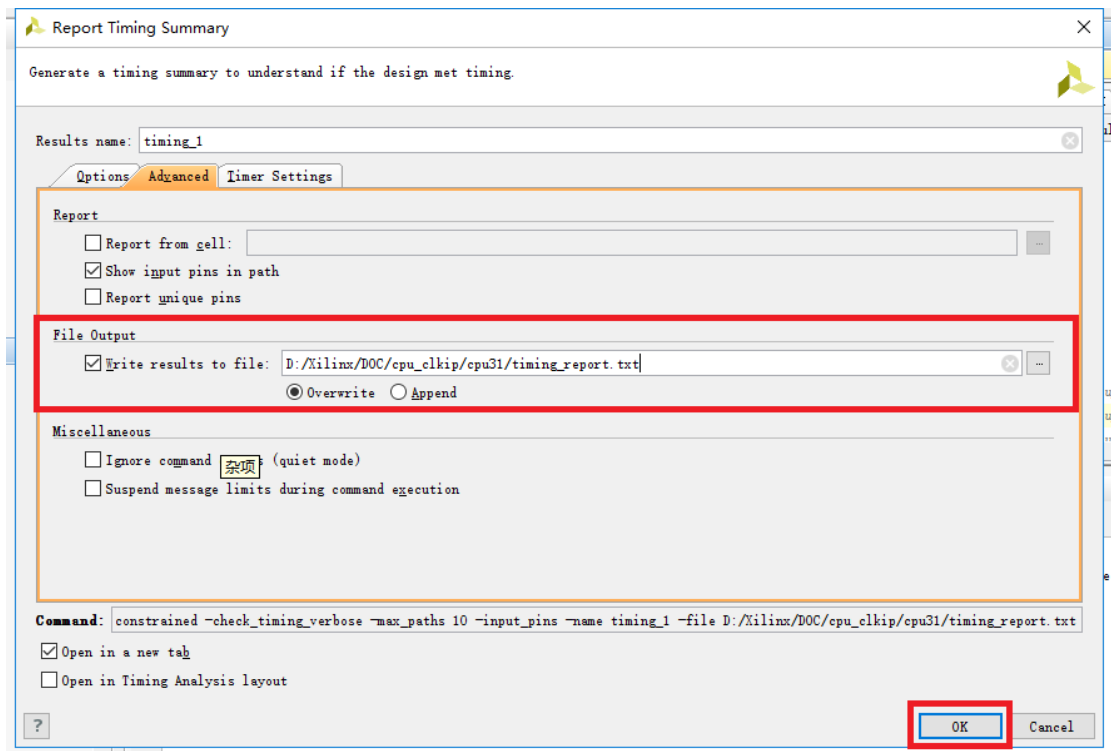
时序报告保存步骤：

- 1) 进入时序报告入口

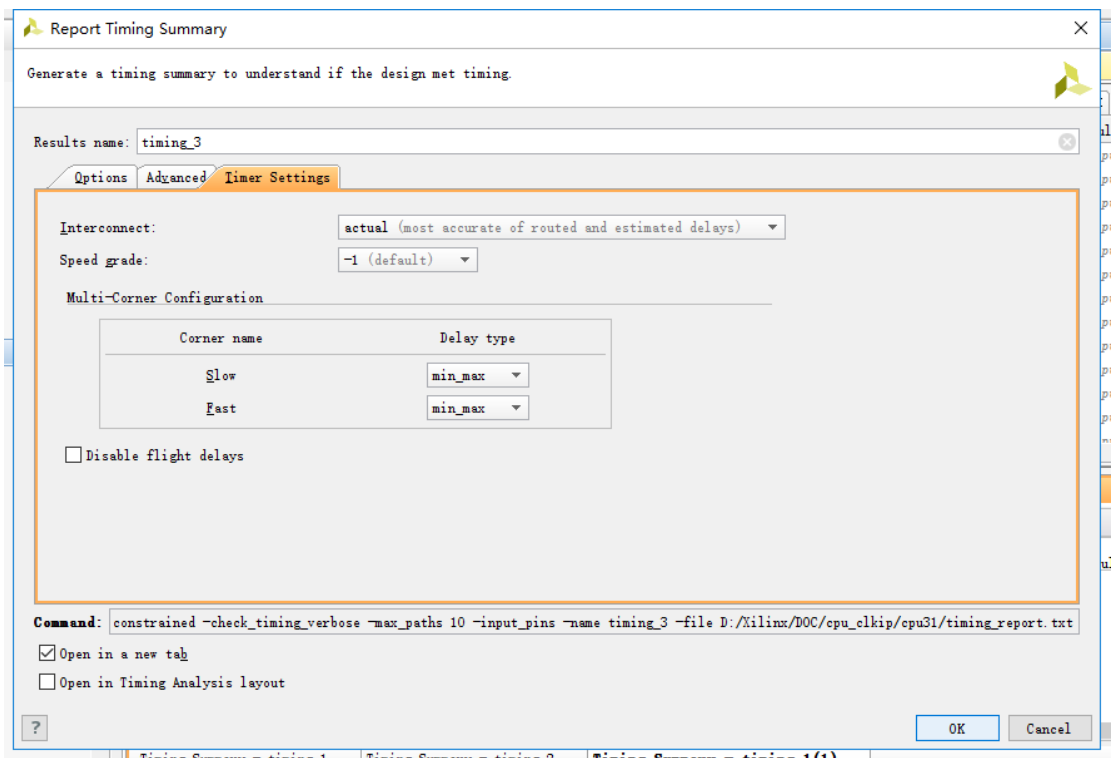


- 2) 设定保存路径等信息

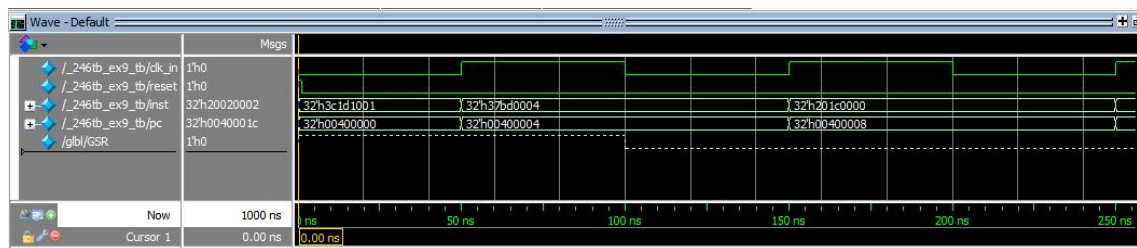




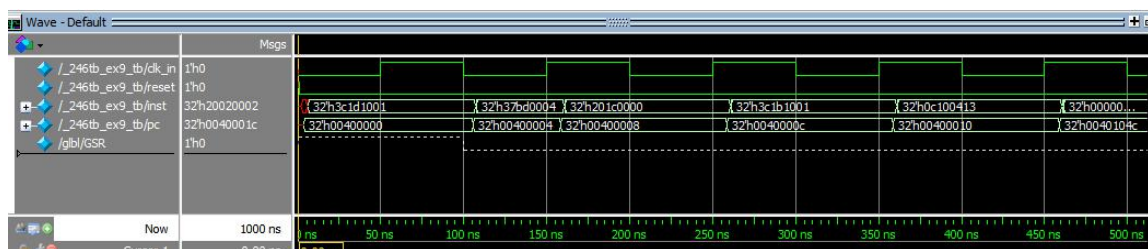
3) 设定配置



5. 后仿真时选择“Run Post-Synthesis Timing Simulation”运行即可显示时序延迟后的波形。如下图(1)是前仿真的波形，图(2)是后仿真的波形



图(1)



图(2)

下板说明:

1. 同学们下板时可以将 PC 寄存器或通用寄存器结果输出到七段数码管上，测试程序自行实现。
2. 下板必须要用 IP 核方式实现的指令存储器。
3. 七段数码管源文件和约束文件分别为“seg7x16.v”和“icf.xdc”。
4. 约束文件接口对应顶层模块定义的接口（已经给了七段数码管接口、板子时钟接入信号 clk_in 和复位信号 reset 的绑定），所以需要将七段数码管模块里的 o_seg 和 o_sel 信号输出到顶层模块。
5. 下板时可以通过设置分频器将 CPU 主频设置成后仿真能通过的最大主频。