

8.6 实验六 54 条指令 CPU 设计

1. 实验介绍

在本次实验中，我们将使用 Verilog HDL 语言实现 54 条 MIPS 指令的 CPU 的设计和仿真，设计的 CPU 可以是单周期的，也可以是多周期。

2. 实验目标

- 深入了解 CPU 的原理。
- 画出实现 54 条指令的 CPU 的通路图。
- 学习使用 Verilog HDL 语言设计实现 54 条指令的 CPU。

3. 实验原理

(1) 54 指令单周期 CPU
实现 54 条 MIPS 指令 CPU，在 31 条指令 CPU 基础上，需要添加的指令见表 7.4.1，其中中断相关指令需要用到 CP0 协处理器，各条指令格式及功能详细说明参阅 MIPS_Architecture_MIPS32_InstructionSet 手册。

表 7.4.1 MIPS 指令集(共 23 条)

Mips 指令集（共 23 条）								
指令	指令说明	指令格式	OP31-26	RS25-21	RT20-16	RD15-11	SA10-6	FUNCT5-0
div	除	DIV rs, rt	000000			00000	00000	011010
divu	除（无符号）	DIVU rs, rt	000000			00000		011011
mult	乘	MULT rs, rt	000000			00000		011000
multu	乘（无符号）	MULTU rs, rt	000000			00000		011001
bgez	大于等于 0 时分支	BGEZ rs, offset	000001		00001			
jalr	跳转至寄存器所指地址，返回地址保存	JALR rs	000000		00000			001001
lbu	取字节（无符号）	LBU rt, offset(base)	100100					
lhu	取半字（无符号）	LHU rt, offset(base)	100101					
lb	取字节	LBU rt, offset(base)	100000					
lh	取半字	LHU rt, offset(base)	100001					
sb	存字节	SB rt, offset(base)	101000					
sh	存半字	SH rt, offset(base)	101001					
break	断点	BREAK	000000					001101
syscall	系统调用	SYSCALL	000000					001100
eret	异常返	ERET	010000	10000	00000	00000	00000	011000

	回							
mfhi	读 Hi 寄存器	MFHI rd	000000	00000	00000		00000	010000
mflo	读 Lo 寄存器	MFLO rd	000000	00000	00000		00000	010010
mthi	写 Hi 寄存器	MTHI rd	000000		00000	00000	00000	010001
mtlo	写 Lo 寄存器	MTLO rd	000000		00000	00000	00000	010011
mfc0	读 CP0 寄存器	MFC0 rt, rd	010000	00000			00000	00000
mtc0	写 CP0 寄存器	MTC0 rt, rd	010000	00100			00000	00000
clz	前导零计数	CLZ rd, rs	011100				00000	100000
teq	相等异常	TEQ rs, rt	000000					110100

(2) 54 条指令单周期 CPU 数据通路设计

54 条指令 CPU 数据通路设计的方法和 31 指令一样：

- 阅读每条指令，对每条指令所需执行的功能与过程都有充分的了解
- 确定每条指令在执行过程中所用到的部件
- 使用表格列出指令所用部件，并在表格中填入每个部件的数据输入来源
- 根据表格所涉及部件和部件的数据输入来源，画出整个数据通路

54 条指令在 31 条的基础上添加了乘除法运算、对 Lo/Hi 寄存器的读写、内存半字和字节的存取操作、CP0 的异常处理指令和 CP0 寄存器的读写，以及一些跳转指令。

乘、除法器模块和 CP0 模块在前面的部分已经有所介绍，在 CPU 中仅需处理相应指令的控制信号和输入输出引脚，剩余的主要是添加对内存块的读写控制。在 CPU 通路中需要加入乘、除法器模块和 CP0 模块。

指令的测试和 31 条指令 CPU 的测试方法类似，对 CP0 模块的测试需要自行编写测试用例，要对 CP0 寄存器的读写功能、异常发生时的跳转功能和异常返回等环节进行测试，主要验证几个关键寄存器值的正确写入和控制信号的判断处理。实验中异常的入口地址为 0x4，可在入口处添加跳转指令，跳入统一的异常处理程序，再判断异常号然后进入相应的处理入口。

(3) 控制部件设计

- 根据每条指令功能，在已形成的数据通路下，画出每条指令从取指到执行过程的指令流程图。
- 根据指令流程图，编排指令取指到执行的操作时间表。
- 根据指令操作时间表，写出每个控制信号的逻辑表达式。
- 根据逻辑表达式，用门电路实现，完成控制部件设计。

(4) 多周期 CPU 设计

按照多周期 CPU 设计原则，设计多周期 54 条指令 CPU 的数据通路及控制部件设计，其设计过程类似于单周期 CPU 设计过程。

(5) CPU 测试

CPU 测试的方法及过程同 31 条指令 CPU 测试。

4. 实验步骤

1. 新建 Vivado 工程，可在 31 指令 CPU 基础上编写各个模块；
2. 用 ModelSim 前仿真逐条测试所有指令；
3. 用 ModelSim 前仿真逐条测试所有指令边界数据；
4. 用 ModelSim 前仿真测试指令序列；
5. 用 ModelSim 前仿真运行测试程序；
6. 用 ModelSim 进行后仿真测试指令序列；
7. 用 ModelSim 进行后仿真运行测试程序；
8. 配置 XDC 文件，综合下板，并观察实验现象；
9. 按照要求书写实验报告。