



آزمایشگاه مدارهای منطقی و معماری کامپیوتر

(سال تحصیلی ۰۲-۰۱، نیم‌سال دوم)

پروژه اول: پیاده‌سازی جمع‌کننده در محیط Xilinx ISE

هدف از انجام این پروژه پیاده‌سازی یک جمع‌کننده ۶ بیتی با استفاده از یک زبان توصیف سخت‌افزار (Verilog, VHDL) و شبیه‌سازی و سنتز آن با استفاده از ابزار ISE می‌باشد. همچنین قصد داریم ویژگی‌های سخت‌افزار پیاده‌سازی شده، شامل تأخیر و میزان منابع مصرفی از FPGA را که در قالب گزارش بعد از سنتز توسط ابزار تولید می‌گردد، بررسی نماییم.

۱. پیاده‌سازی جمع‌کننده ۶ بیتی Ripple Carry:

الف) پروژه‌ای به نام ripple_adder6 بسازید و کد جمع‌کننده نوشته شده با زبان توصیف سخت‌افزار را به آن اضافه کنید.

ب) صحت عملکرد طرح خود را با استفاده از یک فایل آزمون (Fixture یا Test Bench) و مقادیر موجود در جدول زیر مورد سنجش قرار دهید. به این منظور باید تصاویر مربوط به مقادیر سیگنال‌های ورودی و خروجی در شبیه‌ساز را گزارش نمایید.

زمان (ns)	A	B	C_{in}
0	111000	000111	0
50	111000	000111	1
100	011001	001011	1

پ) پروژه مورد نظر را برای برد Spartan 3E-XC3S100E-VQ100-5 سنتز نمایید و شماتیک کلی طرح سنتز شده و نحوه‌ی قرارگیر LUTها را استخراج و گزارش نمایید.

ت) یکی از LUTهای میانی مدار را به دلخواه انتخاب کنید و اطلاعات تابع پیاده سازی آن را در قالب های زیر گزارش نمایید

- شماتیک
- جدول کارنو
- جدول صحت
- معادله منطقی

ث) تأخیر بحرانی طرح را با استفاده از گزارش‌های زمانی استخراج کنید و نتایج تأخیر بین کلیه پایه ها را گزارش نمایید.

ج) با استفاده از قسمت Design Summary در ابزار، میزان استفاده از انواع منابع موجود در FPGA را گزارش نمایید.

۲. پیاده‌سازی جمع‌کننده عبیتی Carry Look Ahead:

مراحل الف تا ج در بخش اول را برای جمع‌کننده Carry Look Ahead تکرار نمایید.

۳. مقایسه کارآیی:

الف) تأخیر دو مدار را با هم مقایسه کنید.

ب) میزان منابع استفاده شده در این دو مدار را با هم مقایسه کنید.

۴. گزارش:

گزارشی شامل تمامی موارد خواسته شده در قسمت‌های قبل در قالب مشخص شده برای گزارش‌ها آماده نمایید. در این گزارش می‌توانید از تصاویر مربوط به کدهای نوشته شده و مراحل مختلف کار استفاده نمایید. همچنین برای قسمت ۳ تحلیل خود را از نتایج بدست آمده بیان کنید.

موفق باشید

ضمیمه (جمع کننده Carry Lookahead):

G_i is 1 when both A_i and B_i are 1. Hence, G_i is calculated as $G_i = A_i \cdot B_i$

P_i is associated with the propagation of carry from C_i to C_{i+1} . It is calculated as $P_i = A_i \oplus B_i$.

Using the G_i and P_i terms the Sum S_i and Carry C_{i+1} are given as below:

- $S_i = P_i \oplus G_i$.
- $C_{i+1} = C_i \cdot P_i + G_i$.

Therefore, the carry bits C_1 , C_2 , C_3 , and C_4 can be calculated as

- $C_1 = C_0 \cdot P_0 + G_0$.
- $C_2 = C_1 \cdot P_1 + G_1 = (C_0 \cdot P_0 + G_0) \cdot P_1 + G_1$.
- $C_3 = C_2 \cdot P_2 + G_2 = (C_1 \cdot P_1 + G_1) \cdot P_2 + G_2$.
- $C_4 = C_3 \cdot P_3 + G_3 = C_0 \cdot P_0 \cdot P_1 \cdot P_2 \cdot P_3 + P_3 \cdot P_2 \cdot P_1 \cdot G_0 + P_3 \cdot P_2 \cdot G_1 + G_2 \cdot P_3 + G_3$.

