

# Logique combinatoire et séquentielle

## Travaux pratiques

### Unité arithmétique et logique

Licence 1 Informatique – EEEA  
UFR des Sciences et Techniques  
Université de Rouen Normandie

## 1 Objectifs

Dans ce TP, nous allons étudier et mettre en œuvre les principes permettant de construire une unité arithmétique et logique.

## 2 Travail préliminaire

1. Donnez en fonction des 2 entrées **e1**, **e0**, les équations des sorties 4 sorties **s3**, **s2**, **s1** et **s0** d'un décodeur.
2. Donnez l'équation de la sortie **s** d'un multiplexeur disposant de 4 entrées **e3**, **e2**, **e1** et **e0**, de deux fils d'adresse **a1** et **a0**.

## 3 Manipulations

### 3.1 Décodeur 2 entrées - 4 sorties

Implantez un décodeur 2 entrées - 4 sorties par le biais des équations logiques déterminées lors du travail préliminaire et vérifiez son bon fonctionnement via une simulation.

### 3.2 Multiplexeur 4 entrées

En utilisant le décodeur précédent, implantez un multiplexeur 4 entrées, la sélection de l'entrée à répercuter sur la sortie **s** se faisant par le biais de deux fils d'adresse **a1** et **a0**.

Vérifiez son bon fonctionnement par le biais d'une simulation.

### 3.3 Unité Arithmétique et Logique 1 bit

Implantez une unité arithmétique et logique disposant de 3 entrées **a**, **b** et **c\_in**, de deux fils de sélection **s1** et **s0** et de deux sorties **f** et **cou\_out**. La sortie **f** est obtenue par le multiplexage de ~~non~~ **a**, **a** ou **b**, **a** et **b** et la somme des entrées **a**, **b** et **c\_in**, la sélection s'opérant grâce aux fils de sélection. La sortie **c\_out** est la retenue produite par l'addition des trois entrées. La somme et la retenues peuvent être réimplantées ou déterminées en incorporant l'additionneur complet réalisé dans le TP précédent.

Vérifier le bon fonctionnement de l'unité arithmétique 1 bit que vous avez réalisée par le biais d'une simulation.

### 3.4 Unité arithmétique et logique 4 bits

1. Implantez une unité arithmétique et logique 4 bits se basant sur l'unité arithmétique 1 bit conçues précédemment.
2. Complétez cette première version de sorte que l'unité arithmétique et logique 4 bits délivre un registre d'état constitué des bits **Z**, **N**, **C** et **V**.
3. Vérifiez son bon fonctionnement via une simulation.