

L1 Informatique – EEEA
Logique Combinatoire et Séquentielle
TD n°7 : Fonctions logiques combinatoires
Codage – Multiplexage
Additionneur – Soustracteur

Exercice 1 – (Dé)codeur et (dé)multiplexeurs

1. De combien de sorties dispose un décodeur ayant 4 entrées ?
2. On dispose de 6 composants identiques. Ces composants ont une entrée particulière nommée EN (enable) active à l'état bas, permettant d'activer le composant. On souhaite qu'un seul de ces composants puisse être activé à la fois. Pour la sélection du composant à activer, on utilise un décodeur. Quel doit être le nombre d'entrées de ce décodeur ? Donnez le câblage correspondant.
3. Un multiplexeur est un dispositif qui, disposant de n fils d'adresse, a 2^n entrées (numérotées de 0 à $2^n - 1$) et 1 sortie. L'entrée dont le numéro correspond à la combinaison présentée sur les fils d'adresse est transmise sur la sortie. On souhaite réaliser un multiplexeur à l'aide d'un décodeur. Réaliser le câblage permettant d'effectuer le multiplexage de 4 entrées e_3, e_2, e_1 et e_0 avec un décodeur 2 bits dont les entrées sont nommées a_1 et a_0 .
4. Donnez l'équation des sorties s_3, s_2, s_1 et s_0 , d'un décodeur 2 bits en fonction de ses entrées a_1 et a_0 .
5. En déduire l'expression algébrique de la sortie s du multiplexeur 4 bits en fonction des entrées e_3, e_2, e_1 et e_0 et des fils d'adresse a_1 et a_0 .
6. On dispose de 3 multiplexeurs 4 entrées. Comment doit-on les relier pour effectuer le multiplexage de 8 entrées ?

Exercice 2 – Demi-additionneurs et Additionneurs

Un demi-additionneur est un dispositif disposant de 2 entrées et de 2 sorties. Les 2 entrées a et b sont les 2 bits à additionner. Une des sorties (s) représente la somme et l'autre (r) la retenue.

1. Donner la table de vérité des sorties r et s en fonction des entrées a et b .
2. Déduire l'expression algébrique des sorties r et s , fonctions des entrées a et b .
3. Donner le logigramme du demi additionneur.
4. Un additionneur complet est un dispositif disposant de 3 entrées a, b et r_{in} et de 2 sorties s et r_{out} . Les entrées a et b sont les 2 bits à additionner et r_{in} est une retenue entrante. La sortie s représente la somme et r_{out} représente une retenue sortante. Un tel additionneur complet peut être construit à partir de deux demi-additionneurs, en réalisant tout d'abord l'addition $a + b$ à laquelle on ajoute ensuite la retenue entrante. Donner le schéma correspondant.
5. Donner la table de vérité correspondant aux sorties s et r_{out} , en fonction de a, b et r_{in} .
6. Donner l'expression algébrique des sorties s et r_{out} , fonctions des entrées a, b et r_{in} .
7. Donner le logigramme de l'additionneur complet.

Exercice 3 – Additionneur à propagation de retenue

Un additionneur 4 bits permet de réaliser la somme de deux nombres exprimés en binaire sur des mots de 4 bits.

1. Donner le schéma d'un additionneur 4 bits à propagation de retenue (RCA, Ripple Carry Adder) composé de 4 additionneurs complets.
2. En supposant le temps de transition d'un additionneur égal à T , quel temps faut-il pour obtenir l'addition de nombres de 4 bits ? Qu'en concluez-vous si l'on considère l'addition de mots de plus grande taille.

Exercice 4 – Additionneur-soustracteur

1. Rappeler le principe du complément à 2.
2. Proposer le schéma d'un soustracteur recevant deux mots de 4 bits $A = (a_3 \ a_2 \ a_1 \ a_0)$ et $B = (b_3 \ b_2 \ b_1 \ b_0)$ basé sur un additionneur 4 bits.
3. Proposer le schéma d'un circuit recevant deux mots de 4 bits $A = (a_3 \ a_2 \ a_1 \ a_0)$ et $B = (b_3 \ b_2 \ b_1 \ b_0)$ et un bit de commande C et fournissant un mot de 4 bits $S = (s_3 \ s_2 \ s_1 \ s_0)$ et une retenue sortante C_{out} de telle sorte que :
 - si $C = 0$, alors $S = A + B$
 - si $C = 1$, alors $S = A - B$