Sciences du numérique 1

Logique combinatoire

Pierre Héroux

Pierre.Heroux@univ-rouen.fr
Université de Rouen

L1 Informatique – EEEA

Plan

Plan

Rappels

- Un nombre exprimé en binaire naturel sur n bits est compris entre 0 et $2^n - 1$
- Le résultat de l'addition de 2 nombres représentés sur n bits est compris entre 0 et $2^{n+1} - 2$
- Ce résultat doit donc être codé sur $n + 1$ bits

Demi-additionneur

- Sur 1 bit, on peut coder 0 et 1
- Le résultat de l'addition de deux nombres de 1 bit est compris entre 0 et 2
- Ce résultat doit donc être codé sur 2 bits

a	b	$r = a + b$
0	0	0 0
0	1	0 1
1	0	0 1
1	1	1 0

Demi-additionneur

- Soit c le bit de poids fort de r et s son bit de poids faible
- On peut déduire les expressions algébriques de s et de c en fonction de a et b

$$\begin{aligned} s &= \bar{a}b + a\bar{b} = a \oplus b \\ c &= ab \end{aligned}$$

Addition n bits

- Pour additionner 2 entiers exprimés sur n bits, chaque étage de l'addition produit un mot r de deux bits $r = cs$
- Le bit c produit par l'étage i est une retenue qu'il faut intégrer dans l'addition de l'étage $i + 1$.

	c_2	c_1	c_0		
	a_3	a_2	a_1	a_0	Nombre A
+	b_3	b_2	b_1	b_0	Nombre B
c_3	s_3	s_2	s_1	s_0	Somme S = A + B
	c_3	c_2	c_1	c_0	Retenues

Addition n bits

- Pour additionner 2 entiers exprimés sur n bits, chaque étage de l'addition produit un mot r de deux bits $r = cs$
- Le bit c produit par l'étage i est une retenue qu'il faut intégrer dans l'addition de l'étage $i + 1$.

	0	1	0		
	0	0	1	0	2
+	0	0	1	1	3
0	0	1	0	1	5 = 2+3
	0	0	1	0	Retenues

Additionneur complet

- On voit qu'à chaque étage il faut pouvoir additionner 3 bits
- Deux possibilités : Utilisation de 2 demi-additionneurs pour effectuer l'addition de a et b, puis l'addition du résultat avec la retenue entrante c_{in}. Une retenue c_{out} est produite si un des deux demi-additionneurs produit une retenue.

Additionneur complet

- On voit qu'à chaque étage il faut pouvoir additionner 3 bits
- Deux possibilités : Additionneur complet d'après la table de vérité

a	b	c_{in}	c_{out}	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$\Rightarrow$

$$\begin{aligned} s &= a \oplus b \oplus c_{in} \\ c_{out} &= ab + ac_{in} + bc_{in} \\ &= ab + c_{in}(a+b) \\ &= ab + c_{in}(a \oplus b) \end{aligned}$$

Addition parallèle

- Il faut n additionneurs complets
- L'étage i nécessite que la retenue produite par l'étage $i - 1$ soit calculée
- Au total, le résultat est disponible après n fois le temps de transition d'un additionneur
- Il existe des techniques permettant d'anticiper les retenues et donc d'atténuer le temps de transmission des retenues

Addition séquentielle

- Un seul additionneur complet est nécessaire
- Les entrées sont présentées bit après bit (train d'impulsions synchrones)
- La retenue produite à l'instant t doit être mémorisée pour être présentée en entrée à l'instant $t + 1$
- L'addition parallèle est plus rapide mais nécessite plus de composants en contrepartie

Plan

Demi-soustracteur

- Soustraction de deux bits a et b
- Le résultat peut valoir 1, 0 ou -1
- Ces trois combinaisons peuvent être codées sur 2 bits en utilisant la convention du complément à 2

a	b		s_1	s_0
0	0	0	0	0
0	1	-1	1	1
1	0	1	0	1
1	1	0	0	0

$$\begin{aligned} s_0 &= \overline{a}b + a\overline{b} = a \oplus b \\ s_1 &= \overline{a}b \end{aligned}$$

Additionneur-soustracteur

- Un mot de n bits permet de coder les entiers de 0 à $2^n - 1$
- Soit $A = (a_{n-1} \ldots a_1 a_0)$ un mot de n bit
- On note $\overline{A}$ le complément à 1 de A
- L'addition $a_i + \overline{a_i}$ vaut 1 et ne produit pas de retenue
- $A + \overline{A}$ donne un mot de n bits où tous les bits valent 1
- Ce mot vaut $2^n - 1$

$$\begin{aligned} & A + \overline{A} = 2^n - 1 \\ \Leftrightarrow \quad & -A = \overline{A} + 1 - 2^n \\ \Leftrightarrow \quad & -A = \overline{A} + 1 \text{ car } 2^n \text{ équivaut à } 0 \text{ sur } n \text{ bits} \end{aligned}$$

Additionneur-soustracteur

- $\overline{A} + 1$ est le complément à 2 de A
- On en déduit que $B - A$ peut être effectuée en ajoutant à B le complément à 2 de A

$$B - A = B + \overline{A} + 1$$

- Matériellement, la soustraction $B - A$ est effectuée en faisant l'addition $B + \overline{A}$ avec une retenue entrante valant 1 sur le premier étage

Plan

Codage – décodage

- Le codage consiste à faire correspondre un code à une information
- En binaire, le code est un mot binaire
- Un mot de n bits permet de coder 2^n informations
- Si on souhaite coder k informations, le mot du code doit comporter un nombre de bits supérieur à $\log_2(k)$

Encodeur

- Un encodeur est un dispositif disposant de n sorties et de 2^n entrées
- Une seule des entrées doit être active à la fois
- En réponse l'encodeur présente sur sa sortie une combinaison codant de façon bijective l'entrée active

Décodeur

- Le décodeur est le dispositif opposé
- Il dispose de n entrées et de 2^n sorties
- Une seule des sorties est active à la fois
- La sortie active correspond à la combinaison présentée en entrée

Exemple - codage décimal codé binaire

Décimal	DCB			
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Exemple - codage décimal codé binaire

- L'encodage consiste à obtenir le code DCB lorsqu'une des entrées correspondant aux chiffres 0 à 9 est active
- Le décodage consiste à activer, sur présentation en entrée d'un code DCB, la seule sortie correspondante

Exemple - codage décimal codé binaire

e_0	e_1	e_2	e_3	e_4	e_5	e_6	e_7	e_8	e_9	s_3	s_2	s_1	s_0
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

Exemple - codage décimal codé binaire

$$
\begin{aligned}
s_0 &= e_1 + e_3 + e_5 + e_7 + e_9 \\
s_1 &= e_2 + e_3 + e_6 + e_7 \\
s_2 &= e_4 + e_5 + e_6 + e_7 \\
s_3 &= e_8 + e_9
\end{aligned}
$$

Multiplexage

- Le multiplexage est l'action de faire passer sur une ligne unique l'information provenant de plusieurs sources
- Un démultiplexeur
  - est un dispositif ayant
    - 1 entrée
    - n fils d'adresse
    - 2^n fils de sortie
  - Il positionne la valeur présente en entrée sur la sortie désignée par la combianison présentée sur les fils d'adresse
- Un multiplexeur
  - est un dispositif ayant
    - n fils d'adresse
    - 2^n fils d'entrée
    - 1 sortie
  - Il répercute sur l'unique fil de sortie la valeur de l'entrée désignée par la combinaison présente sur les fils d'adresse