

**L1 Informatique – EEEA**  
**Logique Combinatoire et Séquentielle**  
**TD n°10 : Analyse des séquenceurs**

### Exercice 1 – Séquenceurs asynchrones

Soit le circuit de la figure 1.

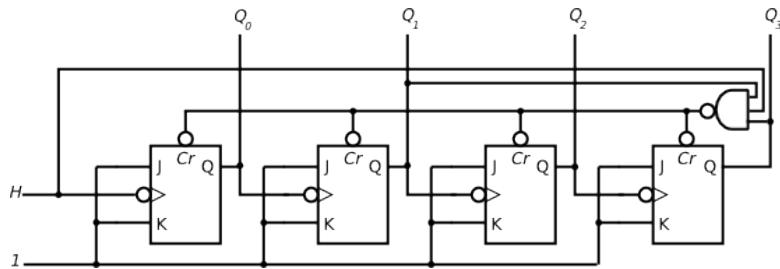


FIGURE 1 –

1. Donner sur la figure 2 le chronogramme de ce circuit sans tenir compte des entrées CLR, on supposera que les sorties  $Q_3, Q_2, Q_1, Q_0$ , sont initialement à 0. On supposera les temps de transition des bascules très petits devant une période d'horloge.

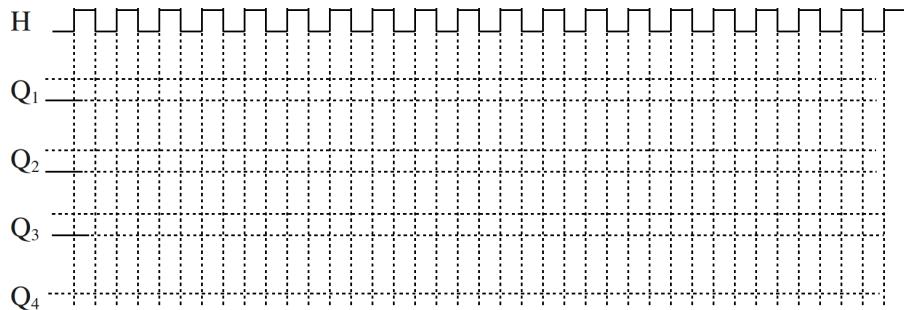


FIGURE 2 –

2. Qu'engendrent les rebouclages sur les entrées CLR ? Donner sur la figure 3 le chronogramme correspondant ainsi que la séquence des valeurs obtenues.
3. Quel est l'état transitoire par rapport au cycle souhaité.

### Exercice 2 – Séquenceurs synchrones - bascule JK

Soit le circuit de la figure 4.

1. En examinant le câblage, compléter le tableau suivant exprimant les états futurs en fonction des états actuels :

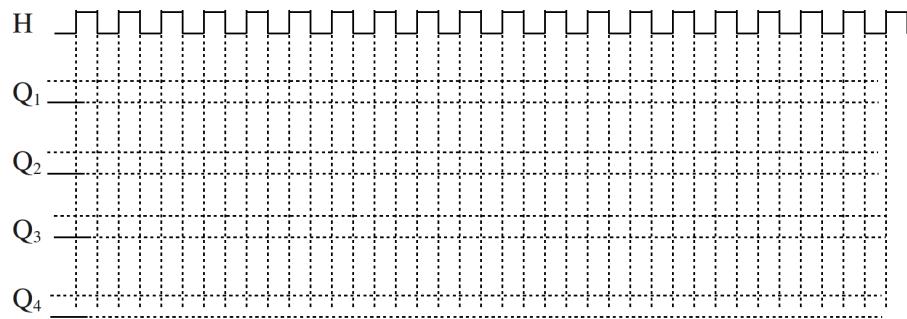


FIGURE 3 –

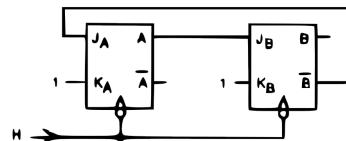


FIGURE 4 –

Etat actuel						Etat futur	
B	A	$J_B$	$K_B$	$J_A$	$K_A$	B	A
0	0						
0	1						
1	0						
1	1						

2. En déduire le diagramme des transitions qui représente sous forme de graphe l'ensemble des états et des transitions entre états.
3. Un séquenceur auto-correcteur étant un séquenceur qui entre dans son cycle quelles que soient les valeurs de départ (après nombre fini d'états). Ce séquenceur est-il autocorrecteur ?

### Exercice 3 – Séquenceurs synchrones - bascule D

En suivant la même démarche, analyser le fonctionnement du montage à trois bascules D de la figure 5. Le séquenceur est-il auto-correcteur ?

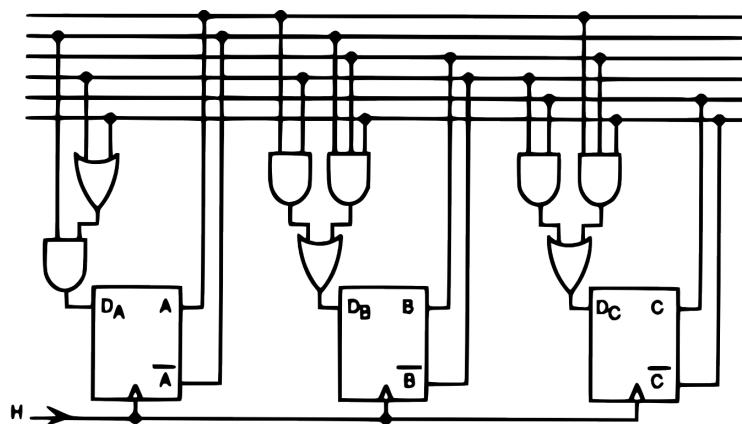


FIGURE 5 –

## Exercice 4 – Séquenceurs synchrones - bascule T

Décrire le cycle des états réalisé par un séquenceur synchrone construit à partir de 3 bascules T. Les entrées des bascules T, dont les sorties sont respectivement  $Q_2$ ,  $Q_1$  et  $Q_0$ , sont données par les équations suivantes.

$$\begin{aligned}T_2 &= Q_0 \\T_1 &= \overline{Q_2 \oplus Q_1} \\T_0 &= Q_1 + \overline{Q_2 + Q_0}\end{aligned}$$

## Exercice 5 – Séquenceur synchrone – Choix du cycle

Un séquenceur est composé de deux bascules JK d'entrées respectives  $J_1$ ,  $K_1$ ,  $J_0$  et  $K_0$ . Ces bascules ont pour sorties  $Q_1$  et  $Q_0$ . Les entrées sont définies par les équations suivantes au sein desquelles  $c$  est un bit de commande.

$$\begin{aligned}J_1 &= c \oplus Q_0 \\K_1 &= \overline{Q_1} \cdot Q_0 + c\overline{Q_0} + Q_0\overline{c + Q_1} \\J_0 &= \overline{Q_0} + c \\K_0 &= Q_1 + Q_0\end{aligned}$$

Donnez le cycle des états réalisé par ce séquenceur pour chacune des deux valeurs possible de  $c$ .