

Logique combinatoire et séquentielle

Travaux pratiques

Additionneur – Soustracteur

Licence 1 Informatique – EEEA
UFR des Sciences et Techniques
Université de Rouen Normandie

1 Objectifs

Dans ce TP, nous allons illustrer le fonctionnement des additionneurs et des additionneurs-soustracteurs.

2 Travail préliminaire

Le travail préliminaire à ce TP reprend ce qui est fait dans le TD sur l'additionneur et additionneur soustracteur.

1. Donnez la table de vérité du demi-additionneur et déduisez en son schéma logique.
2. Donnez le schéma de construction d'un additionneur complet utilisant deux demi-additionneurs.
3. Donnez la table de vérité d'un additionneur complet et déduisez en une nouvelle implémentation basée sur les équations logiques correspondantes.
4. Donnez le schéma d'un additionneur 4 bits utilisant 4 additionneurs complet.
5. Donnez le schéma d'un additionneur-soustracteur 4 bits utilisant un additionneur 4 bits.

3 Manipulations

3.1 Demi-additionneur

Implantez un demi-additionneur et constatez le fonctionnement attendu par le biais d'une simulation.

3.2 Additionneurs complets

Implantez les deux versions de l'additionneur complet correspondant aux questions 2 et 3 du travail préliminaire. Constatez pour chacune de ces deux versions que le résultat produit lors des simulations est celui attendu.

3.3 Additionneur 4 bits

Implantez le circuit de l'additionneur 4 bits en gardant une entrée pour la retenue entrante.

Validez son fonctionnement sur une simulation.

Intégrez ce composant dans un schéma plus global permettant l'affichage de l'interprétation hexadécimale des entrées et de la sortie sur des afficheurs 7 segments. Pour ce faire, vous aurez la possibilité de copier dans votre projet courant certains composants du TP sur l'afficheur 7 segments.

3.4 Additionneur-soustracteur 4 bits

Implantez le circuit de l'additionneur-soustracteur 4 bits en utilisant l'additionneur conçu dans la section précédente.

Validez son fonctionnement sur une simulation.

Intégrer ce composant dans un schéma plus global permettant l'affichage de l'interprétation hexadécimale des entrées et de la sortie sur des afficheurs 7 segments.

3.5 Additionneur 8 bits (optionnel)

Implantez et testez un additionneur 8 bits sur la base de deux additionneurs 4 bits. Vous pourrez compléter votre schéma en intégrant les composants **aff7** et **ByteToBCD** pour visualiser la valeur des entrées et de la sortie sur des afficheurs 7 segments.