

# Sciences du numérique 1

## Unité arithmétique et logique

Pierre Héroux

[Pierre.Heroux@univ-rouen.fr](mailto:Pierre.Heroux@univ-rouen.fr)  
Université de Rouen

Licence 1 Informatique – EEEA

# Plan

1 Présentation

2 Constitution d'une UAL

- UAL 1 bit
- Mot de commande
- TTL 74LS181

3 Mot d'état

# Plan

## 1 Présentation

## 2 Constitution d'une UAL

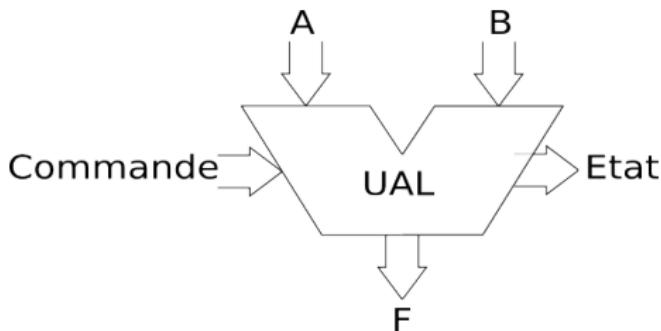
- UAL 1 bit
- Mot de commande
- TTL 74LS181

## 3 Mot d'état

# Présentation

- L'unité arithmétique et logique (UAL - ALU) est un des composants principaux du microprocesseur
- Le microprocesseur est lui-même un des composants principaux d'un ordinateur
- Le rôle de l'unité arithmétique et logique est de réaliser des opérations logiques et arithmétiques de base :
  - Opérations logiques bit à bit (ET, OU, NON, XOR...)
  - Décalages et rotations
  - Additions, soustractions, complémentations à 1 ou à 2
  - Comparaisons

# Présentation



L'unité arithmétique et logique dispose de :

- 2 mots d'entrée de  $n$  bits  $A = a_{n-1} \dots a_0$  et  $B = b_{n-1} \dots b_0$
- 1 mot de sortie de  $n$  bits  $F = f_{n-1} \dots f_0$
- 1 mot de commande
- 1 mot d'état

# Présentation

- Les mots d'entrée représentent les opérandes
- Le mot de sortie représente le résultat
- Le mot de commande permet de choisir l'opération à appliquer aux opérandes
- Le mot d'état donne l'état de l'UAL après exécution de l'opération. Son rôle est expliqué plus loin.

# Plan

## 1 Présentation

## 2 Constitution d'une UAL

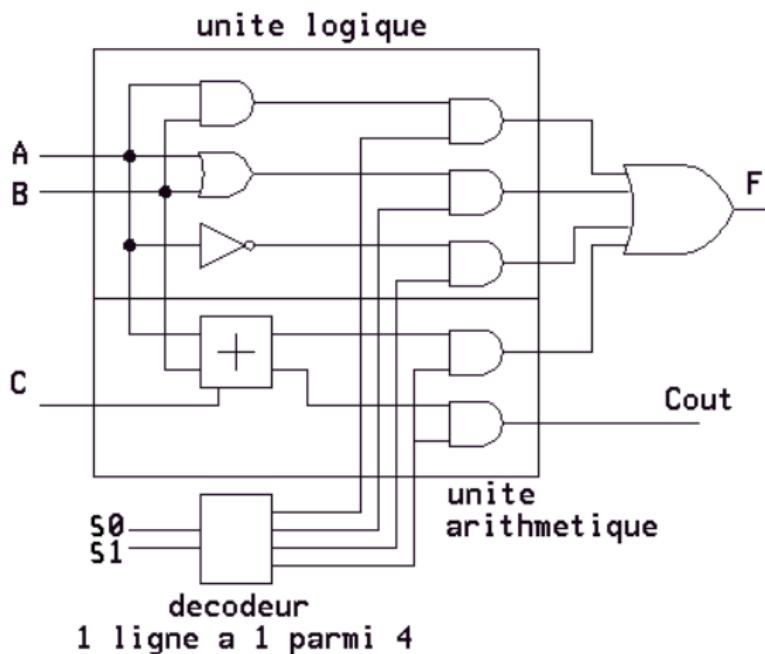
- UAL 1 bit
- Mot de commande
- TTL 74LS181

## 3 Mot d'état

# Constitution d'une UAL

- Une UAL  $n$  bits est constituée de  $n$  tranches d'ual 1 bit interconnectées
- La tranche d'indice  $i$  reçoit en entrée
  - les bits  $a_i$ ,  $b_i$  des mots d'entrée
  - un bit  $c_i$  jouant le rôle de retenue entrante et provenant de la tranche précédente
  - les bits du mot de commande
- Elle délivre
  - un bit résultat
  - une retenue sortante

# UAL 1 bit



# UAL 1 bit

$S_1$	$S_0$	$F$	$C_{out}$
0	0	$A \cdot B$	0
0	1	$A + B$	0
1	0	$\overline{A}$	0
1	1	$A \oplus B \oplus C$	$A \cdot B + C(A \oplus B)$

## Mot de commande

- Un mot de commande de  $m$  bits permet de choisir parmi au maximum  $2^m$  opérations
- Parmi les bits du mot de commande, on trouve
  - un bit  $M$  permettant de choisir le mode logique ou arithmétique
  - le bit  $C_0$  jouant le rôle de retenue entrante pour le premier étage (il vaut en particulier 1 pour la complémentation à 2 ou la soustraction).

# TTL 74LS181

$S_3$	$S_2$	$S_1$	$S_0$	$M = 1, C_0 = 1$	$M = 0, C_0 = 1$
0	0	0	0	$\bar{A}$	$A$
0	0	0	1	$\overline{A+B}$	$A+B$
0	0	1	0	$\overline{AB}$	$A+\overline{B}$
0	0	1	1	0 logique	moins 1
0	1	0	0	$\overline{AB}$	$A$ plus $A\overline{B}$
0	1	0	1	$\overline{B}$	$(A+B)$ plus $A\overline{B}$
0	1	1	0	$A \oplus B$	$A$ moins $B$ moins 1
0	1	1	1	$A\overline{B}$	$A\overline{B}$ moins 1
1	0	0	0	$\overline{A}+B$	$A$ plus $AB$
1	0	0	1	$A \oplus B$	$A$ plus $B$
1	0	1	0	$B$	$(A+\overline{B})$ plus $AB$
1	0	1	1	$AB$	$AB$ moins 1
1	1	0	0	1 logique	$A$ plus $A$
1	1	0	1	$A+\overline{B}$	$(A+B)$ plus $A$
1	1	1	0	$A+B$	$(A+\overline{B})$ plus $A$
1	1	1	1	$A$	$A$ moins 1

# TTL 74LS181

$S_3$	$S_2$	$S_1$	$S_0$	$M = 1, C_0 = 0$	$M = 0, C_0 = 0$
0	0	0	0	$\bar{A}$	$A$ moins 1
0	0	0	1	$\bar{A}\bar{B}$	$AB$ moins 1
0	0	1	0	$\bar{A} + B$	$A\bar{B}$ moins 1
0	0	1	1	1 logique	moins 1
0	1	0	0	$\bar{A} + \bar{B}$	$A$ plus $(A + \bar{B})$
0	1	0	1	$\bar{B}$	$(AB)$ plus $(A + \bar{B})$
0	1	1	0	$\bar{A} \oplus B$	$A$ moins $B$ moins 1
0	1	1	1	$A + \bar{B}$	$A + \bar{B}$
1	0	0	0	$\bar{A}\bar{B}$	$A$ plus $(A + B)$
1	0	0	1	$A \oplus B$	$A$ plus $B$
1	0	1	0	$B$	$(A\bar{B})$ plus $(A + B)$
1	0	1	1	$A + B$	$A + B$
1	1	0	0	0 logique	$A$ plus $A$
1	1	0	1	$A\bar{B}$	$(AB)$ plus $A$
1	1	1	0	$AB$	$(A\bar{B})$ plus $A$
1	1	1	1	$A$	$A$

# Plan

1 Présentation

2 Constitution d'une UAL

- UAL 1 bit
- Mot de commande
- TTL 74LS181

3 Mot d'état

## Mot d'état

- L'UAL fournit en plus du mot  $F$  résultat, un mot état
- Ce mot caractérise le résultat
- Parmi les bits du mot d'état, on trouve en particulier les bits :
  - Z (Zero) : Ce bit est à 1 quand tous les bits  $f_i$  sont à zéro.
  - N (Negative) : Ce bit est à 1 quand l'interprétation signée du mot  $F$  est négative.
  - C (Carry) : Le bit  $C$  à 1 indique que l'interprétation non signée du résultat est erronée du fait d'un dépassement de capacité.
  - V (oVerflow) : Le bit  $V$  à 1 indique que l'interprétation signée du résultat est erronée du fait d'un dépassement de capacité.

## Mot d'état

Z :  $Z = \overline{f_{n-1} + \dots + f_1 + f_0}$

N :  $N = f_{n-1}$

C :  $C = C_n \oplus C_0$  avec  $C_0$  retenue entrante du premier étage et  $C_n$  retenue sortante du dernier étage du dernier étage.

V :  $V = C_{n-1} \oplus C_n$  avec  $C_{n-1}$  et  $C_n$  retenues respectivement entrante et sortante du dernier étage.

- Les bits  $Z$  et  $N$  permettent de mettre en œuvre des comparaisons entre mots  $A$  et  $B$ .
- On demande à l'ALU d'effectuer la différence  $A - B$ .
- Le signe du résultat (bit  $N$ ) permet de savoir si  $A > B$  ou si  $A \leq B$ .
- Le bit  $Z$  permet de savoir si  $A = B$ .

# Mot d'état

<i>A</i>	0111	1110	0010	1001
non signé	7	14	2	9
signé	+7	-2	+2	-7
<i>B</i>	0011	0101	1000	0110
non signé	3	5	8	6
signé	+3	+5	-8	+6
<i>A + B</i>	1010	0011	1010	1111
non signé	10	3	10	15
signé	-6	+3	-6	-1
<i>C</i>	0	1	0	0
<i>V</i>	1	0	0	0
<i>B̄</i>	1100	1010	0111	1001
<i>A + B̄ + 1</i>	0100	1001	1010	0011
non signé	4	9	10	3
signé	+4	-7	-6	+3
<i>C</i>	0	0	1	0
<i>V</i>	0	0	1	1

# Mot d'état

- Le mot d'état peut contenir d'autres bits
- Par exemple un bit, donnant la parité du mot résultat
- ...